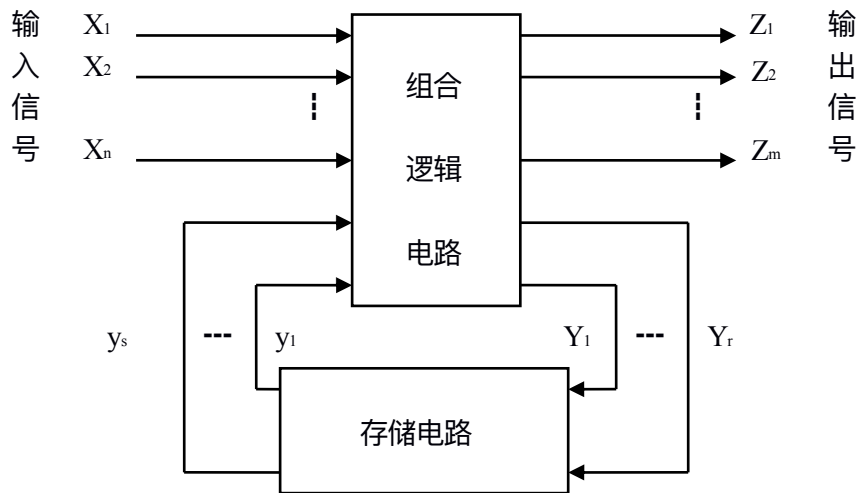


第五章 同步时序逻辑电路的习题

一、基本知识点

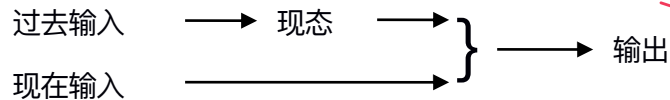
1、时序逻辑电路的一般结构



- 特点：** a、有存储电路（记忆元件）；有组合电路（特殊时可没有）
b、包含反馈电路，电路功能与“时序”相关
c、输出不仅与输入（X）有关，而且与存储状态（Y）有关

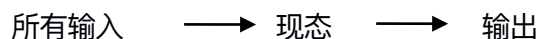
分类： (1) Mealy 型 $Z = F(X, Q)$

输出是电路的输入和现态的函数（注意输出与输入有直接关系）



(2) Moore 型 $Z = F(Q)$

输出仅仅是电路现态的函数（注意输出与输入没有直接关系）



同步时序逻辑电路：各触发器共用同一时钟信号，即电路中各触发器状态的转换时刻在统一时钟信号控制下同步发生。

异步时序逻辑电路：电路没有统一的时钟信号对状态变化进行同步控制，输入信号的变化将直接引起电路状态的变化。

//本课程将较少讨论异步时序逻辑电路

2、同步时序逻辑电路的描述

注意：任一个同步时序逻辑电路的结构和功能可用 3 组函数表达式完整地描述。

(1) 激励函数表达式：存储电路输入 Y 与电路输入 X 和现态 Q 之间的关系

$$Y = F(X, Q) \quad // \text{现态 } Q \text{ 就是上图存储电路原始的输出 } y_k$$

(2) 次态函数表达式：电路的次态 Q^{n+1} 与激励函数 Y 和现态 Q 之间关系

$$Q^{n+1} = F(Y, Q) \quad // \text{次态 } Q^{n+1} \text{ 就是上图存储电路再次触发后的输出 } y_k^{n+1}$$

(3) 输出函数表达式：电路的输出 Z 和输入 X 和当前现态 Q 的关系

$$\text{Mealy 型} \quad Z = F(X, Q)$$

$$\text{Moore 型} \quad Z = F(Q)$$

状态表的格式

Mealy 型

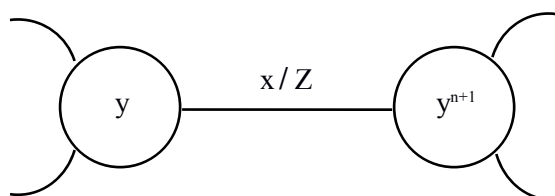
现 态	次态 / 输出		
		输入 X	
y			y^{n+1} / Z

Moore 型

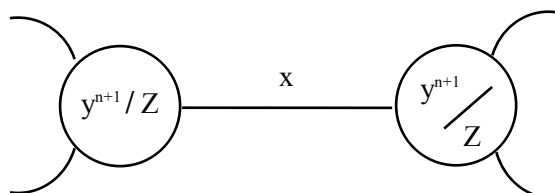
现 态	次 态			输 出
		输入 X		
y			y^{n+1}	Z

状态图的画法

Mealy 型



Moore 型



3、同步时序逻辑电路分析

(1) 表格法的分析步骤

- 根据电路写出输出表达式和激励函数表达式
- 列出各自的激励矩阵，确定电路相应的次态
- 作出给定电路的状态表和状态图
- 拟定一个典型输入序列，画出时间图，描述此电路的功能

(2) 代数法的分析步骤

- 根据电路写出输出表达式和激励函数表达式
- 把激励函数代入次态方程，导出次态方程组
- 根据此方程组，作出状态表和状态图
- 拟定一个典型输入序列，画出时间图，描述此电路的功能

注意：上述两种分析方法的 b、c 两步骤不同

4、同步时序逻辑电路设计

步骤：

- 形成原始的状态图和状态表

- (2) 对原始的状态进行化简，变成最简状态，降低电路复杂度和成本
- (3) 把状态与二进制代码相对应，即决定触发器的个数
- (4) 确定激励函数（对应触发器的种类）和输出函数（对应逻辑电路的种类），并画出逻辑电路图

5、常用的时序电路

(1) 计数器 周期性的状态循环

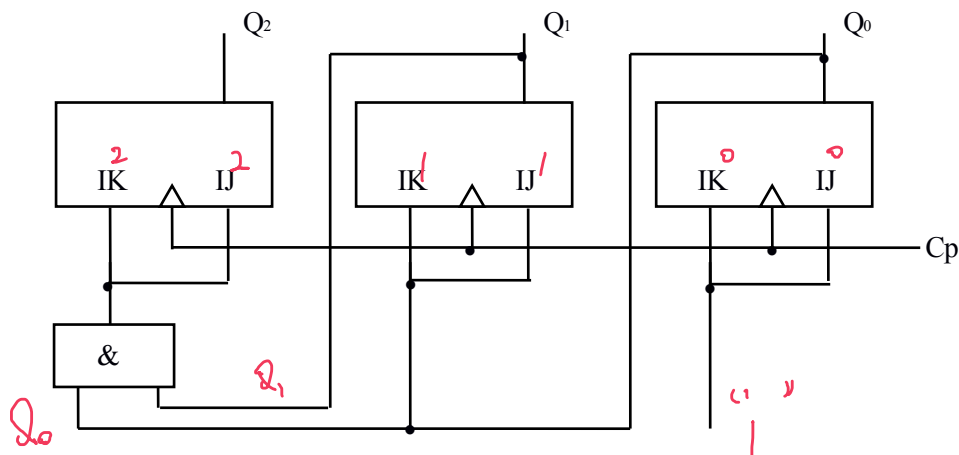
① 按进制可分为：二进制计数器、BCD 码计数器、任意进制计数器（楼两种存在无效状态）

② 按时钟输入方式：同步计数器、异步计数器

③ 按趋势可分为：加“1”计数器、减“1”计数器

* 同步二进制计数器（3 位数值，即 3 个触发器）

用 3 个 JK 触发器实现，电路图如下所示（输入端悬空为信号“1”）



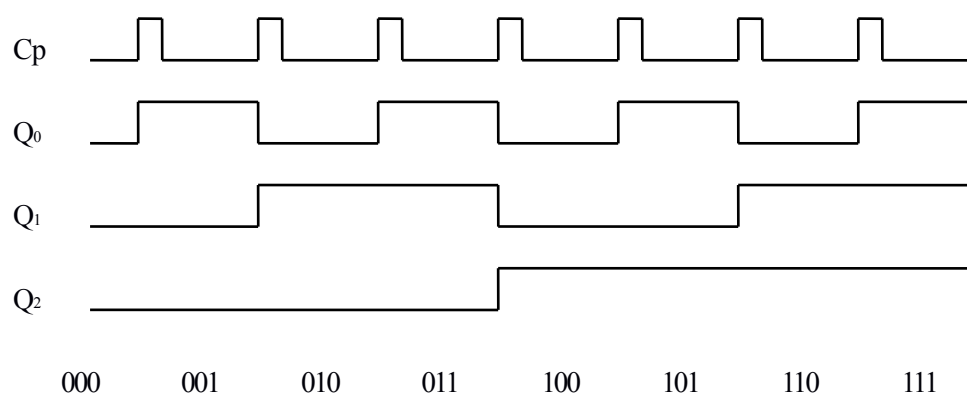
驱动方程 $J_0 = K_0 = 1$ (Q₀ 触发器的输入控制)

$J_1 = K_1 = Q_0$ (Q₁ 触发器的输入控制)

$J_2 = K_2 = Q_0 Q_1$ (Q₂ 触发器的输入控制)

输出方程 $Z = (Q_2 Q_1 Q_0)$ 三个触发器的输出端原相直接输出

输出波形如下所示



说明：

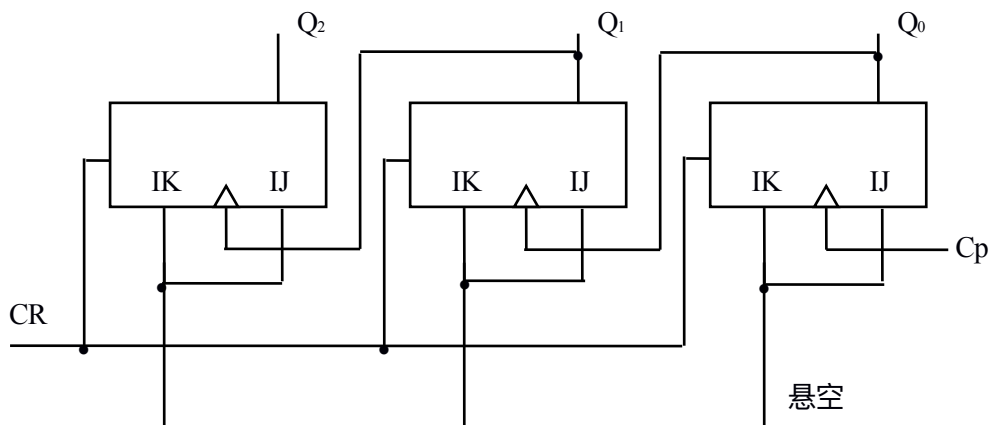
Q₀ 触发器按时钟 Cp 触发，每一个时钟 Q₀ 触发器翻转一次

Q₁ 触发器接收 Q₀ 触发器的原相输出，当 Q₀ 原相输出为 1 后才翻转一次

Q₂ 触发器接收 Q₀ 和 Q₁ 原相输出相与之后的结果，只有前两者输出均为 1 后才翻转一次

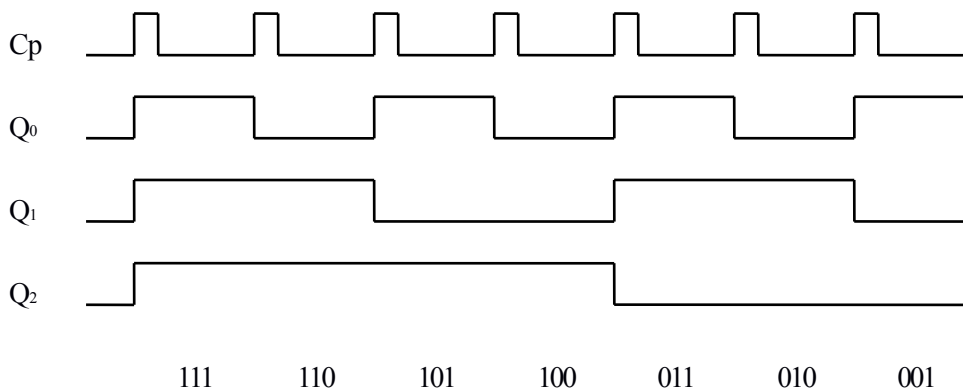
* 异步二进制计数器

也用 3 个 JK 触发器实现，CR 为清零端，电路图如下所示（3 个 JK 触发器的输入端均悬空）



驱动方程同上（略）

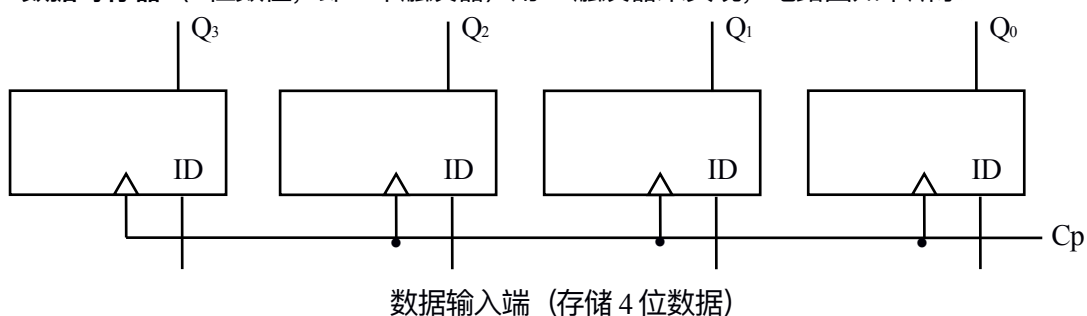
输出波形如下所示（对比同步计数器，看看异同）



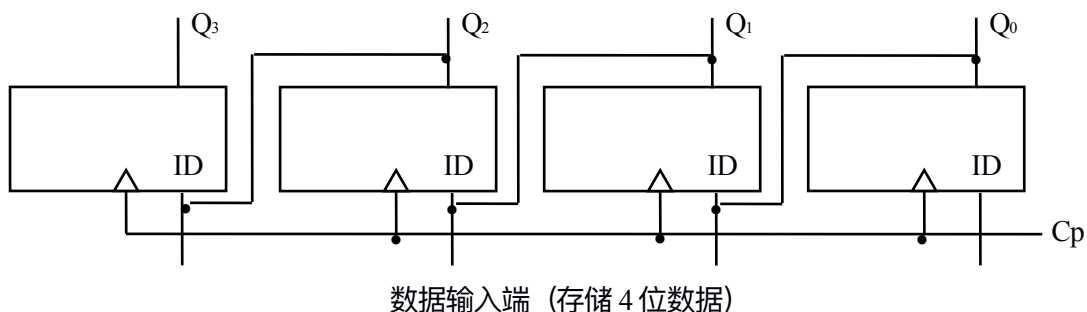
注意：如反向输出则为加“1”计数

(I) 寄存器 多个触发器的并行操作，可以暂存数据信息

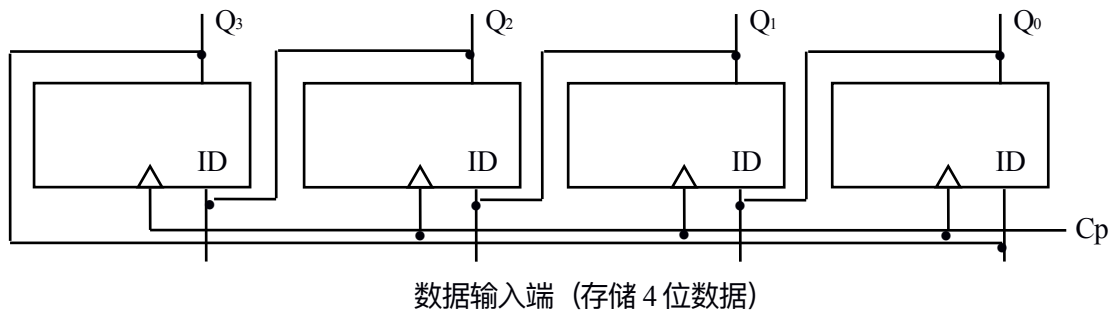
* 数据寄存器（4 位数值，即 4 个触发器）用 D 触发器来实现，电路图如下所示



* 移位寄存器（输入可并行亦可串行，输出可并行亦可串行）各位之间存在传递关系



* **移位寄存器** (各位之间存在传递关系, 且首位和末位也存在传递关系)



注意: 前面示意的均为左移位, 如右移位, 传递关系相反

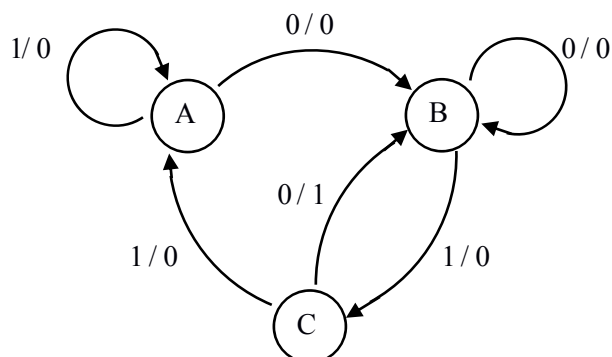
二、相关习题

**填空题

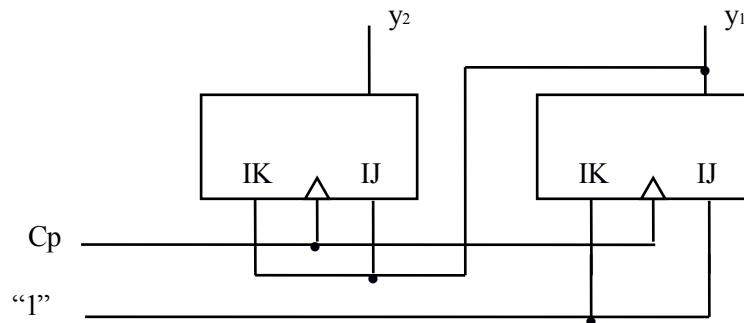
- 1、时序逻辑电路按其状态改变是否受统一定时信号控制, 可分为 () 和 () 两种类型。
- 2、一个同步时序逻辑电路可用 ()、() 和 () 3 组函数表达式描述。
- 3、Mealy 型时序逻辑电路的输出是 () 的函数, Moore 型时序逻辑电路的输出是 () 的函数。
- 4、设最简状态表包含的状态数目为 n , 相应电路中的触发器个数为 m , 则 m 和 n 应满足关系 ()。
- 5、一个 Mealy 型“0011”序列检测器的最简状态表中包含 () 个状态, 电路中有 () 个触发器。
- 6、某同步时序逻辑电路的状态表如下所示, 若电路初始状态为 A, 输入序列 $x=010101$, 则电路产生的输出响应序列为 ()。

现态	次态 / 输出	
	$x=0$	$x=1$
A	B/0	C/1
B	C/1	B/0
C	A/0	A/1

- 7、某同步时序逻辑电路的状态图如下所示, 若电路的初始状态为 A, 则在输入序列 11010010 作用下的状态和输出响应序列分别为 () 和 ()。



8、某某同步时序逻辑电路图如下所示，设电路现态 $y_2y_1=00$ ，经过 3 个时钟脉冲后，电路的状态为（ ）。



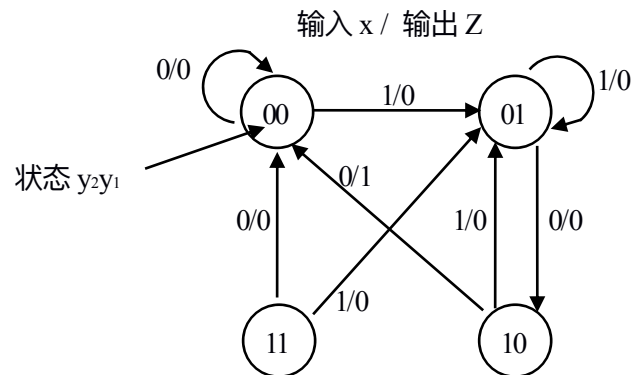
**选择题 (单选)

- 下列触发器中，（ ）不可作为同步时序逻辑电路的存储器件。
 - 基本 R-S 触发器
 - D 触发器
 - J-K 触发器
 - T 触发器
- 构成一个模 10 同步计数器，需要（ ）触发器。
 - 3 个
 - 4 个
 - 5 个
 - 10 个
- 实现同一功能的 Mealy 型同步时序电路比 Moore 型同步时序电路所需要的（ ）。
 - 状态数目更多
 - 状态数目更少
 - 触发器更多
 - 触发器一定更少
- 同步时序电路设计中，状态编码采用相邻编码法的目的是（ ）。
 - 减少电路中的触发器
 - 提高电路速度
 - 提高电路可靠性
 - 减少电路中的逻辑门

**判断题

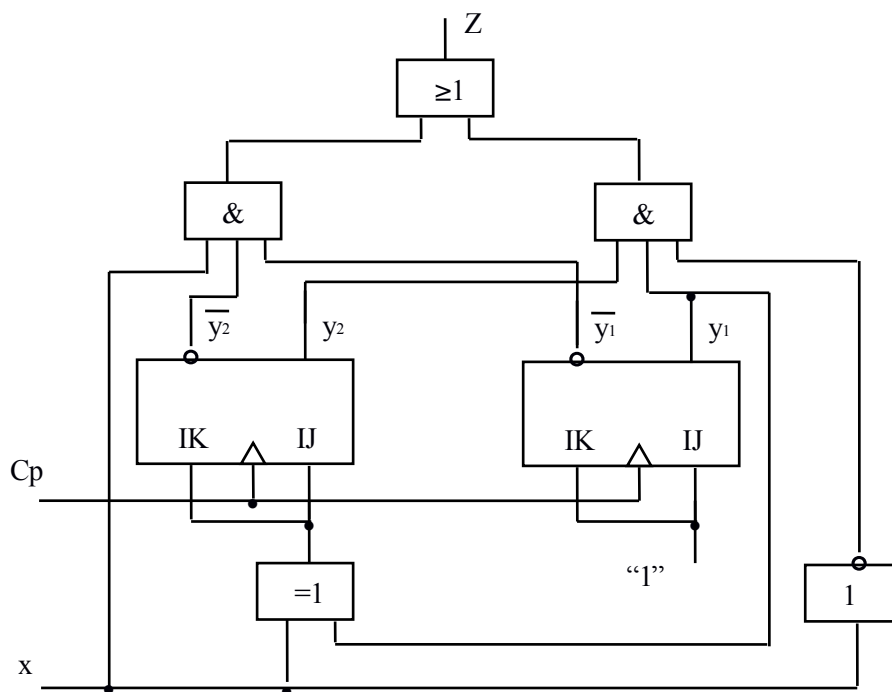
- 同步时序逻辑电路中的存储元件可以是任意类型的触发器。（ ）
- 若某同步时序逻辑电路可设计成 Mealy 型或者 Moore 型，则采用 Mealy 型电路比采用 Moore 型电路所需状态数目少。（ ）
- 实现同一功能的最简 Mealy 型电路比最简 Moore 型电路所需触发器数目一定更少。（ ）
- 最大等效类是指含状态数目最多的等效类。（ ）
- 同步时序逻辑电路设计中，状态编码采用相邻编码法是为了消除电路中的竞争。（ ）
- 根据最简二进制状态表确定输出函数表达式时，与所选触发器类型无关。（ ）
- 设计一个同步模 5 计数器，需要 5 个触发器。（ ）
- 同步时序逻辑电路中的无效状态是由于状态表没有达到最简导致的。（ ）
- 一个存在无效状态的同步时序逻辑电路是否具有自启动功能，取决于确定激励函数时对无效状态的处理。（ ）

1、状态图如下所示，指出该电路属于何种类型？实现什么功能？相应的电路中需要几个触发器？



The diagram shows a logic circuit for a two-bit adder. It consists of two 2-bit adders, labeled 'IK' and 'IJ', and an AND gate. The inputs are 'x' and 'y'. The output is 'z'. The circuit is implemented using a logic simulator, with components like 'AND', 'OR', and 'NOT' gates. The inputs 'x' and 'y' are connected to the adders. The output 'z' is connected to the AND gate. The circuit is shown in a schematic view, with components and connections clearly labeled.

4、分析下图所示的逻辑电路，说明该电路的功能。



5、试作出“0101”序列检测器的最简 Mealy 型状态表和 Moore 型状态表。典型输入、输出序列为

输入	x	1	1	0	1	0	1	0	1	0	0	1	1
输出	Z	0	0	0	0	0	1	0	1	0	0	0	0

6、化简如下所示的原始状态表

现态	次态 / 输出	
	x=0	x=1
A	B/0	C/0
B	A/0	F/0
C	F/0	G/0
D	A/0	C/0
E	A/0	A/1
F	C/0	E/0
G	A/0	B/1

7、用 D 触发器作为存储元件设计一个 4 位串行输入、并行输出的双向移位寄存器。该电路有一个数据输入端 x 和一个控制输入端 M。当 M=0 时，实现左移，数据从右端串行输入；当 M=1 时，实现右移，数据从左端串行输入。

三、习题参考答案

**填空题

- 1、时序逻辑电路按其状态改变是否受统一时钟信号控制，可分为（同步时序逻辑电路）和（异步时序逻辑电路）两种类型。
- 2、一个同步时序逻辑电路可用（输出函数表达式）、（激励函数表达式）和（次态函数表达式）3 组函数表达式描述。
- 3、Mealy 型时序逻辑电路的输出是（输入和状态变量）的函数，Moore 型时序逻辑电路的输出是（状态变量）的函数。

出是 (状态变量) 的函数。

4、设最简状态表包含的状态数目为 n ，相应电路中的触发器个数为 m ，则 m 和 n 应满足关系 ($2^m \geq n > 2^{m-1}$)。

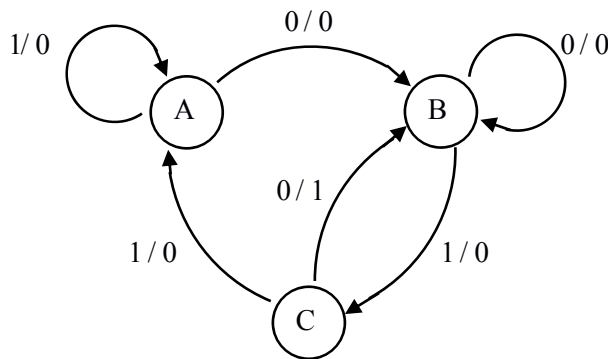
5、一个 Mealy 型“0011”序列检测器的最简状态表中包含 (4) 个状态，电路中有 (2) 个触发器。

6、某同步时序逻辑电路的状态表如下所示，若电路初始状态为 A，输入序列 $x=010101$ ，则电路产生的输出响应序列为 (001100)。

现态	次态 / 输出	
	$x=0$	$x=1$
A	B/0	C/1
B	C/1	B/0
C	A/0	A/1

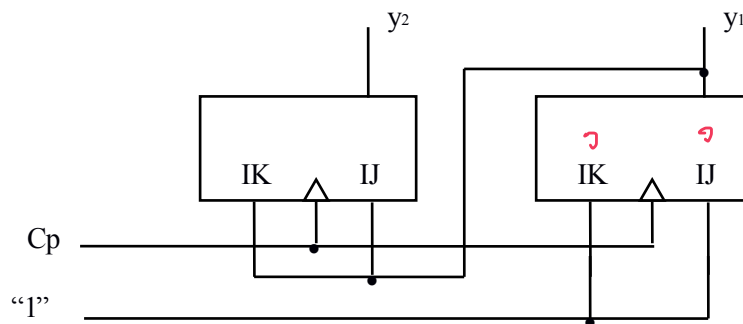
001100

7、某同步时序逻辑电路的状态图如下所示，若电路的初始状态为 A，则在输入序列 11010010 作用下的状态和输出响应序列分别为 (AABCBBBCB) 和 (00001001)。



AABCBBBCB
00001001

8、某某同步时序逻辑电路图如下所示，设电路现态 $y_2y_1=00$ ，经过 3 个时钟脉冲后，电路的状态为 ($y_2y_1=11$)。



**选择题 (单选)

1、下列触发器中，(A) 不可作为同步时序逻辑电路的存储器件。

- A. 基本 R-S 触发器
- B. D 触发器
- C. J-K 触发器
- D. T 触发器

2、构成一个模 10 同步计数器，需要 (B) 触发器。

- A. 3 个
- B. 4 个
- C. 5 个
- D. 10 个

3、实现同一功能的 Mealy 型同步时序电路比 Moore 型同步时序电路所需要的 (B)。

- A. 状态数目更多
- B. 状态数目更少

0 1 2 3 4 5 6 7 8 9

3 2 4

A
B
C
D

A
B
C
D
E

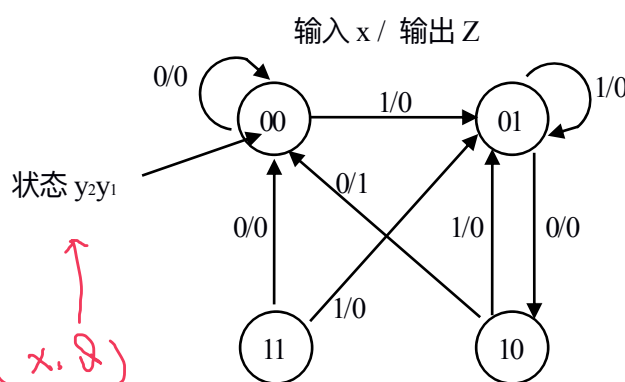
- C. 触发器更多
D. 触发器一定更少
- 4、同步时序电路设计中，状态编码采用相邻编码法的目的是（ D ）。
- A. 减少电路中的触发器
B. 提高电路速度
C. 提高电路可靠性
D. 减少电路中的逻辑门

**判断题

- 1、同步时序逻辑电路中的存储元件可以是任意类型的触发器。 (×)
- 2、若某同步时序逻辑电路可设计成 Mealy 型或者 Moore 型，则采用 Mealy 型电路比采用 Moore 型电路所需状态数目少。 (√)
- 3、实现同一功能的最简 Mealy 型电路比最简 Moore 型电路所需触发器数目一定更少。 (×)
- 4、最大等效类是指含状态数目最多的等效类。 (×)
- 5、同步时序逻辑电路设计中，状态编码采用相邻编码法是为了消除电路中的竞争。 (×)
- 6、根据最简二进制状态表确定输出函数表达式时，与所选触发器类型无关。 (√)
- 7、设计一个同步模 5 计数器，需要 5 个触发器。 (×)
- 8、同步时序逻辑电路中的无效状态是由于状态表没有达到最简导致的。 (×)
- 9、一个存在无效状态的同步时序逻辑电路是否具有自启动功能，取决于确定激励函数时对无效状态的处理。 (√)

**分析及设计题

- 1、状态图如下所示，指出该电路属于何种类型？实现什么功能？相应的电路中需要几个触发器？



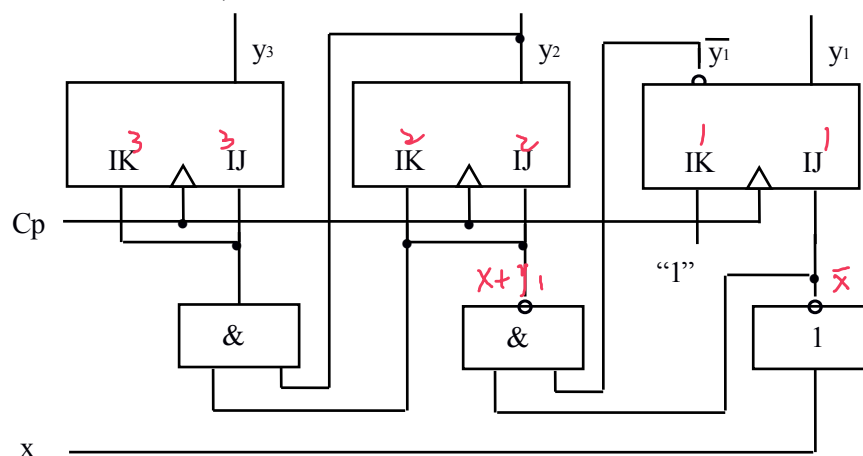
$y_2 y_1$ $x=0$ $x=1$

$y_2 y_1$	$x=0$	$x=1$
00	00	01
01	10	10
10	00	01
11	00	01

从状态图上看是输入和状态变量的函数，所以是 Mealy 型电路

“100”序列检测器，需要两个触发器（4 种状态）。

- 2、分析下图所示的逻辑电路，说明该电路的功能。



JK.

$Q \rightarrow Q_{n+1}$		J	K
0	0	0	0
0	1	1	0
1	0	0	1
1	1	0	0

(1) 写出激励函数表达式

$$J_1 = \overline{x}, K_1 = 1$$

$$J_2 = K_2 = \overline{\overline{x} \overline{y_1}} = x + y_1$$

$$J_3 = K_3 = \overline{\overline{x} \overline{y_1} y_2} = (x + y_1) y_2 = x y_2 + y_1 y_2$$

(2) 列出激励矩阵和次态真值表

y_1 的激励矩阵

输入 x	激励函数 J ₁ K ₁
0	1 1
1	0 1

y_2 的激励矩阵

输入 x	现态 y ₁	激励函数 J ₂ K ₂
0	0	0 0
0	1	1 1
1	0	1 1
1	1	1 1

y_3 的激励矩阵

输入 x	现态 y ₂ y ₁	激励函数 J ₃ K ₃
0	0 0	0 0
0	0 1	0 0
0	1 0	0 0
0	1 1	1 1
1	0 0	0 0
1	0 1	0 0
1	1 0	1 1
1	1 1	1 1

上述三表合并，如下所示 (并依次列出次态值)

输入 x	现态 y ₃ y ₂ y ₁	激励函数 J ₃ K ₃ J ₂ K ₂ J ₁ K ₁						次态 y ₃ ⁿ⁺¹ y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹
0	0 0 0	0	0	0	0	1	1	0 0 1
0	0 0 1	0	0	1	1	1	1	0 1 0
0	0 1 0	0	0	0	0	1	1	0 1 1
0	0 1 1	1	1	1	1	1	1	1 0 0
0	1 0 0	0	0	0	0	1	1	1 0 1
0	1 0 1	0	0	1	1	1	1	1 1 0
0	1 1 0	0	0	0	0	1	1	1 1 1
0	1 1 1	1	1	1	1	1	1	0 0 0

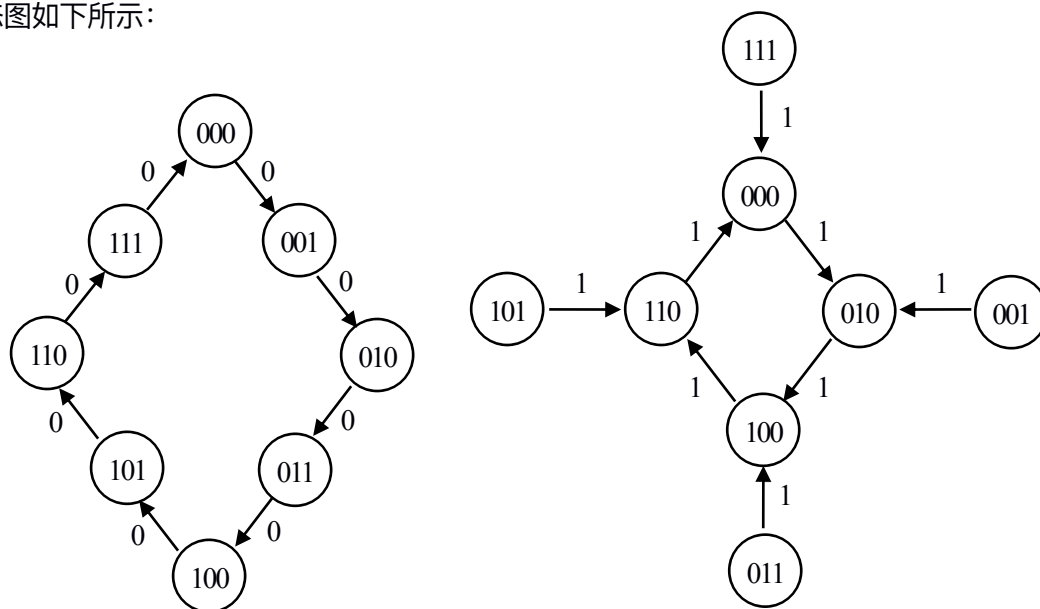
1	0	0	0	0	0	1	1	0	1	0	1	0
1	0	0	1	0	0	1	1	0	1	0	1	0
1	0	1	0	1	1	1	1	0	1	1	0	0
1	0	1	1	1	1	1	1	0	1	1	0	0
1	1	0	0	0	0	1	1	0	1	1	1	0
1	1	0	1	0	0	1	1	0	1	1	1	0
1	1	1	0	1	1	1	1	0	1	0	0	0
1	1	1	1	1	1	1	1	0	1	0	0	0

(3) 作出状态表和状态图

状态表如下所示：

现态 $y_3 \ y_2 \ y_1$	次态 $y_3^{n+1} \ y_2^{n+1} \ y_1^{n+1}$		
	$x=0$		
0 0 0	0	0	1
0 0 1	0	1	0
0 1 0	0	1	1
0 1 1	1	0	0
1 0 0	1	0	1
1 0 1	1	1	0
1 1 0	1	1	1
1 1 1	0	0	0

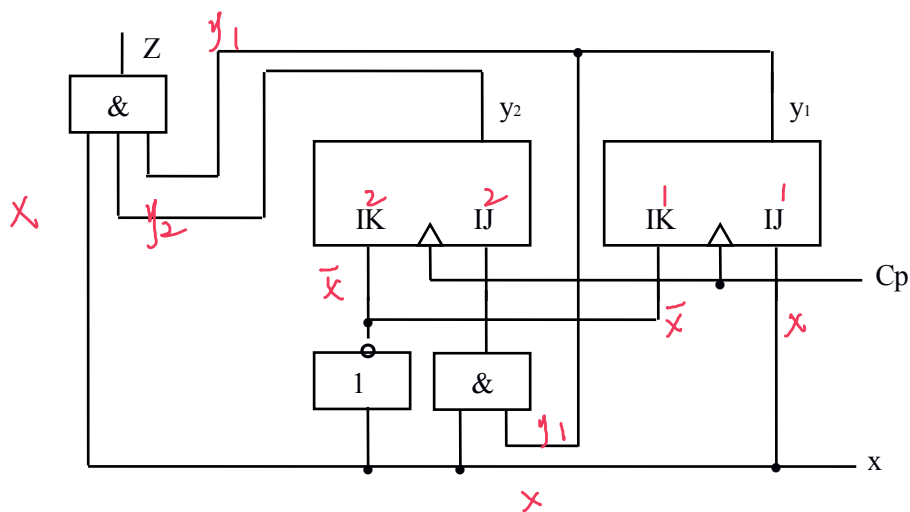
状态图如下所示：



(4) 功能评述

当 $x=0$ 时，进行模 8 计数；当 $x=1$ 时，进行模 4 计数（且只是偶数计数）

3、分析下图所示的逻辑电路，设电路初始状态为“00”，输入序列为 $x=10011110110$ ，作出输出响应序列，并说明电路功能。



(1) 写出激励函数表达式

$$J_1 = x, K_1 = \bar{x}$$

$$J_2 = x y_1, K_2 = \bar{x}$$

$$Z = x y_2 y_1$$

$Q \rightarrow Q_{n+1}$		J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

(2) 列出激励矩阵和次态真值表

y_1 的激励矩阵

输入 x	激励函数 $J_1 \quad K_1$	说明
0	0 1	清 0
1	1 0	置 1

y_2 的激励矩阵

输入 x	现态 y_1	激励函数 $J_2 \quad K_2$	说明
0	0	0 1	清 0
0	1	0 1	清 0
1	0	0 0	保持
1	1	1 0	置 1

上述二表合并，如下所示（并依次列出次态值）

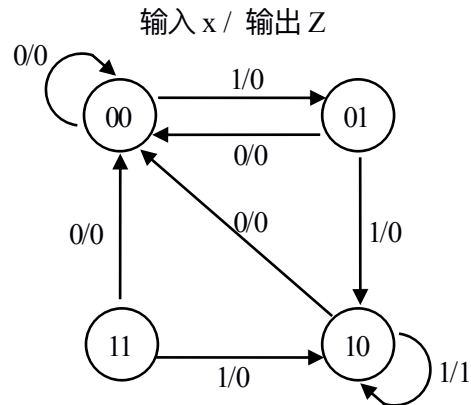
输入 x	现态 $y_2 \quad y_1$	激励函数 $J_2 \quad K_2 \quad J_1 \quad K_1$				次态 $y_2^{n+1} \quad y_1^{n+1}$	
0	0 0	0	1	0	1	0	0
0	0 1	0	1	0	1	0	0
0	1 0	0	1	0	1	0	0
0	1 1	0	1	0	1	0	0
1	0 0	0	0	1	0	0	1
1	0 1	1	0	1	0	1	1
1	1 0	0	0	1	0	1	1
1	1 1	1	0	1	0	1	1

(3) 作出状态表和状态图

状态表如下所示：

现态 $y_2 y_1$	次态 $y_3^{n+1} y_2^{n+1} y_1^{n+1}$ / 输出		
	$x=0$		$x=1$
0 0	0 0 / 0	0	1 / 0
0 1	0 0 / 0	1	1 / 0
1 0	0 0 / 0	1	1 / 0
1 1	0 0 / 0	1	1 / 1

状态图如下所示：



由状态图可看出，状态 11 为无效状态

(4) 功能评述

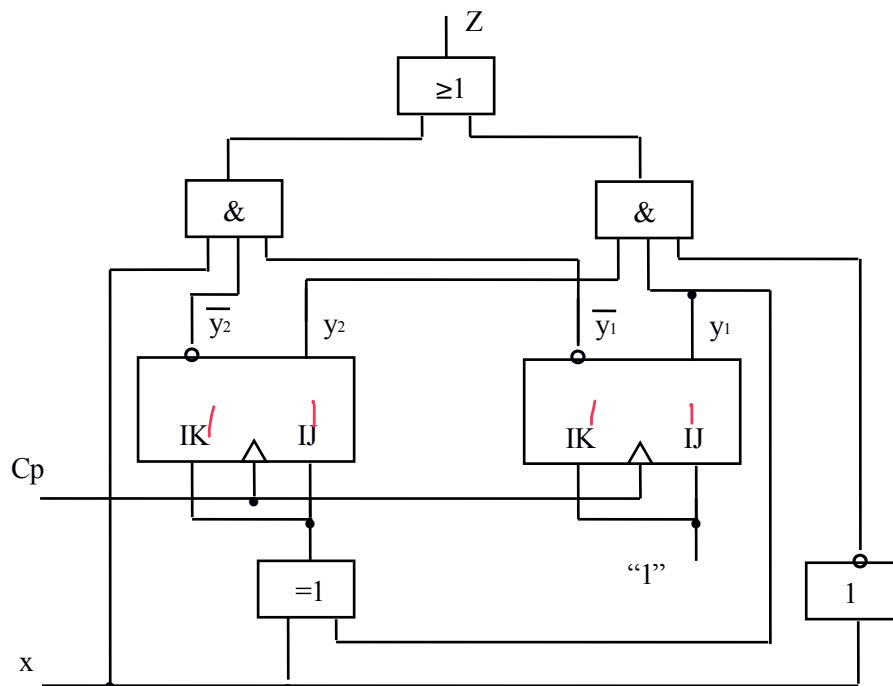
设初始状态为“00”，输入序列为

$x = 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 0$

$Z = 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0$

由上可知，该电路为“111...”序列检测器，当连续输入 3 个或 3 个以上 1 时，输出为 1。

4、分析下图所示的逻辑电路，说明该电路的功能。



(1) 写出激励函数表达式

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = x \oplus y_1$$

$$Z = x \overline{y_2} \overline{y_1} + \overline{x} y_2 y_1$$

(2) 列出激励矩阵和次态真值表

y_1 的激励矩阵

输入 x	激励函数 J ₁ K ₁	说明
0	1 1	翻转
1	1 1	翻转

y_2 的激励矩阵

输入 x	现态 y ₁	激励函数 J ₂ K ₂	说明
0	0	0 0	保持
0	1	1 1	翻转
1	0	1 1	翻转
1	1	0 0	保持

上述二表合并，如下所示（并依次列出次态值）

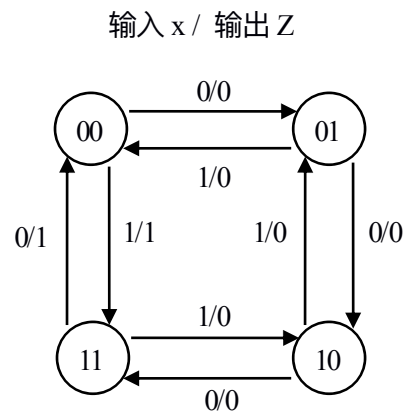
输入 x	现态 y ₂ y ₁	激励函数 J ₂ K ₂ J ₁ K ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹
0	0 0	0 0 1 1	0 1
0	0 1	1 1 1 1	1 0
0	1 0	0 0 1 1	1 1
0	1 1	1 1 1 1	0 0
1	0 0	1 1 1 1	1 1
1	0 1	0 0 1 1	0 0
1	1 0	1 1 1 1	0 1
1	1 1	0 0 1 1	1 0

(3) 作出状态表和状态图

状态表如下所示：

现态 y ₂ y ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹ / 输出			
	x = 0		x = 1	
0 0	0 1	/ 0	1 1	/ 1
0 1	1 0	/ 0	0 0	/ 0
1 0	1 1	/ 0	0 1	/ 0
1 1	0 0	/ 1	1 0	/ 0

状态图如下所示：



(4) 功能评述

当 $x=0$ 时, 进行二进制加 1 计数, 输出为进位信号;

当 $x=1$ 时, 进行二进制减 1 计数, 输出为借位信号。

5、试作出“0101”序列检测器的最简 Mealy 型状态表和 Moore 型状态表。典型输入、输出序列为

输入 x 1 1 0 1 0 1 0 1 0 0 1 1
输出 Z 0 0 0 0 0 1 0 1 0 0 0 0

(1) Mealy 型状态描述

初始状态	A 状态
检测到第一个 0	B 状态
检测到 01	C 状态
检测到 010	D 状态

D 状态如再输入 1, 回到 C 状态; 如再输入 0, 回到 B 状态。

状态表如下所示:

现态	次态 / 输出	
	$x=0$	$x=1$
A	B / 0	A / 0
B	B / 0	C / 0
C	D / 0	A / 0
D	B / 0	C / 1

(2) Moore 型状态描述

初始状态	A 状态
检测到第一个 0	B 状态
检测到 01	C 状态
检测到 010	D 状态
检测到 0101	E 状态

状态表如下所示: (因为是状态的输出, 所以必须有结果状态)

现态	次态		输出 Z
	$x=0$	$x=1$	
A	B	A	0
B	B	C	0
C	D	A	0
D	B	E	0
E	D	A	1

6、化简如下所示的原始状态表

现态	次态 / 输出	
	$x=0$	$x=1$
A	B/0	C/0
B	A/0	F/0
C	F/0	G/0
D	A/0	C/0



E	A/0	A/1
F	C/0	E/0
G	A/0	B/1

(1) 利用隐含表找等效状态对
顺序比较结果如下：

B	CF					
C	BF CG	AF FG				
D	AB	CF	AF CG			
E	×	×	×	×		
F	BC CE	AC EF	EG	AC CE	×	
G	×	×	×	×	AB	×
	A	B	C	D	E	F

关联比较结果如下：

B	CF					
C	BF CG	AF FG				
D	AB	CF	AF CG			
E	×	×	×	×		
F	BC CE	AC EF	EG	AC CE	×	
G	×	×	×	×	AB	×
	A	B	C	D	E	F

(2) 求最大等效类

从上图得{A, B}、{A, D}、{B, D}、{C, F}、{E, G}

最大等效类为{A, B, D}、{C, F}、{E, G}

则{A, B, D}用a表示，{C, F}用b表示，{E, G}用c表示。

(3) 得最简状态表

现态	次态 / 输出	
	x = 0	x = 1
a	a / 0	b / 0
b	b / 0	c / 0
c	a / 0	a / 1

7、用 D 触发器作为存储元件设计一个 4 位串行输入、并行输出的双向移位寄存器。该电路有一个数据输入端 x 和一个控制输入端 M。当 M=0 时，实现左移，数据从右端串行输入；当 M=1 时，实现右移，数据从左端串行输入。

设 4 位触发器的状态从左到右依次用 y_4 、 y_3 、 y_2 、 y_1 表示，依据题意直接写出次态方程组，如下所示：

$$y_4^{n+1} = Mx + \overline{M}y_3$$

$$y_3^{n+1} = My_4 + \overline{M}y_2$$

$$y_2^{n+1} = My_3 + \overline{M}y_1$$

$$y_1^{n+1} = My_2 + \overline{M}x$$

$Q \rightarrow Q_{n+1} \quad D$

0	0	0
0	1	1
1	0	0
1	1	1

电路图如下所示：

