



Mestrado Integrado em Engenharia Biomédica
Mestrado Integrado em Engenharia Física

Complementos de Electrónica e Sistemas Digitais
(2º semestre / 2ºano)

TP 1-3

Texto de apoio

Ano lectivo – 2018/2019

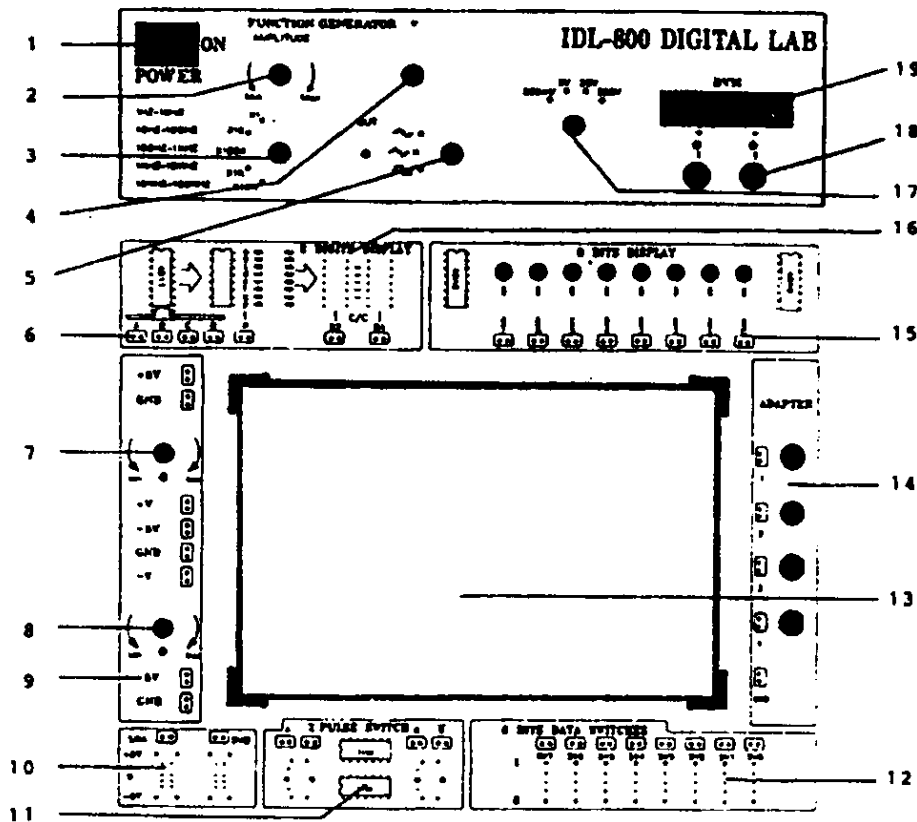
Índice

Introdução.....	3
Digital lab	3
<i>Breadboard</i>	4
Electrónica Digital	4
Codificação dos sinais lógicos.....	5
Circuitos combinacionais	5
Circuitos sequenciais.....	6
Anexo A	9
Álgebra de Boole	9

INTRODUÇÃO

DIGITAL LAB

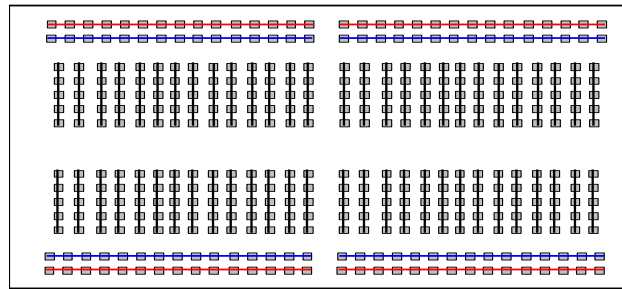
O Digital Lab é um equipamento que auxilia a realização de experiências com circuitos. Existe uma zona para colocar uma breadboard onde serão montados os componentes. O Digital Lab possui fontes de alimentação (fixas de +5V e -5V, e outras variáveis), geradores de sinais, interruptores e botões de pressão para testar os circuitos digitais e LEDs para visualizar o estado dos sinais digitais, entre outros.



- | | |
|--|--|
| 1. POWER SWITCH WITH INDICATOR. | 11. PULSE SWITCHES. |
| 2. F.G. OUTPUT AMPLITUDE ADJUSTER. | 12. DATA SWITCHES. |
| 3. F.G. OUTPUT FREQUENCY RANGE SELECTOR. | 13. REMOVABLE SOLDERLESS BREADBOARD IN 1580 TIE POINTS. |
| 4. FINE TUNE OF F.G. OUTPUT FREQUENCY. | 14. POINT TIP/BANANA SOCKET/BNC SOCKET EXCHANGE ADAPTERS |
| 5. F.G. OUTPUT WAVE FORM SELECTOR. | 15. BUFFERED SINGLE LAMP LED DISPLAYS. |
| 6. BCD INPUT OF 7 SEGMENT DECODER. | 16. OUTPUT OF 7 SEGMENT DECODER. |
| 7. DC 0 to +15 ADJUSTER. | 17. RANGE SELECTOR OF DIGITAL VOLTMETER. |
| 8. DC 0 to -15 ADJUSTER. | 18. INPUT OF DIGITAL VOLTMETER. |
| 9. FIXED DC +5V | 19. DISPLAY OF DIGITAL VOLTMETER. |
| 10. FUNCTION SWITCHES, -5V/0/+5V. | |

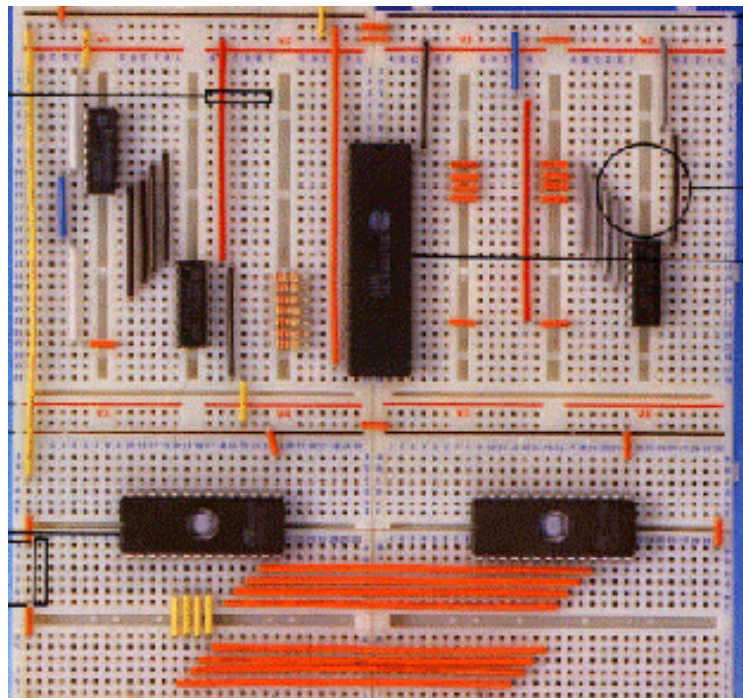
BREADBOARD

Na *breadboard* serão introduzidos e ligados todos os componentes dos circuitos a construir. Interiormente, os locais de inserção estão ligados da seguinte forma:



As linhas horizontais devem ser utilizadas para as ligações da alimentação (+5Volts e GND). Algumas *breadboards* apresentam duas linhas coloridas, indicando o local onde deverá ser ligada a alimentação, sendo o positivo (+5V) na linha vermelha e negativo (GND) na linha azul.

A figura seguinte mostra um exemplo de utilização da *breadboard*, para a prototipagem de circuitos.



Esta figura ilustra essencialmente dois aspectos relativamente à colocação dos fios que fazem as interligações entre os vários circuitos integrados: o comprimento dos fios deverá ter o comprimento adequado (na figura está perfeito) e não deverão existir fios a passar sobre os componentes que formam o circuito, o que evita o mau funcionamento (às vezes intermitente) do circuito e evita que seja desnecessário desmanchar o circuito em caso de ser necessário substituir algum componente na *breadboard*.

ELECTRÓNICA DIGITAL

São diversas as designações que podemos utilizar para catalogar a electrónica em diversos subgrupos. Uma divisão que é comum fazer é a divisão em **electrónica analógica** e em **electrónica digital**. Apesar de existirem circuitos analógicos para processar sinais digitais e

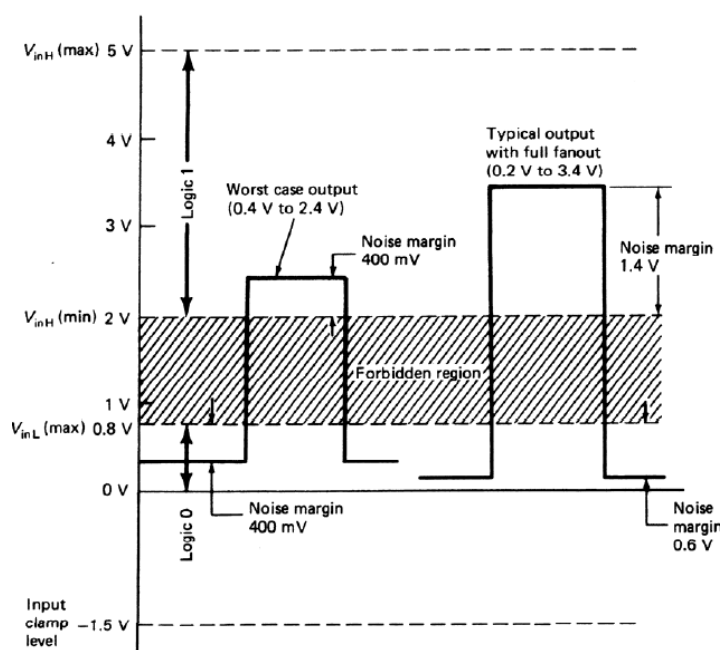
circuitos digitais a processar sinais analógicos, esta divisão está essencialmente relacionada com o tipo de sinais sobre os quais a electrónica actua.

A electrónica analógica utiliza-se essencialmente para processar sinais analógicos, onde os seus principais blocos são os amplificadores e os filtros. Neste tipo de electrónica, alguns dos parâmetros mais importantes para o projecto dos circuitos são: o ganho, a largura de banda e a impedância de entrada e de saída.

A electrónica digital utiliza-se essencialmente para processar sinais digitais. Neste tipo de electrónica, alguns dos parâmetros mais importantes são a velocidade de comutação, o atraso de propagação, o tempo de subida e de descida, e o *fan-in* e *fan-out* dos integrados. Outra característica da electrónica digital prende-se com a forma como os sinais são codificados.

CODIFICAÇÃO DOS SINAIS LÓGICOS

A figura seguinte mostra um exemplo de codificação dos sinais lógicos em sinais eléctricos.



Neste exemplo, em que se considera lógica TTL, um valor lógico “0” toma o valor de 0V e o valor lógico “1” toma o valor de 5V. Mas este é só um exemplo, em que estamos a utilizar tecnologia TTL e lógica positiva.

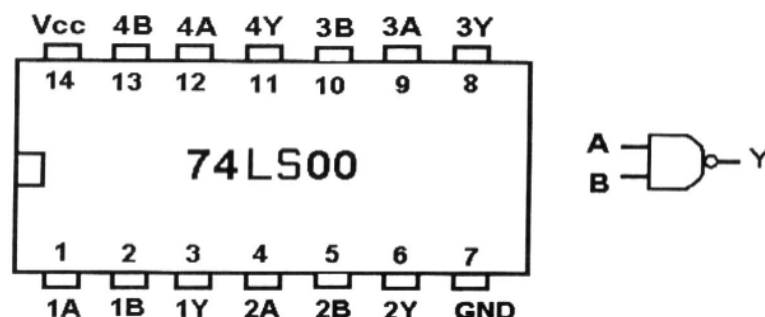
Existem duas grandes famílias de tecnologia, que não devem ser misturadas, a família TTL e a família CMOS. Na TTL, a base dos circuitos integrados são transístores bipolares e na CMOS a base dos circuitos integrados são transístores CMOS. Dado que usam transístores diferentes a sua interligação, se não for feita de forma cuidada, poderá levar ao mau funcionamento dos circuitos.

CIRCUITOS COMBINACIONAIS

A electrónica digital costuma ainda ser dividida em dois subgrupos: circuitos combinacionais e circuitos sequenciais.

A característica principal dos circuitos digitais combinacionais é que a saída volta ao estado original assim que são retiradas as entradas, ou seja, este tipo de circuito não tem

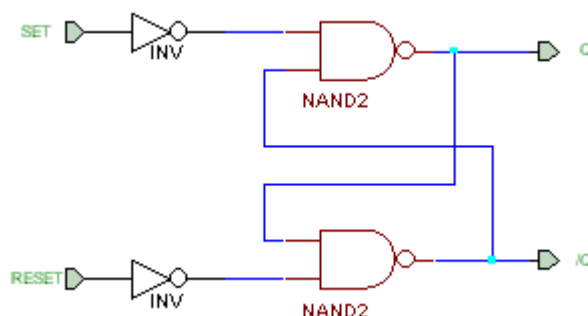
memória. A figura seguinte mostra a disposição dos pinos (*pin-out*) deste CI (*Circuito Integrado*).



CIRCUITOS SEQUENCIAIS

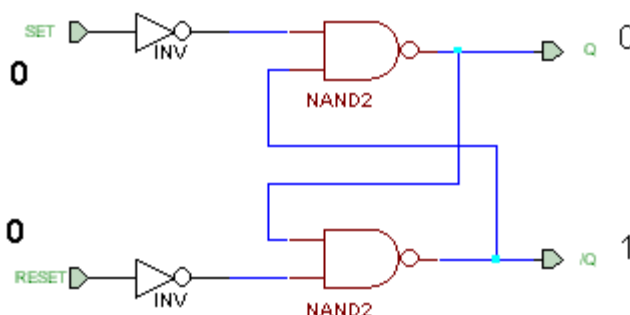
A característica principal dos circuitos digitais sequenciais é que o estado seguinte depende da entrada actual e do estado actual do sistema, ou seja, este tipo de circuito tem memória.

Uma *latch* do tipo SR é um circuito capaz de armazenar um bit de informação (0 ou 1) enquanto o circuito estiver ligado. A entrada SET força a *latch* a guardar o valor 1. A entrada RESET força o valor 0. Depois da *latch* ser actuada com SET, mantém o valor na saída até ser feito o RESET. Uma *latch* pode ser feita com duas NAND.



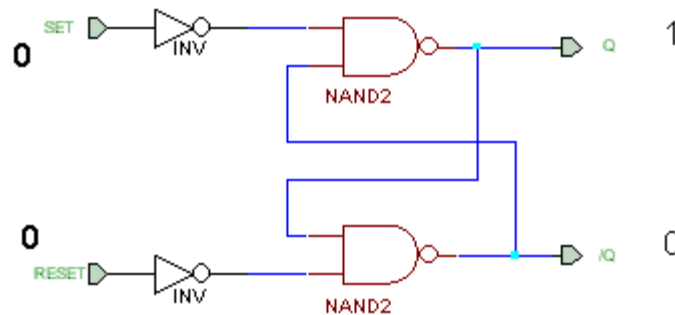
As entradas do circuito chamam-se SET e RESET, são activas ao nível alto, significando que a função associada à entrada é efectuada quando há um nível lógico 1 nessa entrada.

Para analisar esta *latch*, vamos assumir que ambas as entradas estão 0 (não activas). Como estarão as saídas? Vamos assumir que Q é 0 e /Q é 1, conforme a figura:



O valor 0 na saída liga à entrada da segunda porta NAND, logo na saída da segunda NAND (/Q) existirá o valor 1 (tal como assumido). A saída da segunda NAND liga à entrada da primeira NAND. Como as duas entradas desta NAND estão a 1, a saída apresentará o valor 0, como assumido também. Os valores assumidos estavam correctos!

Em vez dos valores assumidos inicialmente, vamos agora considerar que a saída Q tem o valor 1 e a saída /Q tem o valor 0, aplicando igualmente os valores 0 em ambas as entradas.



Da mesma forma, concluí-se que os valores assumidos para as saídas se mantêm inalterados. A *latch* está num estado que mantém o valor das saídas quando as entradas de SET e de RESET estão inactivas. O valor de Q foi memorizado.

O que acontecerá se o valor SET for levado a 1? Fazendo uma análise do circuito idêntica à anterior, verifica-se que Q fica a 1, independente do estado em que estava. O que acontecerá se o valor RESET for levado a 1? Verifica-se que /Q fica a 1, independente do estado em que estava. Se o valor de SET for 0, a saída Q fica a 0.

Conclusão:

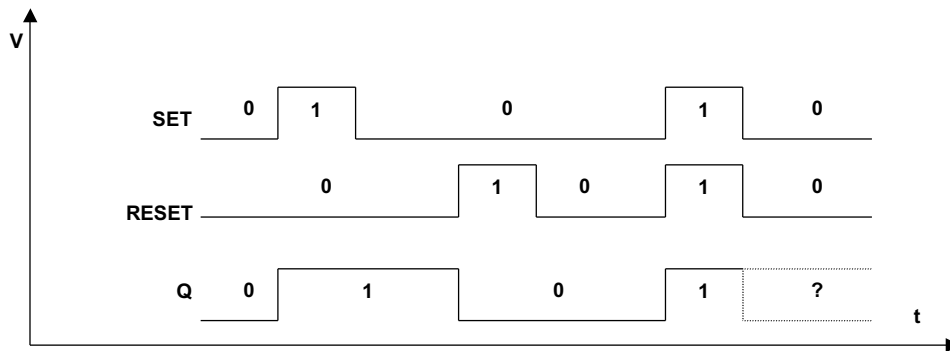
Além da função de memória (quando SET e RESET estão a 0), é também possível forçar a saída (Q) a 1 ou a 0, actuando respectivamente nas entradas SET e RESET. Quando as entradas voltarem ao valor 0 (inactivo), as saídas memorizam o valor anterior.

O que acontecerá quando ambas as entradas são activadas (SET = 1 e RESET = 1) ? Ambas as saídas (Q e /Q) ficam a 1. Quando ambas as entradas voltarem o nível 0, não é possível prever o valor nas saídas (poderá ser 1 ou 0, conforme a *latch* em que é feita a comutação mais rapidamente). Como a saída é indeterminada, não é aconselhável utilizar este estado num circuito digital.

Resumindo:

Primeira acção	Segunda acção	Terceira acção	Saída Q	Saída /Q
SET inactivo RESET inactivo	SET activo RESET inactivo	SET inactivo RESET inactivo	Q=1	/Q=0
SET inactivo RESET inactivo	SET inactivo RESET activo	SET inactivo RESET inactivo	Q=0	/Q=1
SET inactivo RESET inactivo	SET activo RESET activo	SET inactivo RESET inactivo	Q=?	/Q=?

A figura seguinte representa a operação de uma *latch* sob a forma de um diagrama temporal. Apresenta a mesma informação descrita na tabela anterior. Um diagrama temporal pode ser visualizado utilizando um osciloscópio.

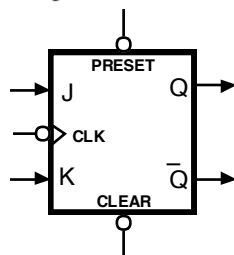


Flip-Flop JK

O comportamento do *flip-flop JK* com as entradas (J e K) é apresentado na tabela 1. Nas tabelas 2 e 3 está descrito o funcionamento de *flip-flops T* e *D*.

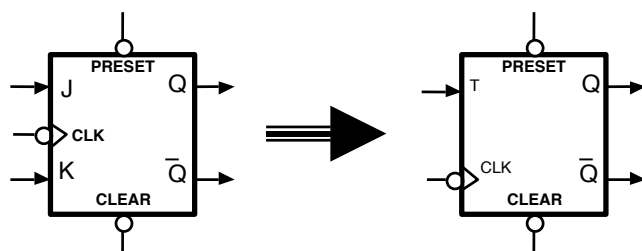
Um IC 74112 contém dois *flip-flop's* (*ff's*) JK *negative-edge-triggered*.

$$Q_{\text{seguinte}} = J\bar{Q} + \bar{K}Q$$



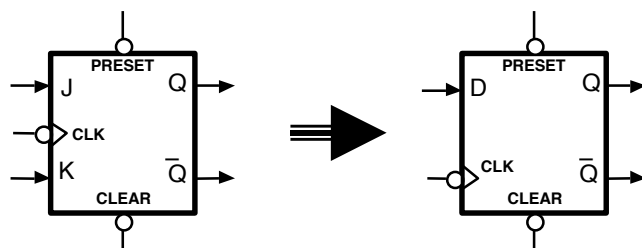
PRESET	CLEAR	CLK	J	K	Q_{n+1}
0	1	X	X	X	1
1	0	X	X	X	0
1	1	\downarrow	0	0	Q_n
1	1	\downarrow	0	1	0
1	1	\downarrow	1	0	1
1	1	\downarrow	1	1	\bar{Q}_n
1	1	1	X	X	Q_n

Tabela 1 – Flip-flop JK



T	CLK	Q_{n+1}
0	\downarrow	Q_n
1	\downarrow	\bar{Q}_n

Tabela 2 – T
($Q_{\text{seguinte}} = T \oplus Q$)



D	CLK	Q_{n+1}
0	\downarrow	0
1	\downarrow	1
X		Q_n

Tabela 3 – D ($Q_{\text{seguinte}} = D$)

ANEXO A

ÁLGEBRA DE BOOLE

A álgebra de Boole permite a simplificação de funções lógicas.

Principais Teoremas:

(T1)	$X + 0 = X$	(T1')	$X \cdot 1 = X$
(T2)	$X + 1 = 1$	(T2')	$X \cdot 0 = 0$
(T3)	$X + X = X$	(T3')	$X \cdot X = X$
(T4)	$(X')' = X$		
(T5)	$X + X' = 1$	(T5')	$X \cdot X' = 0$
<hr/>			
(T6)	$X + Y = Y + X$	(T6')	$X \cdot Y = Y \cdot X$
(T7)	$(X + Y) + Z = X + (Y + Z)$	(T7')	$(X \cdot Y) \cdot Z = X \cdot (Y \cdot Z)$
(T8)	$X \cdot Y + X \cdot Z = X \cdot (Y + Z)$	(T8')	$(X + Y) \cdot (X + Z) = X + Y \cdot Z$
(T9)	$X + X \cdot Y = X$	(T9')	$X \cdot (X + Y) = X$
(T10)	$X \cdot Y + X \cdot Y' = X$	(T10')	$(X + Y) \cdot (X + Y') = X$
(T11)	$X \cdot Y + X' \cdot Z + Y \cdot Z = X \cdot Y + X' \cdot Z$		
(T11')	$(X + Y) \cdot (X' + Z) \cdot (Y + Z) = (X + Y) \cdot (X' + Z)$		
<hr/>			
(T12)	$X + X + \dots + X = X$		
(T12')	$X \cdot X \cdot \dots \cdot X = X$		
(T13)	$(X_1 \cdot X_2 \cdot \dots \cdot X_n)' = X_1' + X_2' + \dots + X_n'$		
(T13')	$(X_1 + X_2 + \dots + X_n)' = X_1' \cdot X_2' \cdot \dots \cdot X_n'$		