

Figura 11.7 – Conversor A/D por Aproximações Sucessivas.

$V_E = 11,2$ volts, a saída do Comparador dá 1 e a Unidade de Controlo mantém o Bit 7 em 1 e passa ao Bit 6. Este é posto em 1, pelo que se obtém $V_{DA} = 8 + 4 = 12$ volts, que é superior a V_E pelo que a Unidade de Controlo põe o Bit 6 a 0 e passa ao Bit 5. Este tal como os anteriores é posto inicialmente a 1 obtendo-se $V_{DA} = 8 + 0 + 2 = 10$ volts, que é inferior a V_E de modo que o Bit 5 é deixado em 1.

Procede-se de modo análogo para todos os restantes bits de acordo com a seguinte regra: se a tensão V_{DA} resultante de se pôr em 1 um determinado bit, juntamente com os bits de maior peso já analisados for menor que V_E , esse bit é deixado em 1; se V_{DA} for maior que V_E põe-se o bit que se está a analisar em 0. Em qualquer dos casos passa-se ao bit seguinte de menor peso.

Vejamos graficamente a tensão V_{DA} durante os 8 impulsos de conversão (Fig. 11.8 e Tabela 11.1).

Verifica-se portanto que a tensão V_{DA} vai-se aproximando sucessivamente da tensão de entrada, durando a conversão sempre 8 impulsos do oscilador, portanto muito mais rápido do que o método anterior, em que para a mesma precisão de 8 bits eram necessários no máximo 256 impulsos de relógio.

Um tipo de conversor A/D extremamente rápido é o *Conversor Paralelo*, constituído por $2^n - 1$ Comparadores (em que n é o número de bits da conversão) e um Codificador final,

$$V_E = 11,2$$

como se p
de entrada

Os cor
referência
mente um
11.2.

A grar
limitada
muitos c

Vejam
sador, o
é transfc
atingir u
descarre

Conc
à tensã
é invers
cional à

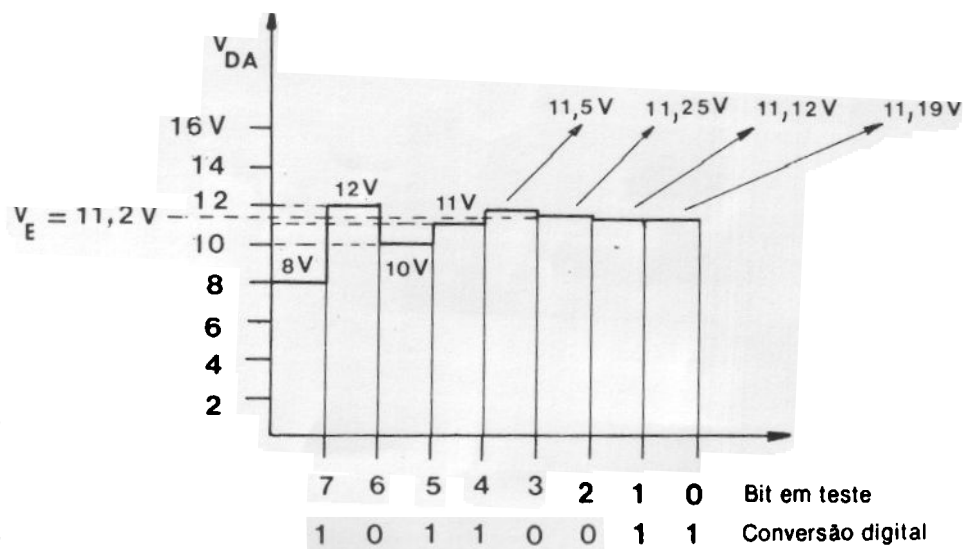


Figura 11.8 — Conversor A/D por Aproximações Sucessivas.

Tabela 11.1

bits	7	6	5	4	3	2	1	0
Tensões de cada bit (V)	8	4	2	1	0,5	0,25	0,125	0,062

como se pode ver no exemplo da Fig. 11.9 (a) e Tabela 11.1) que é de 3 bits e tensão de entrada 0 a 16 volts.

Os comparadores para os quais a tensão de entrada V_E é maior que a respectiva tensão de referência V dão saída 0 lógico e os restantes saída 1 lógico. O codificador será simplesmente um circuito digital combinatório capaz de gerar as saídas CBA segundo a Tabela lógica 11.2.

A grande vantagem deste tipo de conversor é a sua grande rapidez de conversão que só é limitada pelo tempo de resposta dos comparadores e o maior inconveniente é necessitar de muitos comparadores, em particular para conversões de muitos bits.

Vejamos agora outros tipos de conversores, que efectuem a conversão por *Carga de Condensador*, o mais simples dos quais é o conversor *Tensão-Frequência* em que a tensão de entrada é transformada numa corrente que vai carregar o condensador C dum integrador, até este atingir uma determinada tensão de referência V_R , após o que o condensador é imediatamente descarregado através do transistor Fet, como se mostra na Fig. 11.10.

Conclui-se facilmente que a corrente de carga do condensador do integrador é proporcional à tensão de entrada, pelo que o período da tensão V_C em dente de serra ou dos impulsos V_O é inversamente proporcional a V_E , ou seja, a *frequência* dos impulsos de saída V_O é *proporcional* à tensão de entrada. Portanto se contarmos os impulsos V_O durante um intervalo de

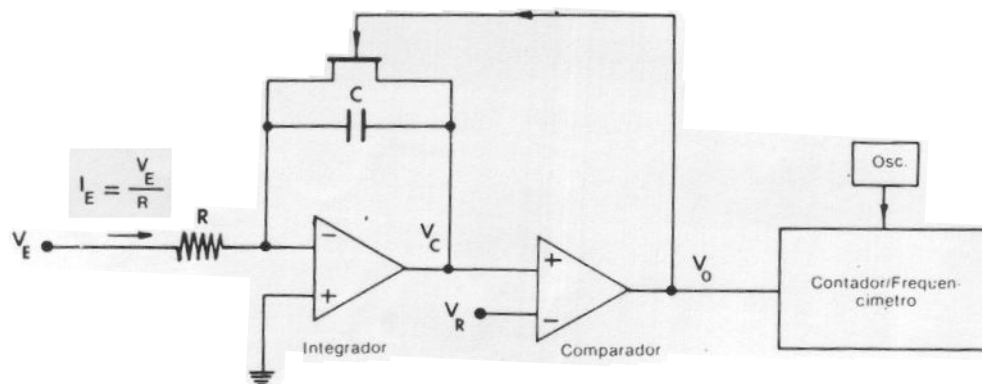
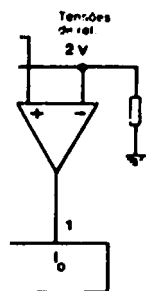


Figura 11.10 - Conversor Tensão-Frequência.

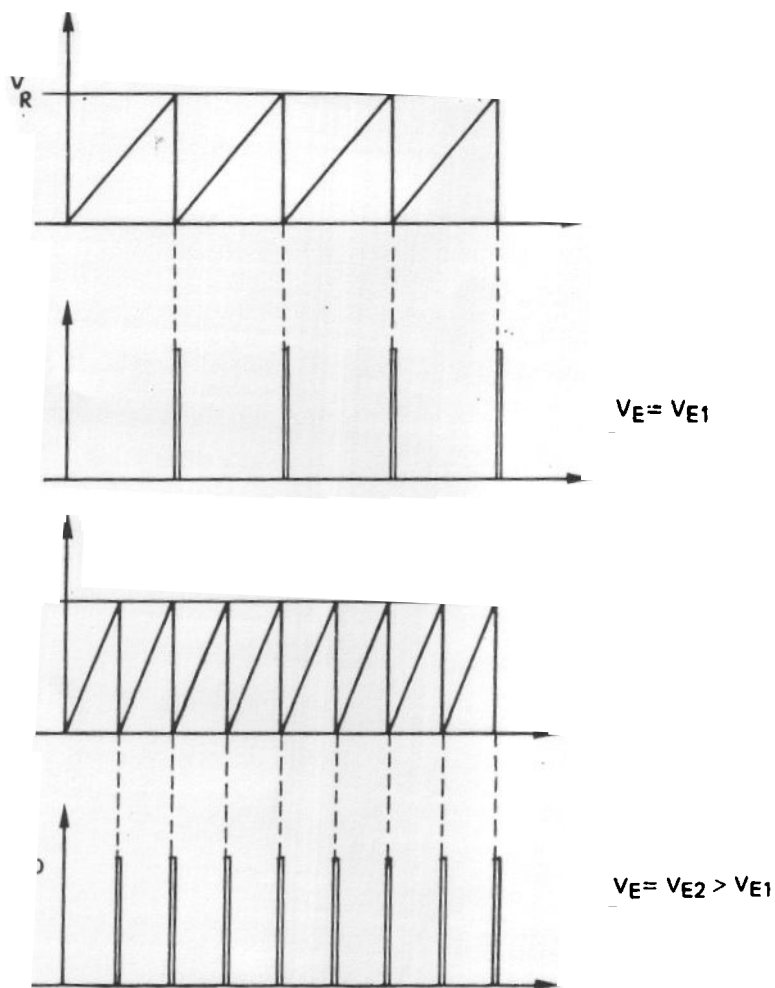
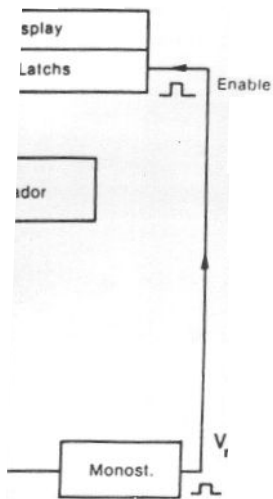


Figura 11.11 Formas de onda do Conversor Tensão-Frequência para duas tensões de entrada.

irá a tradução em
I.12, apelidado de
ador, comparador
impulso de Reset
0 volts.
em ascendente do
o integrador, com



uma inclinação constante independente da tensão de entrada. No instante em que a tensão V_c iguala a tensão de entrada V_E o comparador dá saída 1 lógico, originando à saída do monoestável um curto impulso que abre a entrada de relógio dos D latch e memoriza o estado do contador nesse preciso instante. Esse estado é a tradução digital da tensão de entrada, como se pode constatar por observação da ocorrência dos impulsos V_M de memorização no caso da tensão de entrada ser V_{E1} , em que o impulso V_M ocorre quando o contador está no estado N_1 , e no caso de a tensão de entrada ser $V_{E2} > V_{E1}$, em que o impulso V_M ocorre no instante em que o contador está no estado N_2 , maior que N_1 . Verifica-se assim uma proporcionalidade entre a tensão de entrada e o valor visualizado no display em virtude de a tensão do integrador ter um crescimento linear e a frequência do oscilador ser constante.

Um dos inconvenientes deste método de conversão reside no facto de uma eventual variação da frequência do oscilador de contagem afectar a precisão do valor obtido.

O conversor representado na Fig. 11.14, apelidado de *conversor de Dupla-Rampa*, Dual-Slope Integration, elimina este inconveniente à custa duma maior complexidade, como se vê no esquema.

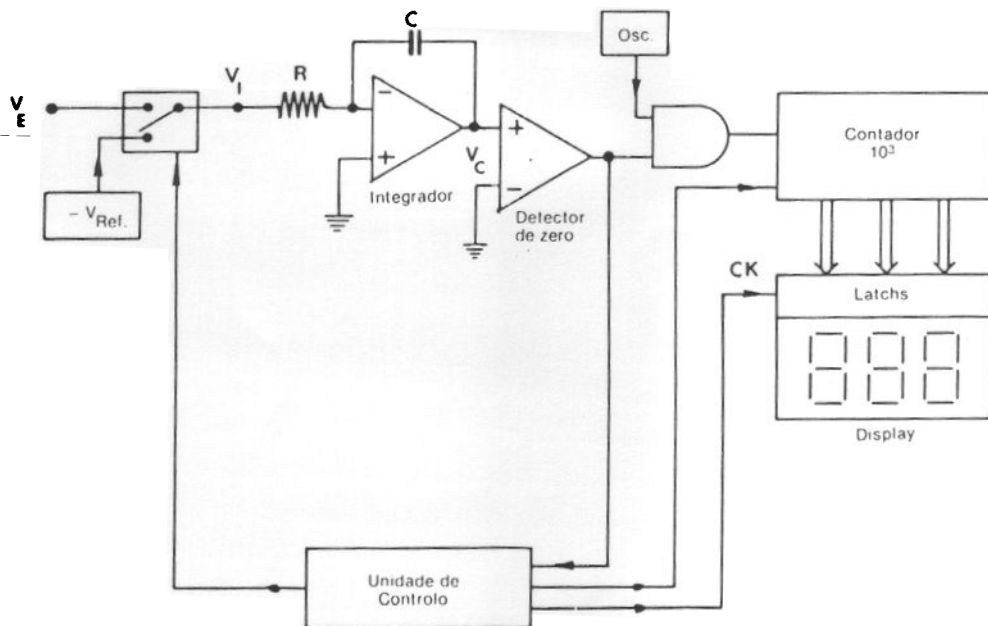


Figura 11.14 – Conversor A/D de Dupla Rampa.

Existe neste circuito uma tensão de referência V_{Ref} de polaridade oposta à da entrada, efectuando-se a conversão em duas fases. Na primeira fase do ciclo de conversão o comutador está ligado para V_E pelo que o condensador do integrador é carregado durante um tempo fixo, por exemplo durante mil impulsos de relógio do oscilador, obtendo-se portanto no fim da contagem à saída do integrador uma tensão V_c proporcional à tensão de entrada. Na segunda fase o comutador electrónico da entrada é comutado para a tensão $-V_{Ref}$ pelo que o condensador C começa a descarregar, obtendo-se na saída V_c do integrador uma rampa descendente sempre com a mesma inclinação, de modo que o tempo que esta rampa demora

a chegar a 0 volts é proporcional à tensão a que foi carregado o condensador e esta por sua vez é proporcional à tensão de entrada. Esse tempo é medido pelo contador e dá-nos a conversão digital da tensão de entrada, como podemos ver nas formas de onda representadas na Fig. 11.15 relativas a duas tensões de entrada V_{E1} e V_{E2} .

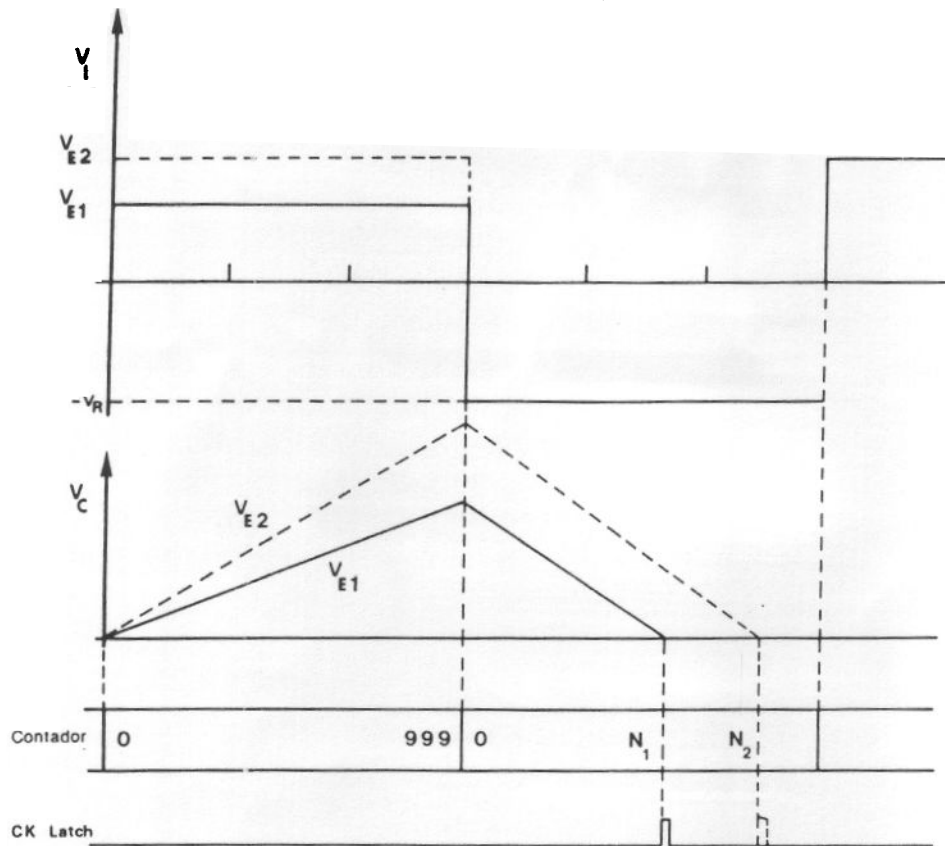


Figura 11.15 – Formas de onda do Conversor de Dupla Rampa para duas tensões de entrada ($V_{E2} > V_{E1}$).

Repare-se que na primeira fase do ciclo de conversão a tensão em V_c é uma rampa ascendente de inclinação proporcional à tensão de entrada e tem a duração de 1000 impulsos de relógio. Na segunda fase o contador volta a zero e recomeça nova contagem e simultaneamente a tensão em V_c inicia a rampa descendente de inclinação constante definida pela tensão de referência, de sinal oposto à de entrada. No instante em que a tensão V_c atinge 0 volts é gerado um curto impulso na entrada de relógio dos latch que memorizam o estado do contador nesse instante, o qual como vimos é a tradução digital da tensão de entrada.

A grande vantagem deste método de conversão por dupla rampa reside no facto de a medida efectuada ser independente da frequência do oscilador e dos valores da resistência e do condensador do integrador, pois um eventual desvio destes parâmetros em relação aos valores teóricos não afecta a conversão, em virtude de as imprecisões resultantes se compensarem pelo facto de a carga e descarga do integrador se efectuar pelo mesmo circuito.

De facto, a p
rência V_{Ref} , po
qual ele é utiliz
metros e Ohmí
inconveniente di
Nos converso
efectuar a conve
e Guarda (Samp
A/D durante toc

Tensão de
Entrada

Antes do cic
fecha momenta
carregado com
o ciclo de conve
pois com o int
dância a tensão
Existem no
gama de conver

Single-slope integration is still alive and well, particularly in applications that don't require absolute accuracy, but rather need conversion with good resolution and uniform spacing of adjacent levels. A good example is pulse-height analysis (see Section 15.16), where the amplitude of a pulse is held (peak detector) and converted to an address. Channel width equality is essential for this application, for which a successive-approximation converter would be totally unsuitable. The technique of single-slope integration is also used in time-to-amplitude conversion (TAC).

9.21 Charge-balancing techniques

There are several techniques that have in common the use of a capacitor to keep track of the ratio of an input signal level to a reference. These methods all average (integrate) the input signal for a fixed time interval for a single measurement. There are two important advantages:

1. Because these methods use the same capacitor for the signal and reference, they are relatively forgiving of capacitor stability and accuracy. These methods also make fewer demands on the comparator. The result is better accuracy for equivalent-quality components, or equivalent accuracy at reduced cost.
2. The output is proportional to the *average* input voltage over the (fixed) integration time. By choosing that time interval to be a multiple of the power-line period, the converter becomes insensitive to 60Hz "hum" (and its harmonics) on the input signal. As a result, the sensitivity to interfering signals as a function of frequency is as shown in Figure 9.55 (0.1s integration).

This nulling of 60Hz interference requires accurate control of the integration time, since an error of a fraction of a percent in the clock timing will result in incomplete cancellation of hum. One possibility is to use a crystal oscillator. You will see in Section 9.29 an elegant method

of synchronizing the workings of an integrating converter to a multiple of the line frequency in order to make this rejection perfect.

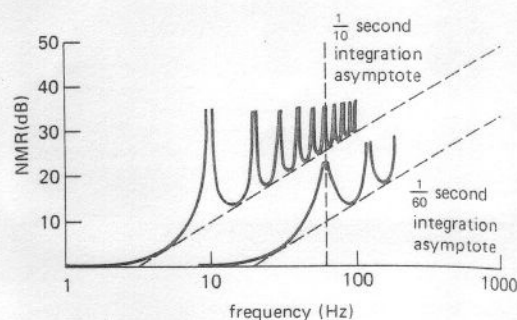


Figure 9.55. Normal-mode rejection with integrating A/D converters.

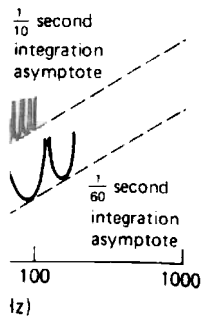
Integrating techniques have the disadvantage of slow speed, as compared with successive approximation.

Dual-slope integration

This elegant and very popular technique eliminates most of the capacitor and comparator problems inherent in single-slope integration. Figure 9.56 shows the idea. First, a current accurately proportional to the input level charges a capacitor for a fixed time interval; then the capacitor is discharged by a constant current until the voltage reaches zero again. The time to discharge the capacitor is proportional to the input level and is used to enable a counter driven from a clock running at a fixed frequency. The final count is proportional to the input level, i.e., it's the digital output.

Dual-slope integration achieves very good accuracy without putting extreme requirements on component stability. In particular, the capacitor value doesn't have to be particularly stable, since the charge cycle and the discharge cycle both go at a rate inversely proportional to C . Likewise, drifts or scale errors in the comparator are canceled out by beginning and ending each conversion cycle at the same voltage

ings of an inte-
ple of the line
e this rejection



rejection with

ave the disad-
compared with

ular technique
citor and com-
in single-slope
hows the idea.
proportional to
capacitor for a
he capacitor is
irrent until the

The time to
proportional to
al to enable a
k running at a
ount is propor-
, it's the digital

achieves very
ing extreme re-
tability. In par-
doesn't have to
the charge cy-
e both go at a
o C . Likewise,
the comparator
ng and ending
e same voltage

and, in some cases, at the same slope. In the most accurate converters, the conversion cycle is preceded by an "auto-zeroing" cycle in which the input is held at zero. Since the same integrator and comparator are used during this phase, subtracting the resulting "zero-error" output from the subsequent measurement results in effective cancellation of errors associated with measurements near zero; however, it does not correct for errors in overall scale.

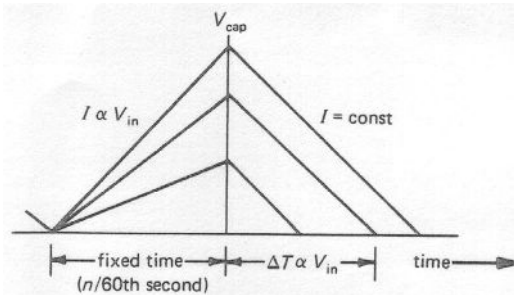


Figure 9.56. Dual-slope conversion cycle.

Note that even the clock frequency does not have to have high stability in dual-slope conversion, because the fixed integration time during the first phase of the measurement is generated by subdivision from the same clock used to increment the counter. If the clock slows down by 10%, the initial ramp will go 10% higher than normal, requiring 10% longer ramp-down time. Since that's measured in clock ticks that are 10% slower than normal, the final count will be the same! Only the discharge current has to be of high stability in a dual-slope converter with internal auto-zeroing. Precision voltage and current references are relatively easy to produce, and the (adjustable) reference current sets the scale factor in this type of converter.

When choosing components for dual-slope conversion, be sure to use a high-quality capacitor with minimum dielectric absorption ("memory" effect; see the

model in Fig. 4.42) – polypropylene, polystyrene, or Teflon capacitors work best. Although these capacitors are not polarized, you should connect the outside foil (indicated with a band) to the low-impedance point (the output of the integrator op-amp). To minimize errors, choose integrator R and C values to use nearly the full analog range of the integrator. A high clock frequency improves resolution, although you gain little once the clock period becomes shorter than the comparator response time.

When using precision dual-slope converters (and, indeed, any kind of precision converter) it is essential to keep digital noise out of the analog signal path. Converters usually provide separate "analog ground" and "digital ground" pins for this purpose. It is often wise to buffer the digital outputs (say with a '244 three-state octal driver, asserted only when reading the output) in order to decouple the converter from the digital roar of a microprocessor bus (see next chapter). In extreme cases you might use opto-couplers to quarantine the noise of a particularly dirty bus. Be sure to use liberal power-supply bypassing right at the converter chip. And be careful not to introduce noise during the critical endpoint of the integration, as the ramp reaches the comparator trip point: For example, some converters let you check for end-of-conversion by reading the output word; don't do it! Instead, use the separate BUSY line, suitably isolated.

Dual-slope integration is used extensively in precision digital multimeters, as well as in conversion modules of 10-bit to 18-bit resolution. It offers good accuracy and high stability at lowest cost, combined with excellent rejection of power-line (and other) interference, for applications where speed is not important. For a fixed amount of money, you will get greatest precision with a module that uses this technique. The digital output codes are strictly monotonic with increasing input.

□ Delta-sigma converters

There are several methods of A/D conversion that involve cancellation of the (average) signal input current with a switched internal source of current or charge. Figure 9.57 shows a functional diagram of a "delta-sigma" converter.

The input voltage drives an integrator, whose output is compared with any fixed voltage, such as ground. Depending on the comparator output, pulses of current of fixed length (i.e., fixed increments of charge) are switched into the summing junction or to ground at each clock transition, with the effect of maintaining zero average current into the summing junction. This is the balancing concept. A counter keeps track of the number of charge pulses switched into the summing junction for a given number of clock pulses, say 4096. That count is proportional to the average input level during the 4096 clock pulses, i.e., it's the output.

Delta-sigma converters can also be constructed with the current pulses generated with a resistor from a stable reference voltage, since the summing junction is a

virtual ground. In that case you have to make sure that the switch ON resistance is small compared with the series resistor, so that variations of R_{ON} don't cause drifts.

□ Switched-capacitor A/D

A closely related charge-balancing method uses the "capacitor-stored charge-dispersing A/D," or "switched-capacitor" A/D. In this technique, fixed amounts of charge are created by repeatedly charging a capacitor from a stable reference voltage, then discharging it into the summing junction. The comparator looks at the integrator output, as previously, and controls the rate at which the capacitor is switched. That rate is counted for a fixed time interval to generate the digital output. This method has advantages for circuits that are meant to operate from a single supply voltage, since the effective polarity of charge transferred from the capacitor to the summing junction can be reversed by suitably connected FET switches (i.e., by switching both sides of the capacitor).

An example of this technique is the LM331 voltage/frequency converter, which

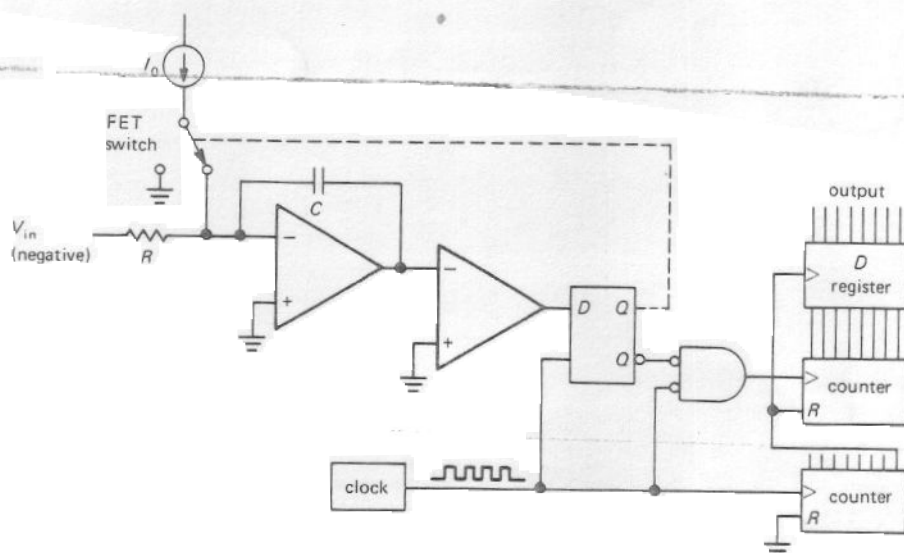


Figure 9.57. Delta-sigma charge-balancing ADC.