

Comentários ao texto da Parte I do teste

Na sequência da correção do texto da Parte I do teste encontrei algumas situações que merecem alguns comentários meus.

Nota: estes comentários não são não a correção do teste!

1. a)

Um processador é um *core* ou é um *chip multicore*?

AO longo desta UC foi usado sempre o termo PU como sinónimo de processador e correspondente à parte de processamento de um *core* (i.e., um *core* sem a hierarquia de memória) e nunca foi considerado um *chip multicore*, como alguns usaram na resposta a esta questão.

E poucos ainda entenderam o significado de "*arquitetura do sistema de computação*"...

Para esta questão esperava-se que dissessem que um sistema de computação de memória distribuída é aquele em que o(s) *chip(s) multicore* não partilham fisicamente do acesso à memória RAM ligada a outro(s) *chip(s) multicore*; já no modelo de programação é possível implementar este modelo num sistema com memória fisicamente partilhada, embora não exista de facto qualquer partilha de memória entre os *cores* que estejam a correr processos distintos.

E quanto ao GPU era importante referir a diferença entre, por ex., um sistema *dual-socket* com 2 *chips* idênticos, dum sistema em que o 2º *chip* era um acelerador GPU (isto raramente acontece, apenas vimos isto na ligação do POWER9 da IBM ao GPU NVIDIA Volta, normalmente a ligação ao GPU é através de I/O por PCIe); mais concretamente, referir que, para além de a maioria das implementações físicas serem de memória distribuída, estes aceleradores não podem correr código sozinho, precisam de um hospedeiro para arrancar e correr parte do código, pelo menos a parte de código sequencial; e que os GPUs não correm C standard, correm uma adaptação do C a estes componentes, código este gerado por CUDA ou OpenCL, que cria a ilusão ao programador que está apenas a usar código C.

2.

a) Uma memória DDR4-3200 tem capacidade de 3200 MegaTransferências/seg com um *clock* de 1600 MHz, e como cada transferência de/para a memória é de 64 bits (8 bytes), então consegue transferir 3200x8 B/s, que é o valor que foi indicado no enunciado, i.e., 25600 MB/s ou 25.6 GB/S. E isto é a capacidade de transferir dados, por cada canal de acesso à memória que o *chip multicore* tiver...

b) O servidor *dual-socket* referido no enunciado tem 2 *chips multicore* interligados e cada com um controlador de memória e respetiva RAM ligada ao *chip* (foi isto que vimos na arquitetura dos *chips* da Intel dos últimos 10 anos ou mais). Assim, o tempo de acesso à memória de um *core* vai depender a qual RAM esse *core* pretende aceder, se à que se encontra ligada ao *chip* onde está o *core*, ou se à RAM ligada ao outro *chip*...

Agora, se estivermos por ex., a usar um servidor com 2 *chips* de 10 *cores* cada, o que se pretendia saber era qual seria a diferença entre desenvolver uma aplicação com 1 processo e 20 *threads* (max paralelismo físico) ou por ex., com 2 processos com 10 *threads* cada (tb max paralelismo cada). Ou 4 processos com 5 *threads* cada. Qual seria a melhor opção e porquê?

3. a)

A arquitetura básica elementar dum processador tem a ver apenas com o processador, tal como referido em **1. a)**, portanto sem qq referência à hierarquia de memória.

Se alguém tivesse dúvida sobre se esta arquitetura elementar tinha ou não *cache*, bastaria ler com cuidado o resto do enunciado, onde se dizia que a arquitetura elementar precisava de 3 ciclos de *clock* para ir buscar a instrução e outros 3 para ir buscar dados, o que coincide com o tempo que necessita a arquitetura x-86 na figura (que precisava de 3 ciclos de *clock* para aceder a dados em memória com um LOAD), e que já tinha os melhoramentos pedidos para executar uma instrução em média de 2 ciclos/elemento.

4.

a) No *website* do TOP500 há várias listas ordenadas de sistemas de computação: a lista propriamente dita de TOP500, a lista Green500, a lista HPCG, a lista HPL-AI, ...

A questão colocada era apenas a lista TOP500 (LINPACK) (tal como estava no índice dos *slides*) e assim o que se pretendia era saber se tinham a noção de como era medida a *performance* dos sistemas (usando o Benchmark LINPACK e uma breve descrição do que era esta aplicação); e pretendia-se a *performance* dos sistemas e não apenas a dos processadores, como alguns disseram.

Vários alunos colocaram uma resposta igual, que não sei de onde foi retirada, mas que dei pouca cotação por não terem explicitado como era feita a medição da *performance*:

"Esta lista é constituída com base na execução de um determinado pacote de instruções segundo umas regras bem definidas e voluntariamente submetidas pelas entidades detentoras desses equipamentos."

b) Os gráficos apenas mostravam explicitamente o papel dos processadores Intel Xeon e AMD EPYC, quer em termos da percentagem dos 50 sistemas que os continham, quer a ainda a percentagem da *performance* global desses sistemas. Eu esperava comentários sobre isto.

E penalizei quem chamou de "*aceleradores*" aos processadores XEON e EPYC!!!

Adicionalmente:

- na lista de "*outros*" seria de referir o processador FUJITSU/ARM que esteve em 1º lugar até Jun'22, os POWER da IBM que ainda há vários que já estiveram no topo da lista, e o Sunway (o tal com 256+4 *cores*) que esteve recentemente em 1º lugar, os quais, embora representem poucos sistemas, tinham uma boa *performance*;

- na avaliação da percentagem da *performance* global, esta referia-se aos sistemas como um todo, quer tivessem aceleradores (normalmente GPUs), quer não, até porque normalmente a parte responsável pelo aumento da *performance* eram precisamente os GPUs...