

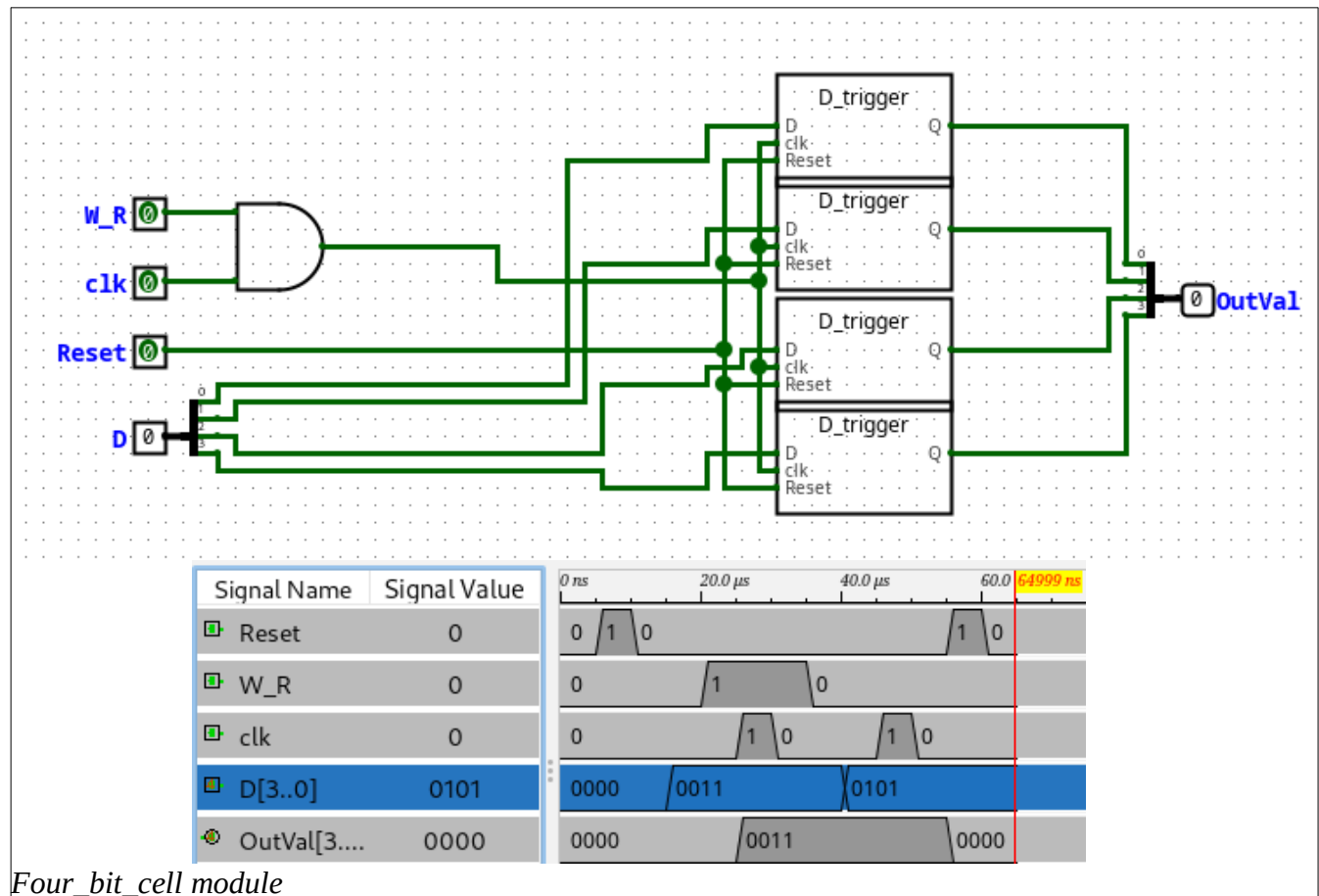
ФИО	Завьялов Никита Аркадьевич
Номер группы	М3138
Название работы	Построение логических схем

2. Ссылка на репозиторий: <https://github.com/NEKAfk/comp-ach>

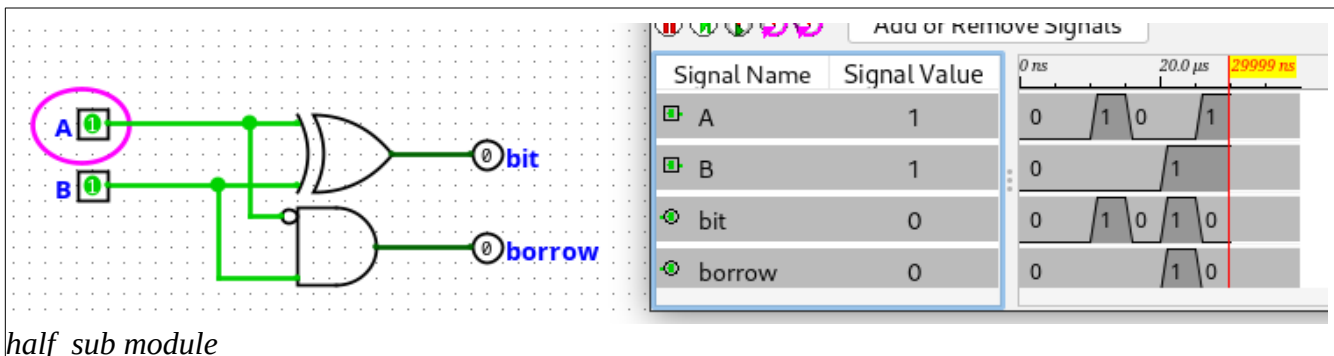
3. Инструментарий: Logisim Evolution v. 3.8.0, Icarus Verilog v. 11.0(stable)

4. Сборка схем в Logisim Evolution

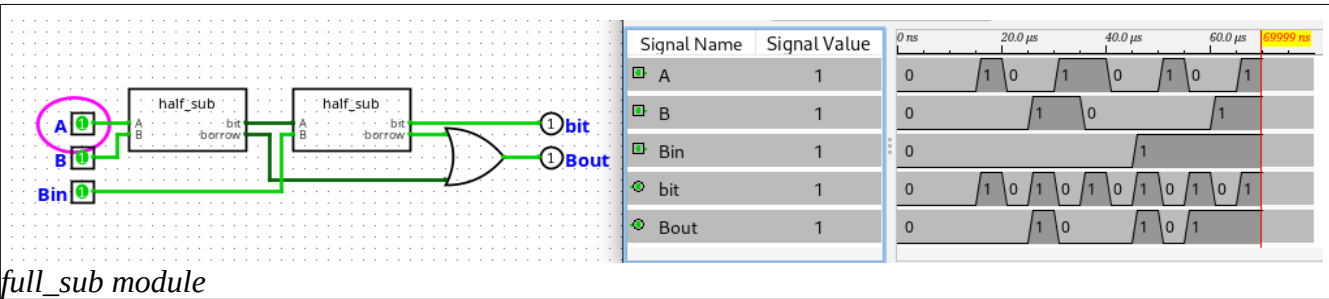
Four_bit_cell – ячейка памяти на 4 бита, состоящая из четырёх D триггеров. Значение обновляется если во время CLK = 1 и нам пришла команда записи(W_R = 1)



half_sub – модуль, позволяющий находить разность битов и занимаемый бит

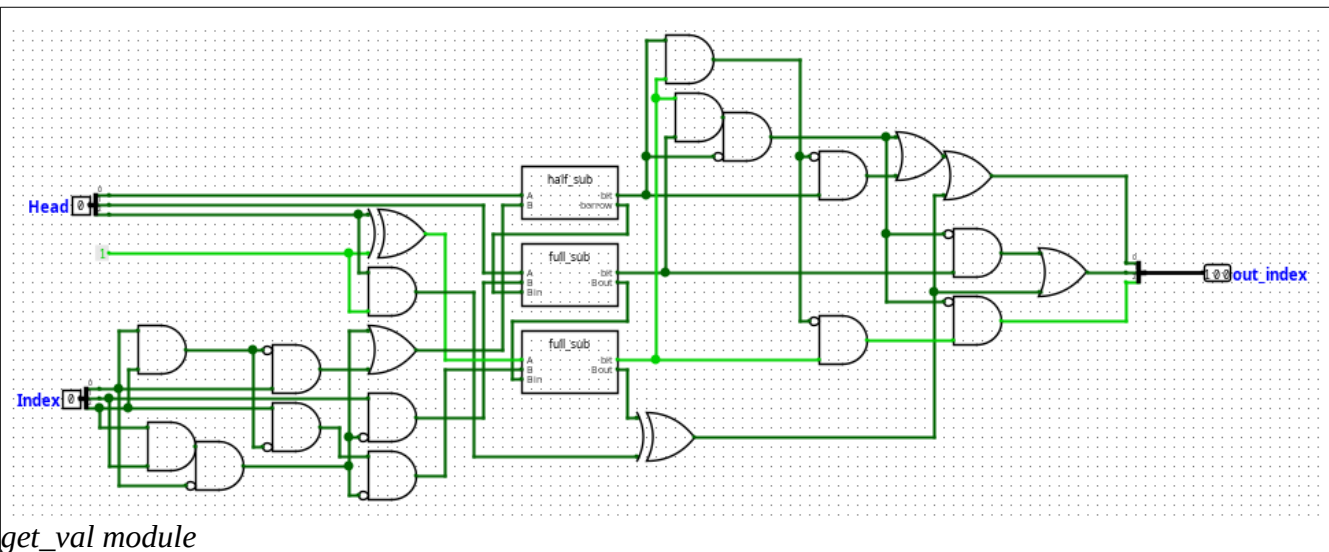


full_sub – модуль, позволяющий находить разность битов и занимаемый бит, учитывая занятый бит с предыдущего разряда



full_sub module

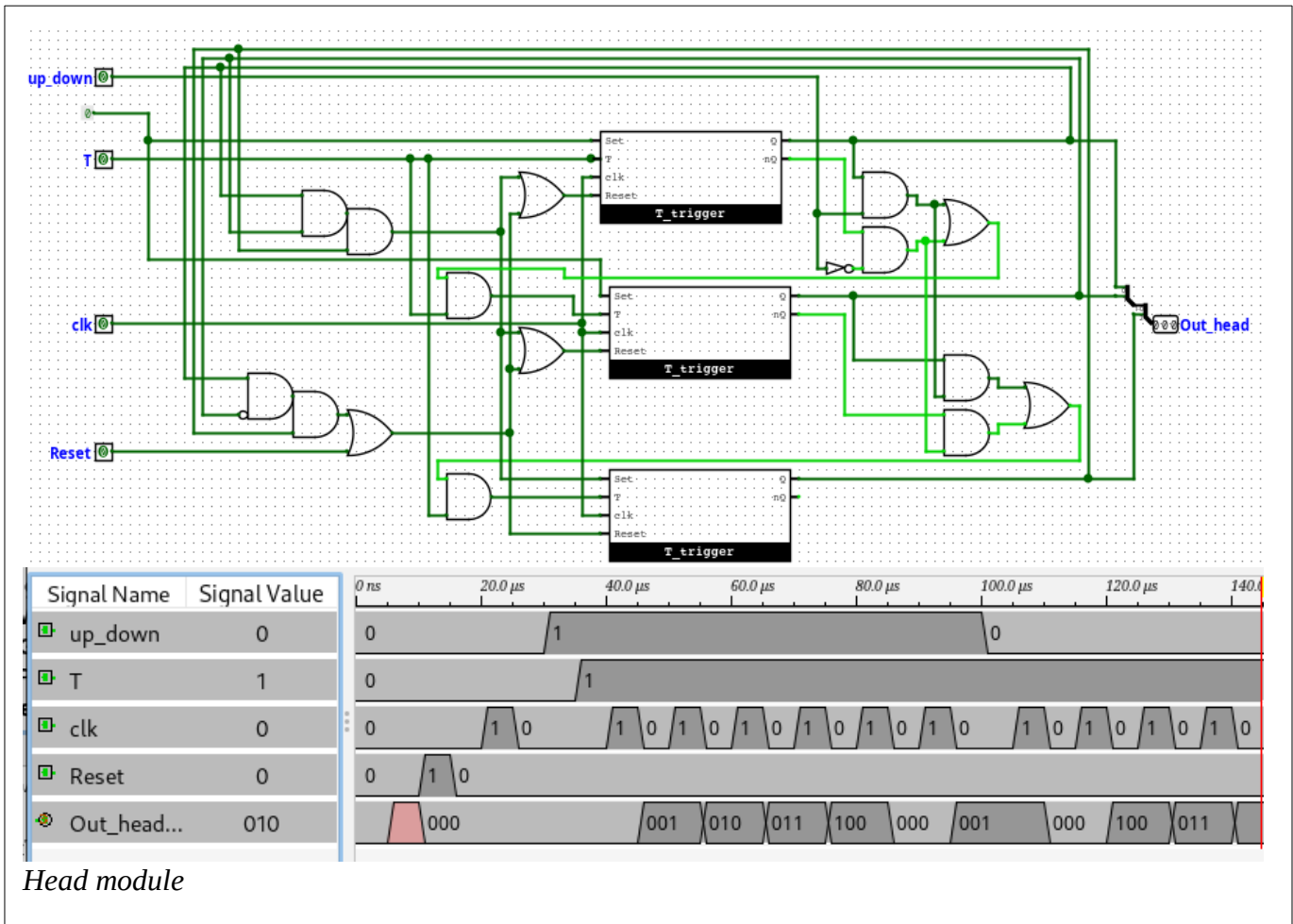
get_val – модуль возвращающий индекс элемента в массиве, принимая индекс элемента в стеке. Так как $0 \leq \text{Index} \leq 7$, $0 \leq \text{Head} \leq 4$ и Head указывает на место, куда произойдет следующий push, то реализовав $(\text{Head} + 4 - \text{Index} \% 5) \% 5$, мы получим нужный нам индекс в массиве.



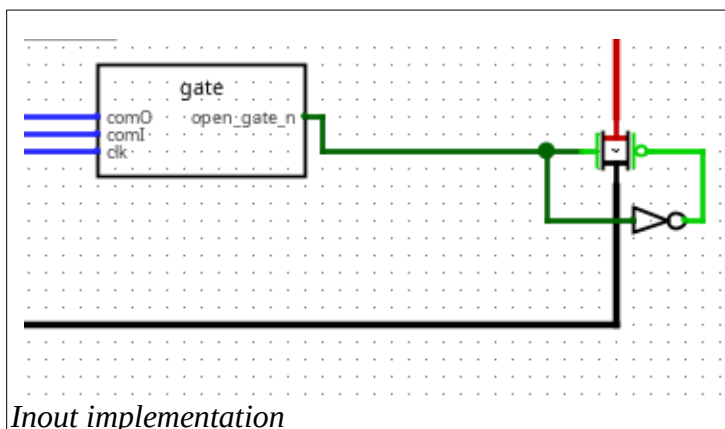
get_val module

Head/Index	0	1	2	3	4	5	6	7
0	4	3	2	1	0	4	3	2
1	0	4	3	2	1	0	4	3
2	1	0	4	3	2	1	0	4
3	2	1	0	4	3	2	1	0
4	3	2	1	0	4	3	2	1

Head – модуль, хранящий указатель на элемент массива, в который добавится элемент при выполнении команды push. up_down отвечает за инкрементирование/декрементирование счетчика, при переполнении счетчик сбрасывается до нуля или четырёх.



Inout – сделан за счет двух транзисторов(cmos в Verilog). Блок gate отвечает за открытие затвора, затвор открывается, если clk = 1 и команда – pop или push.



5. Сборка схемы на Verilog

В структурном уровне все модули аналогичные

В поведенческом уровне стек устроен как двумерный массив 5×4 , имеется два блока `always`, которые вызываются при `posedge RESET` и `posedge CLK` соответственно. Когда срабатывает сброс все значения обнуляются при помощи блока `for`. Inout `IO_DATA` подсоединен при помощи `assign IO_DATA = (CLK && (COMMAND == 2 || COMMAND == 3)) ? O_DATA_reg : 4'bz;`

То есть если нам надо выводить, мы выводим значение `O_DATA_reg`, которое присваивается внутри блока `always`, иначе подается высокоимпедансное состояние, которое вместе с `I_DATA` даст `I_DATA`.