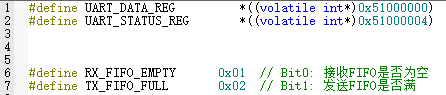
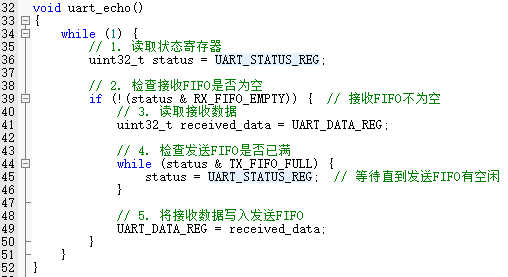
1、 通过修改程序，使PC的串口终端能够换行。

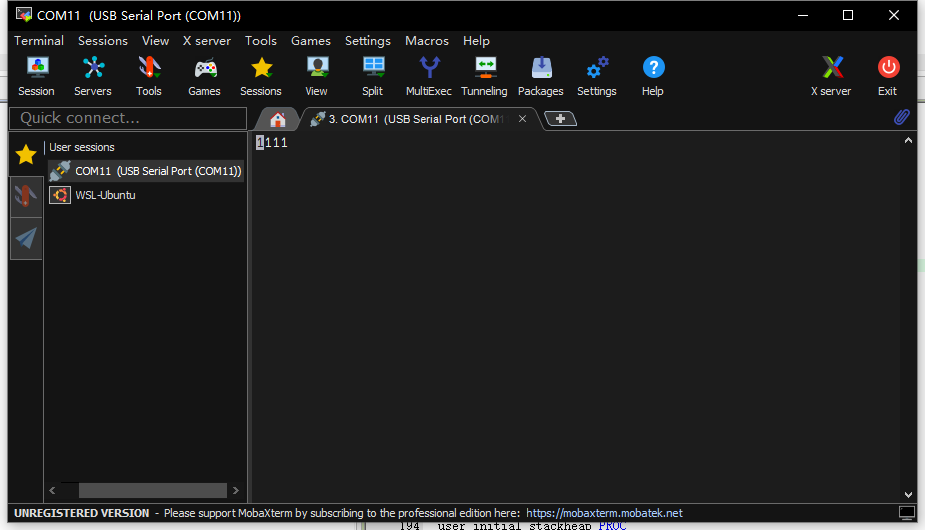
首先将Verilog代码烧录至FPGA后，根据所给地址编写对应的宏定义



之后编写串口回环函数



但以上回送函数在输入回车后，会出现以下现象，只进行了回车操作，并未进行换行

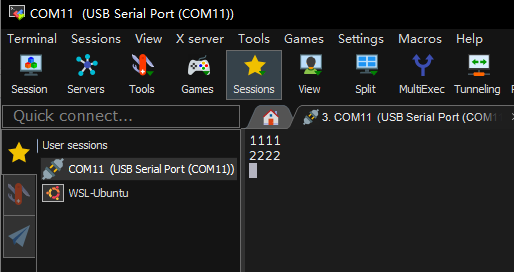


这是因为windows系统的问题，在按下回车键时，只会发送一个回车符，并未进行换行操作，因此需要对回送函数的逻辑进行相应的修改



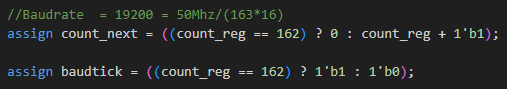
经过修改后，再次测试

此时，按下回车键就可以正常进行回车并换行



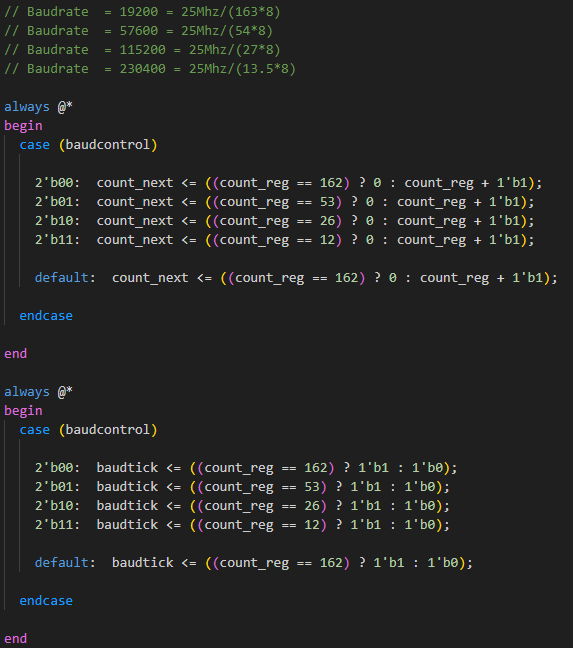
2、 增加控制寄存器UART\_CONTROL\_REG，使用bit [1:0]来设置串口的波特率。波特率可设置为以下几个值：0：19200bps（上电默认）， 1：57600bps， 2：115200bps， 3: 230400bps

阅读Verilog代码后发现，波特率主要由baudgen模块控制



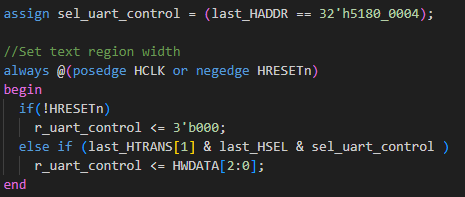
当计数到设定数值后，便发送一次tick，而在RX和TX模块中，会对tick进行计数，当tick次数到达设定数值后，便发送一位数据

由于在做VGA模块时，为实现高分辨率的显示，我将核心主频设置为25MHz，因此为了实现要求中的高波特率，我将一位数据发送所需的tick改成了8个，并在计算参数时向下取整，编写了以下Verilog代码

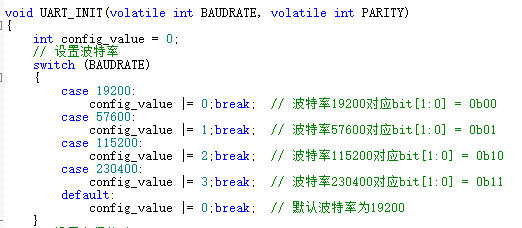


Tick对应的count值计算方法附在代码注释处

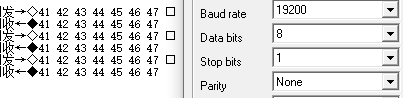
同时需要给UART\_CONTROL\_REG分配地址，此处分配的地址为51800004

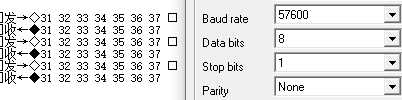


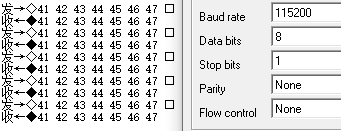
编写对应的软件代码

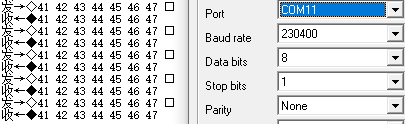


测试后在不同波特率下均能正常收发数据



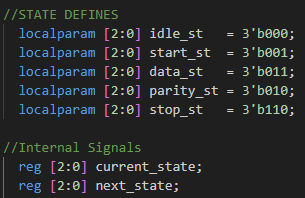




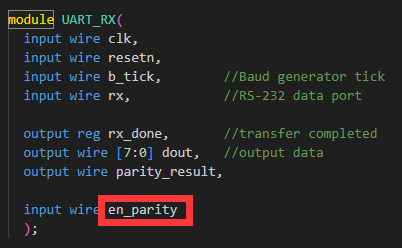


3、 串口通讯增加奇偶校验位功能，使用控制寄存器UART\_CONTROL\_REG的bit2来控制。若bit2=0，禁止奇偶校验（上电默认）；若bit2=1, 使能奇校验（或偶校验）。

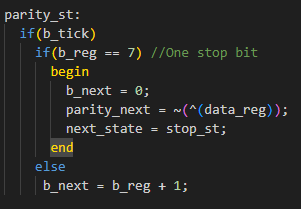
要增加奇偶校验，首先需要在RX和TX的状态机中增加校验状态，这样也便于控制



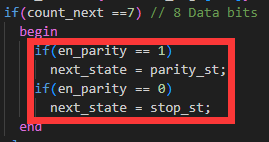
同时增加en\_partiy端口，以控制是否进入校验状态，同时预留partiy\_result接口



本次使用的是奇校验

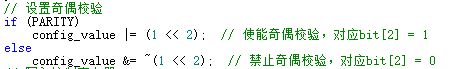


同时增加控制部分，当UART\_CONTROL\_REG的bit2为1时就发送校验位，为0则发送停止位

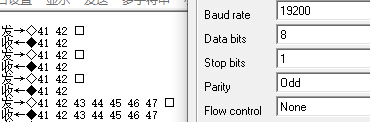


对TX部分进行类似的修改

编写对应的软件



设置串口软件奇校验，并发送测试，可以发现串口回送正常



关闭校验则数据开始出现错误，可以说明校验位有效

