

# 第5章 输入输出系统

---

## 5.1 概述

## 5.2 外部设备

## 5.3 I/O接口

## 5.4 程序查询方式

## 5.5 程序中断方式

## 5.6 DMA方式

# 5.1 概述

## 一、输入输出系统的发展概况

### 1. 早期

分散连接

CPU 和 I/O设备 串行 工作 程序查询方式

### 2. 接口模块和 DMA 阶段

总线连接

CPU 和 I/O设备 并行 工作 { 中断方式  
DMA 方式

### 3. 具有通道结构的阶段

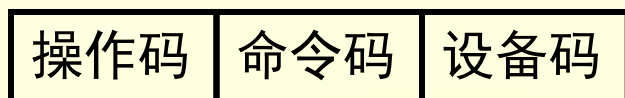
### 4. 具有 I/O 处理机的阶段

## 二、输入输出系统的组成

## 5.1

### 1. I/O 软件

(1) I/O 指令      CPU 指令的一部分



(2) 通道指令      通道自身的指令

指出数组的首地址、传送字数、操作命令

如 IBM/370 通道指令为 64 位

### 2. I/O 硬件

设备

I/O 接口

设备

设备控制器

通道

# 三、I/O 设备与主机的联系方式

## 5.1

### 1. I/O 设备编址方式

- (1) 统一编址      用取数、存数指令
- (2) 不统一编址      有专门的 I/O 指令

### 2. 设备选址

用设备选择电路识别是否被选中

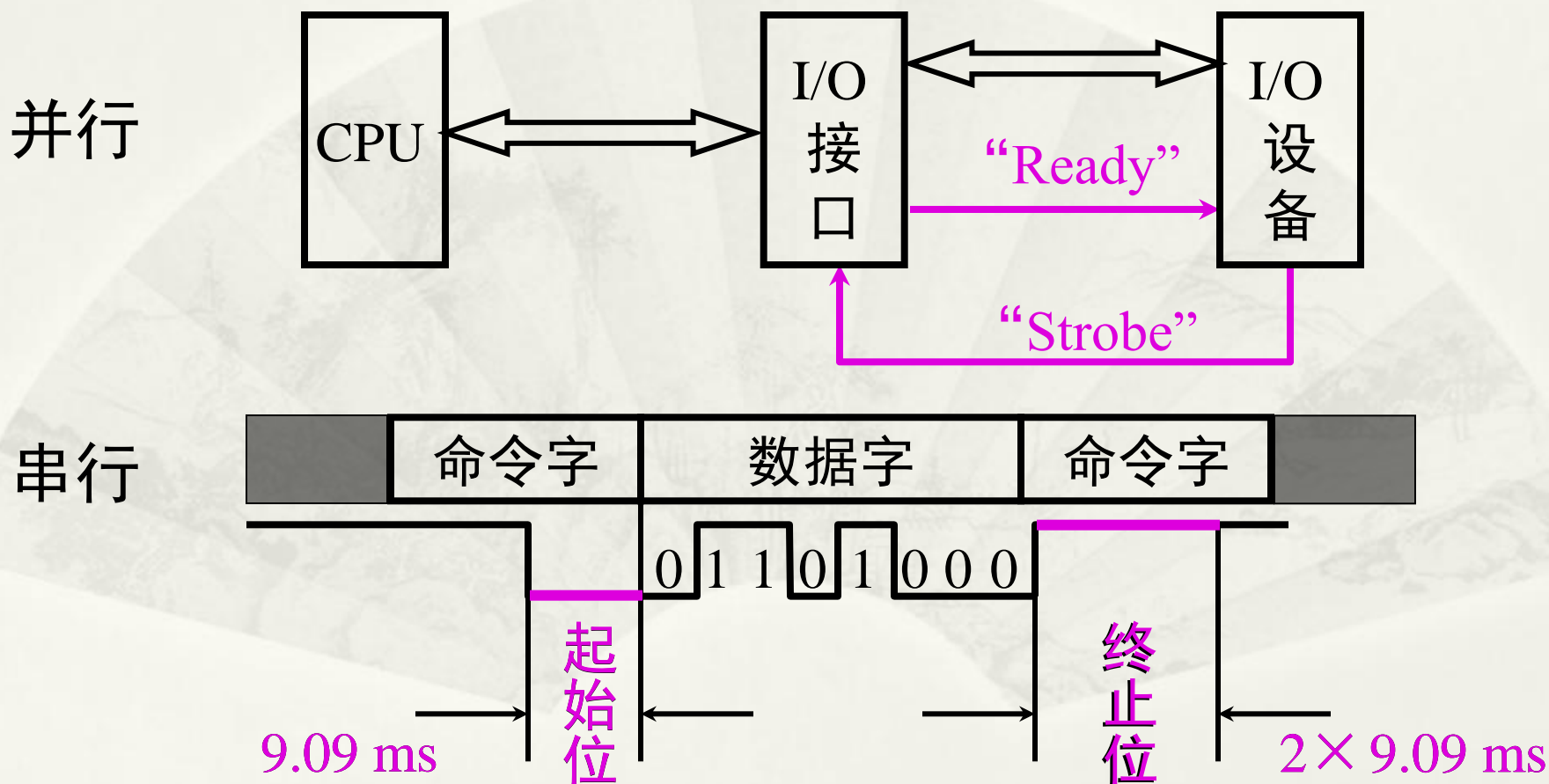
### 3. 传送方式

- (1) 串行
- (2) 并行

## 4. 联络方式

(1) 立即响应

(2) 异步工作采用应答信号

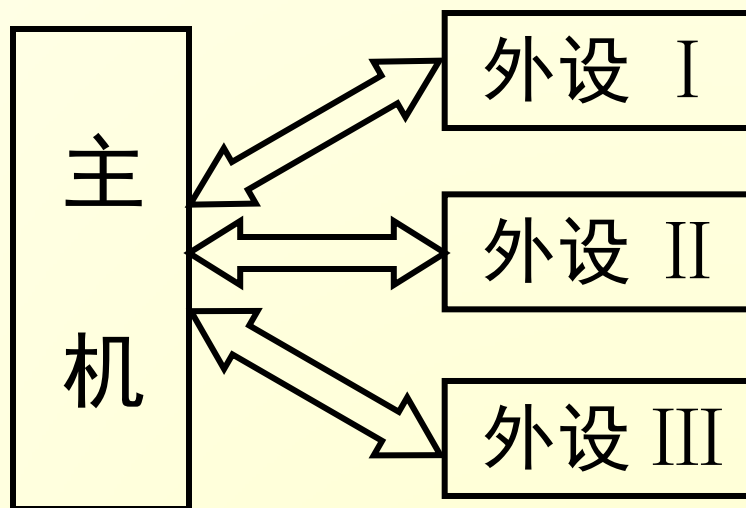


(3) 同步工作采用同步时标

## 5. I/O 设备与主机的连接方式

### 5.1

#### (1) 辐射式连接



每台设备都配有一套  
控制线路和一组信号线

不便于增删设备

#### (2) 总线连接

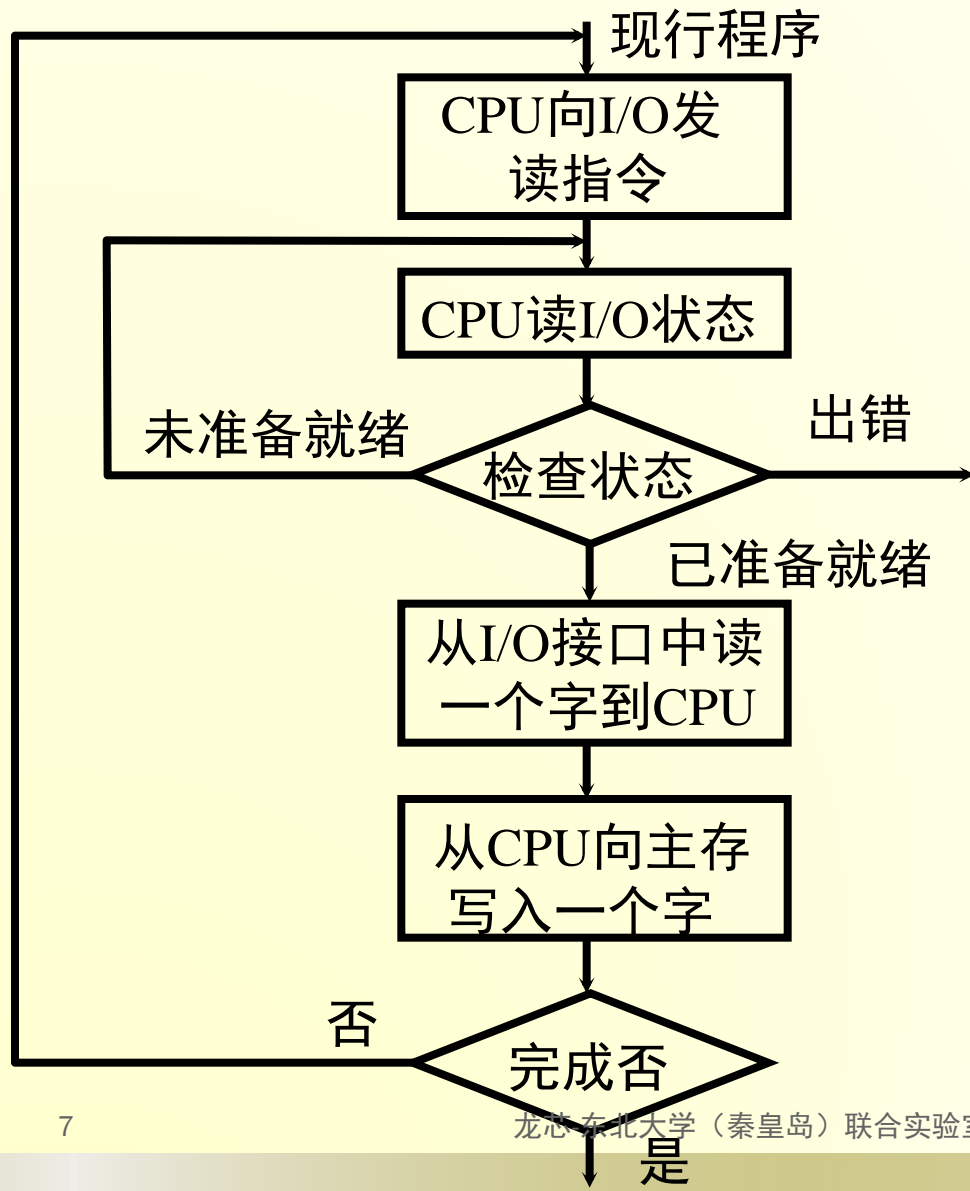
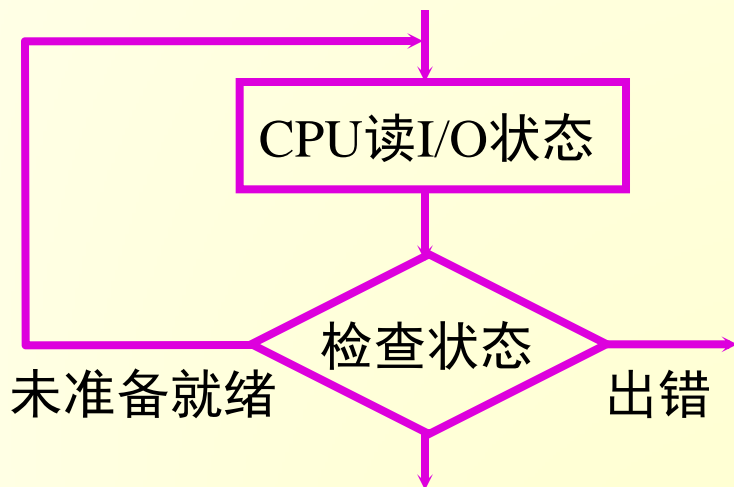
便于增删设备

# 四、I/O设备与主机信息传送的控制方式 5.1

## 1. 程序查询方式

CPU 和 I/O 串行工作

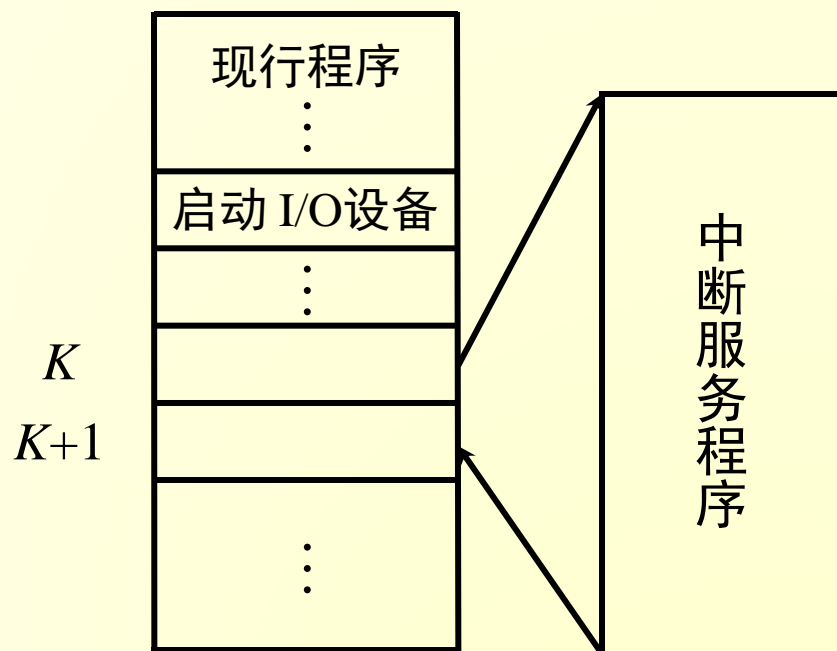
踏步等待



## 2. 程序中断方式

I/O 工作 { 自身准备      CPU 不查询  
与主机交换信息    CPU 暂停现程序

CPU 和 I/O 并行工作



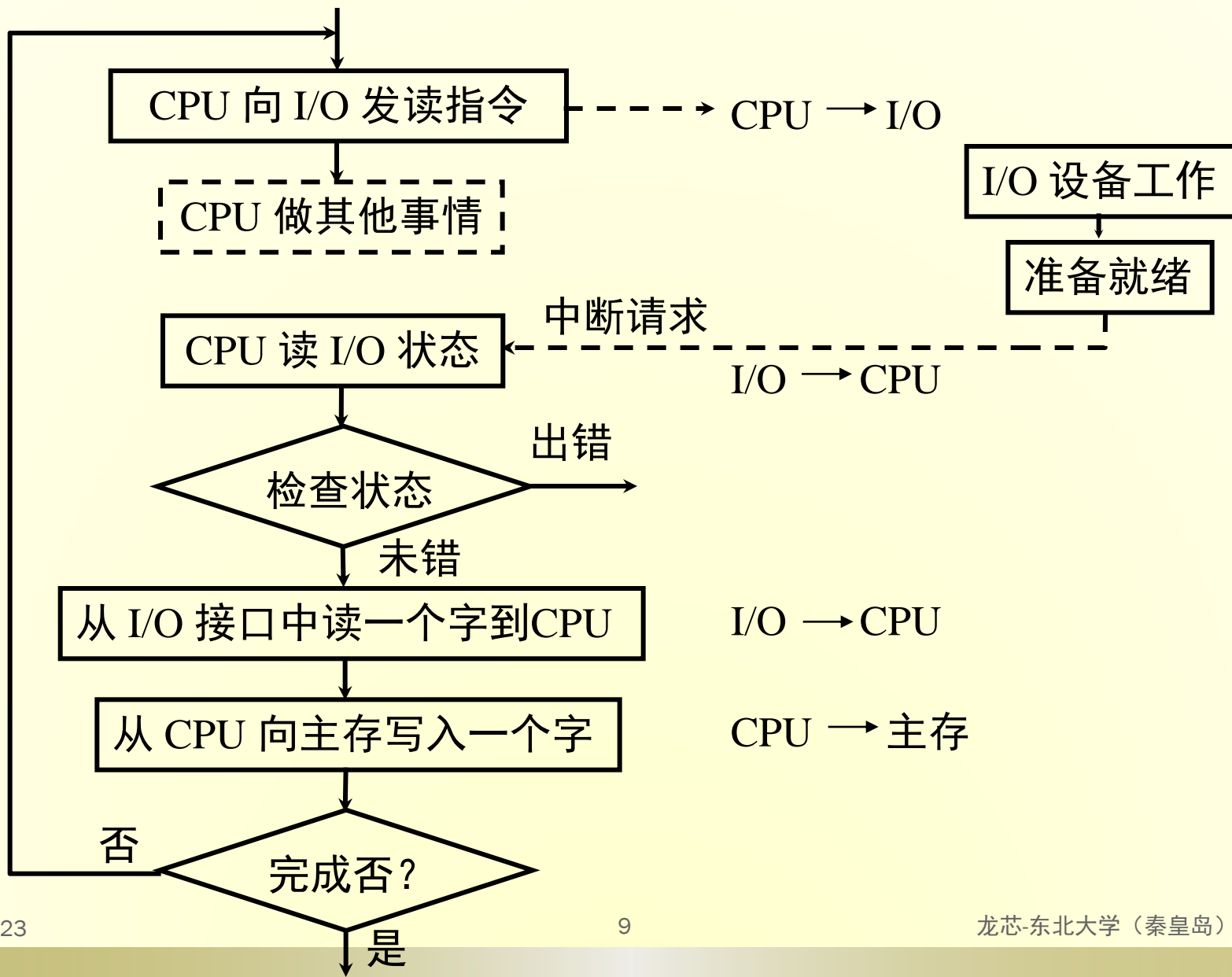
没有踏步等待现象

中断现程序



# 程序中中断方式流程

## 5.1



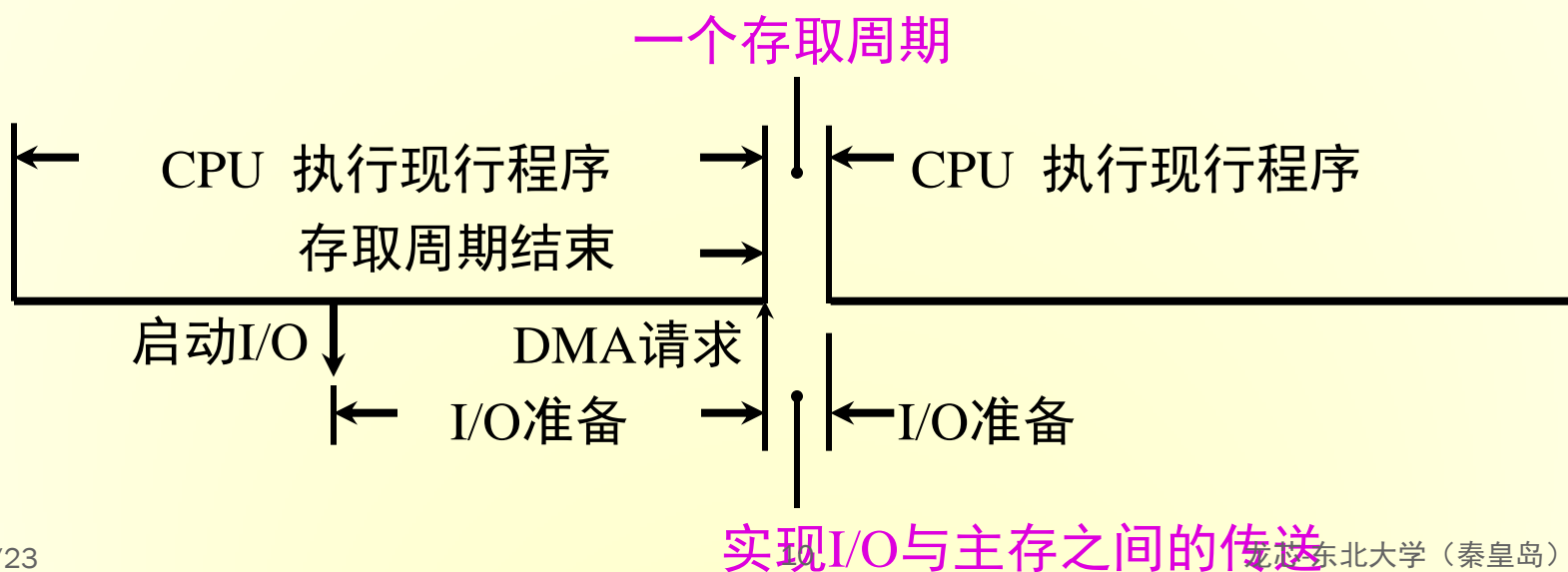
### 3. DMA 方式

主存和 I/O 之间有一条直接数据通道

不中断现行程序

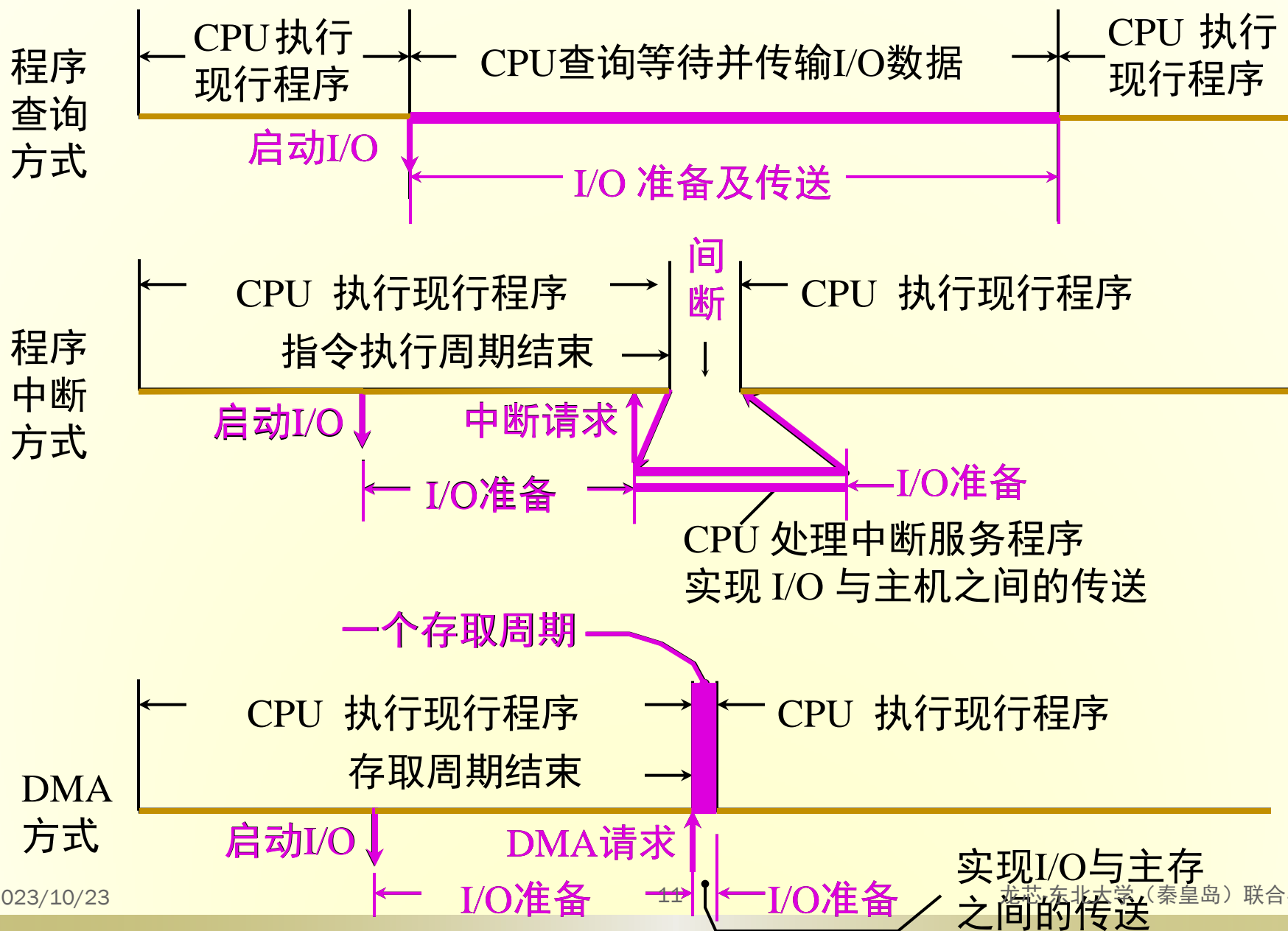
周期挪用（周期窃取）

CPU 和 I/O 并行工作



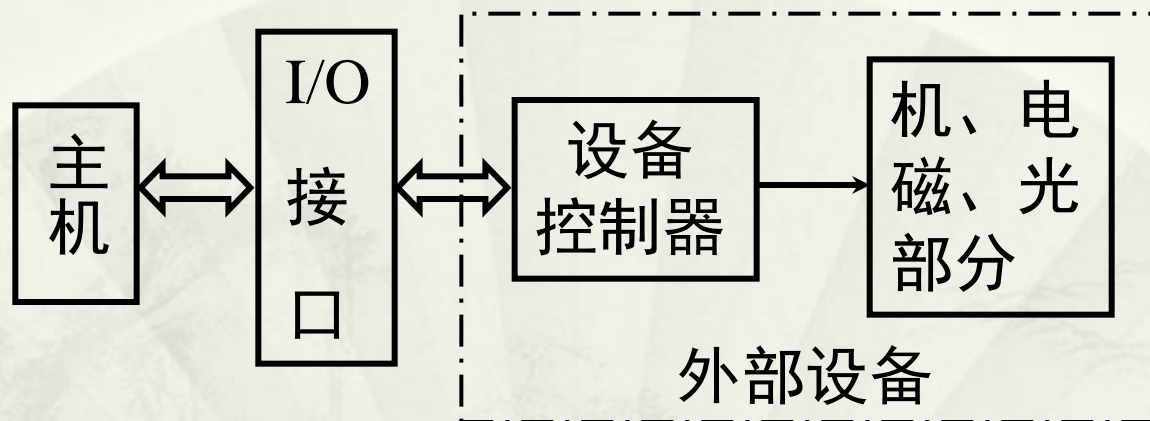
# 三种方式的 CPU 工作效率比较

## 5.1



# 5.2 I/O设备

## 一、概述



外部设备大致分三类

1. 人机交互设备

键盘、鼠标、打印机、显示器

2. 计算机信息存储设备

磁盘、光盘、磁带

3. 机—机通信设备

调制解调器等



## 二、输入设备

## 5.2

### 1. 键盘

按键

判断哪个键按下

将此键翻译成 ASCII 码（编码键盘法）

### 2. 鼠标

机械式

金属球 电位器

光电式

光电转换器

### 3. 触摸屏

# 三、输出设备

## 5.2

### 1. 显示器

(1) 字符显示

字符发生器

(2) 图形显示

主观图像

(3) 图像显示

客观图像

### 2. 打印机

(1) 击打式

点阵式（逐字、逐行）

(2) 非击打式

激光（逐页）喷墨（逐字）

## 四、其他

1. A/D、D/A      模拟/数字（数字/模拟）转换器

2. 终端              由键盘和显示器组成

完成显示控制与存储、键盘管理及通信控制

3. 汉字处理      汉字输入、汉字存储、汉字输出

## 五、多媒体技术

1. 什么是多媒体

2. 多媒体计算机的关键技术



# 5.3 I/O 接口

## 一、概述

为什么要设置接口？

1. 实现设备的选择
2. 实现数据缓冲达到速度匹配
3. 实现数据串一并格式转换
4. 实现电平转换
5. 传送控制命令
6. 反映设备的状态（“忙”、“就绪”、“中断请





## 二、接口的功能和组成

### 5.3

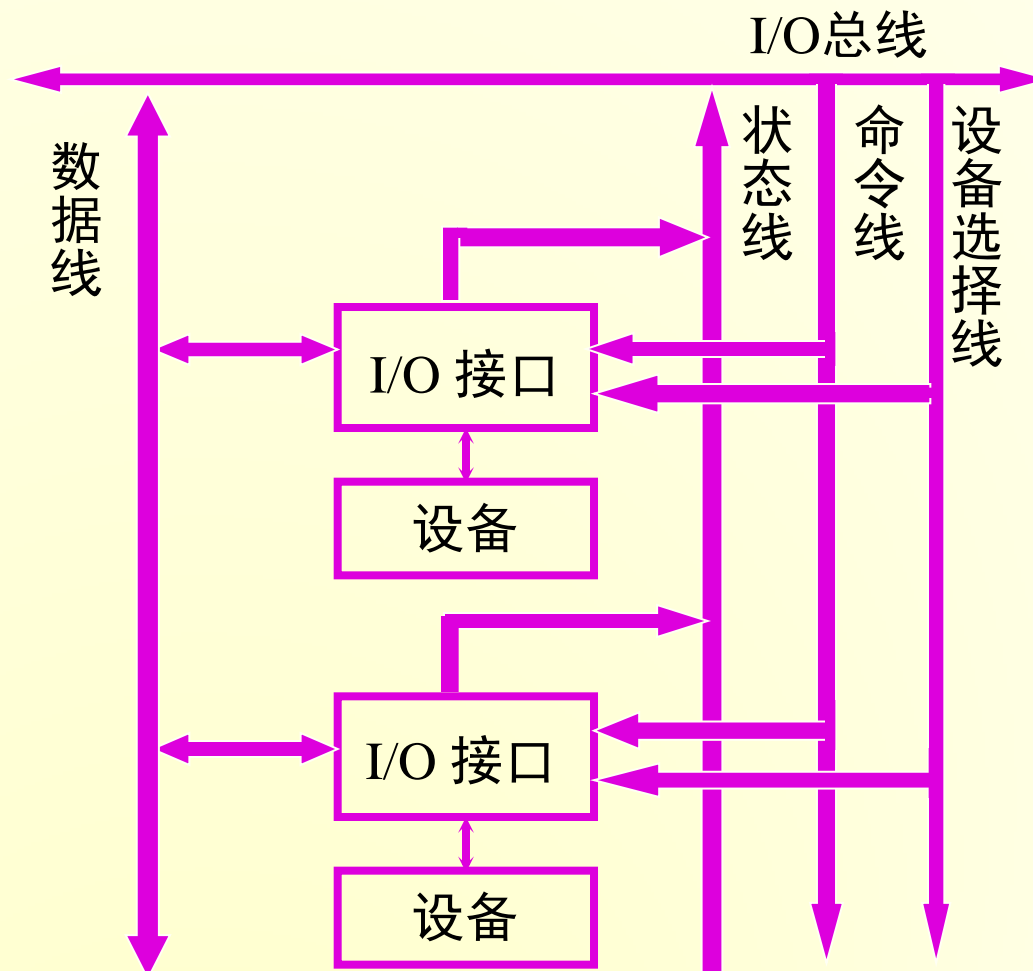
#### 1. 总线连接方式的 I/O 接口电路

(1) 设备选择线

(2) 数据线

(3) 命令线

(4) 状态线



## 2. 接口的功能和组成

### 功能

选址功能

传送命令的功能

传送数据的功能

反映设备状态的功能

完成触发器 D

工作触发器 B

中断请求触发器 INTR

屏蔽触发器 MASK

### 组成

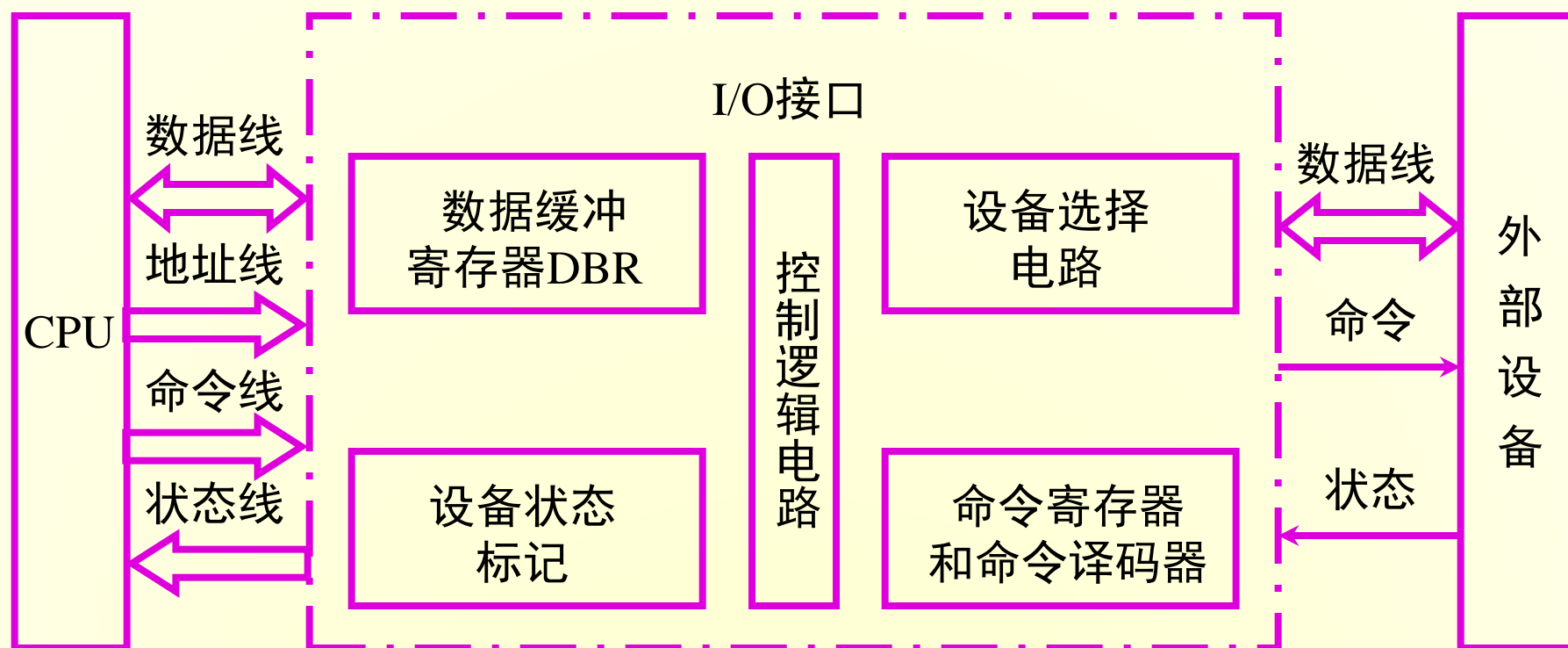
设备选择电路

命令寄存器、命令译码器

数据缓冲寄存器

设备状态标记

### 3. I/O 接口的基本组成



# 三、接口类型

## 5.3

### 1. 按数据 传送方式 分类

并行接口          Intel 8255

串行接口          Intel 8251

### 2. 按功能 选择的灵活性 分类

可编程接口      Intel 8255、 Intel 8251

不可编程接口   Intel 8212

### 3. 按 通用性 分类

通用接口          Intel 8255、 Intel 8251

专用接口          Intel 8279、 Intel 8275

### 4. 按数据传送的 控制方式 分类

中断接口          Intel 8259

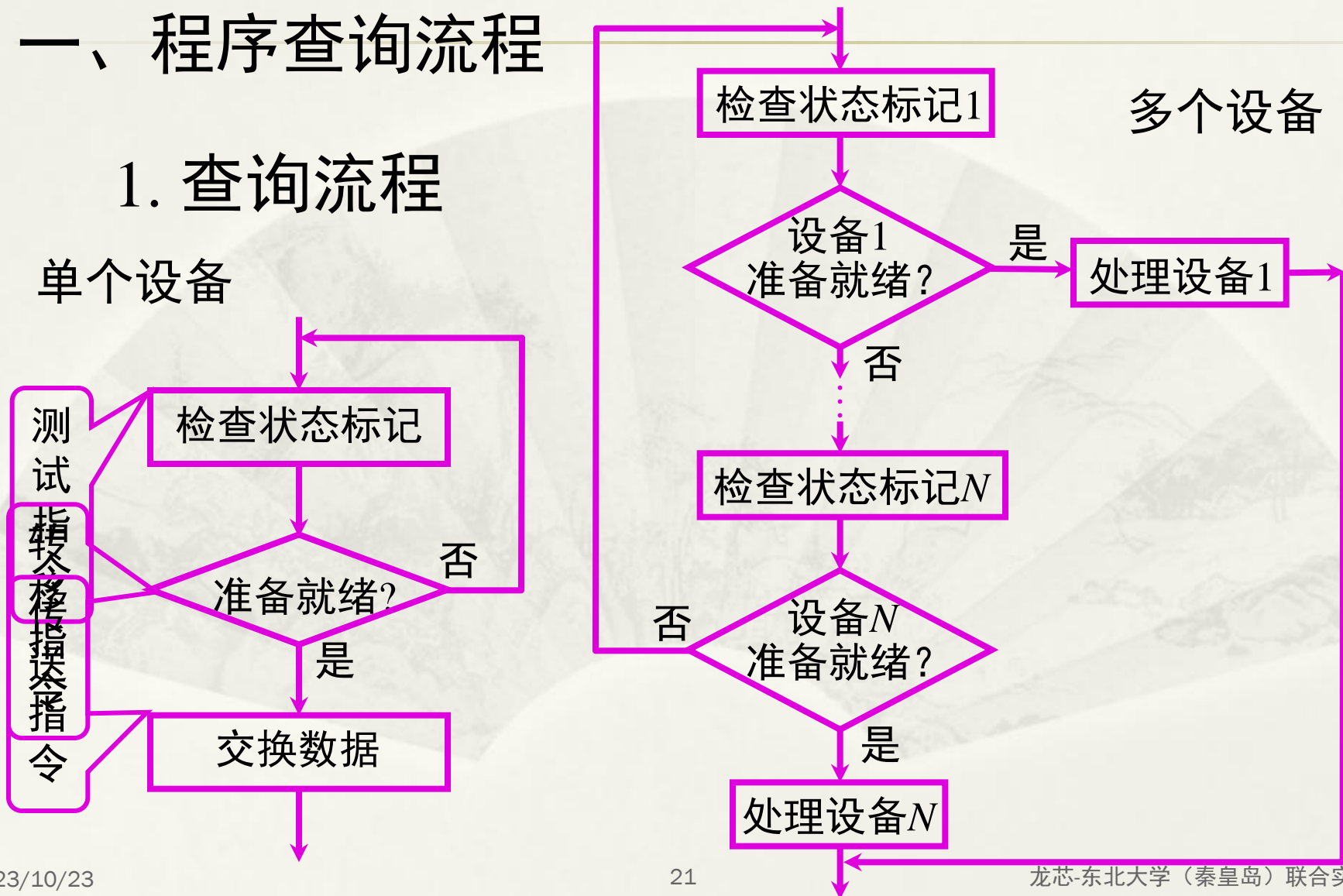
DMA 接口          Intel 8237



# 5.4 程序查询方式

## 一、程序查询流程

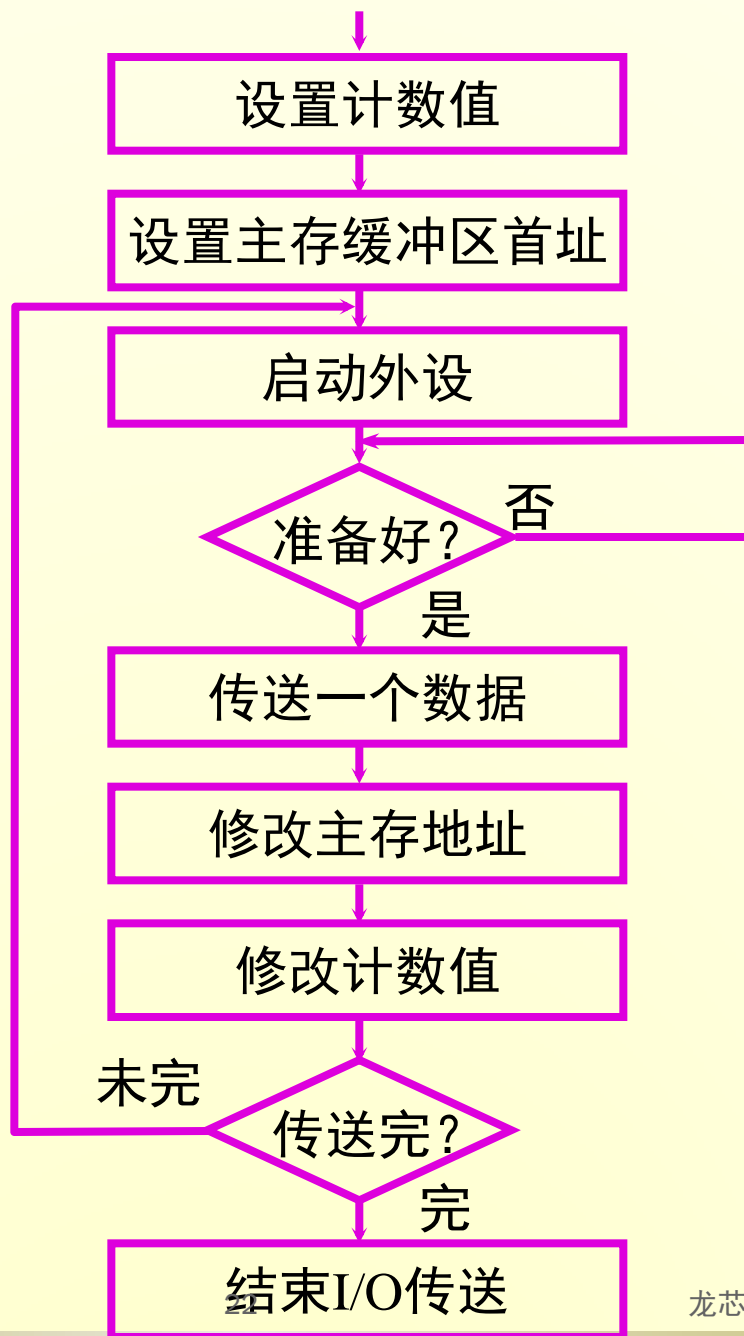
### 1. 查询流程



## 2. 程序流程

5.4

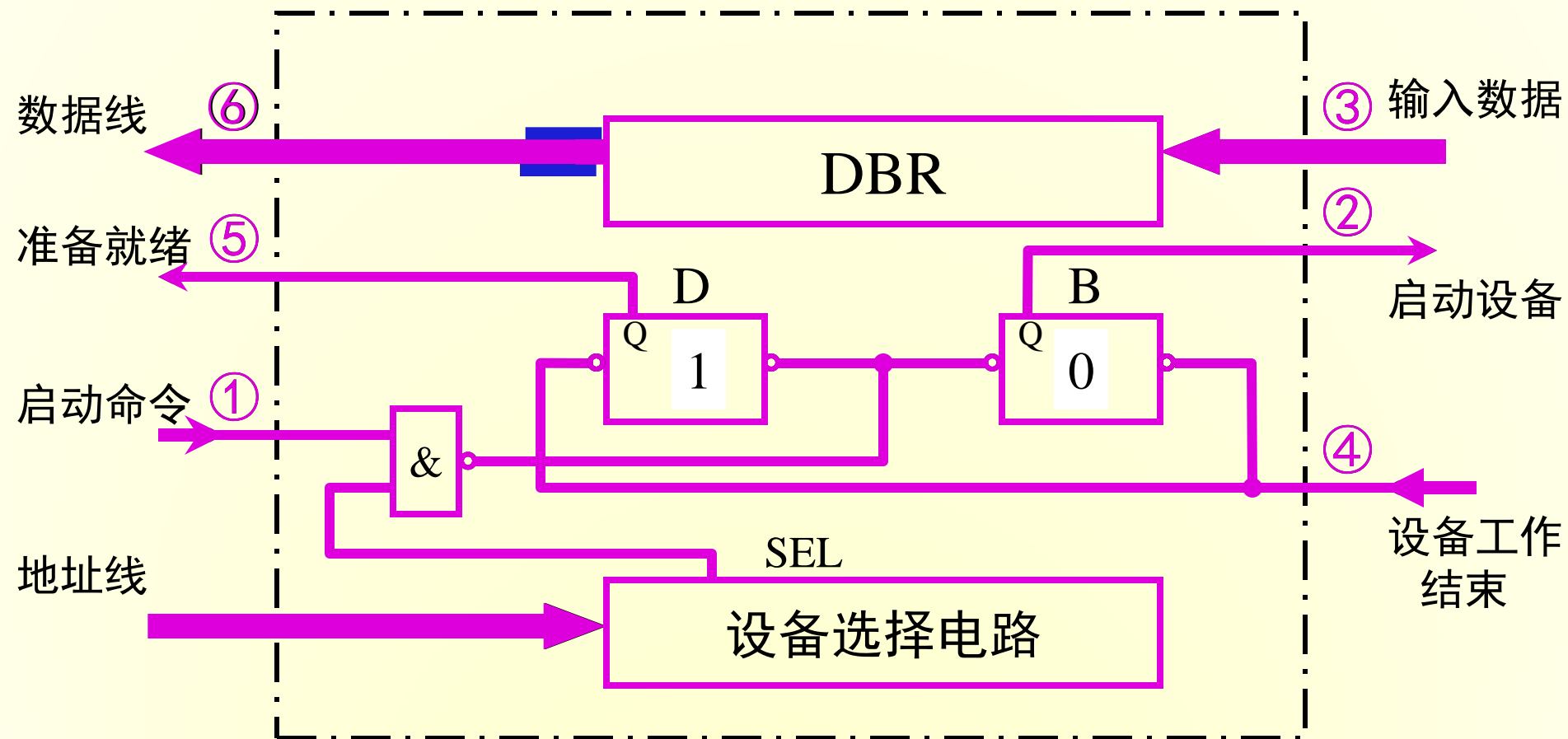
保存  
寄存器内容



## 二、程序查询方式的接口电路

### 5.4

以输入为例



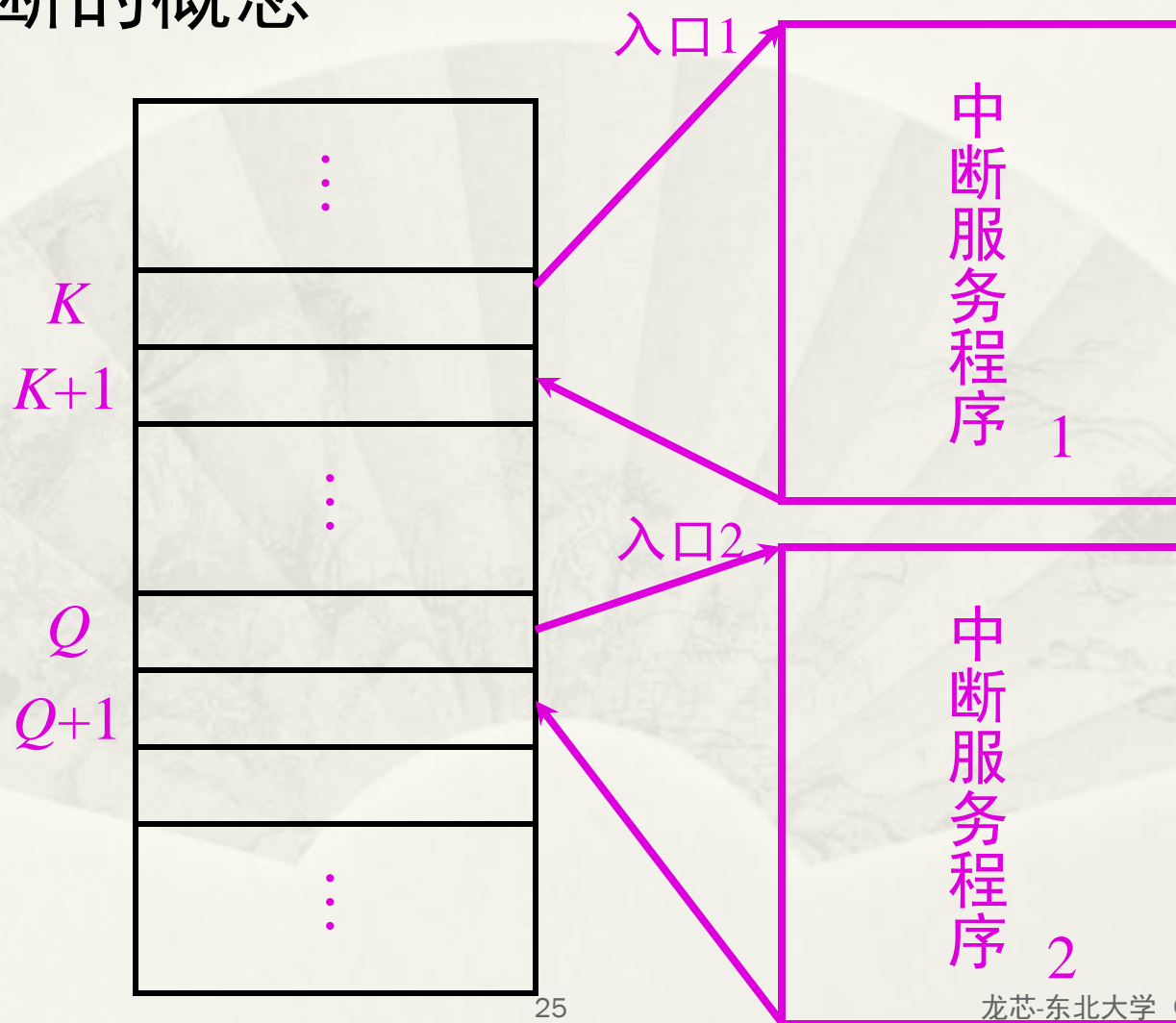
# 例题5.1

- \* 在程序查询方式的输入输出系统中，假设不考虑处理时间，每一次查询操作需要需要100个时钟周期，CPU的时钟频率是50MHZ。现有鼠标和硬盘两个设备，而且CPU必须每秒对鼠标进行30次查询，硬盘以32位字长为单位传输数据，即每32位被CPU查询一次，传输率为2MBps。求CPU对这两个设备查询所花的时间比率，由此可以得出什么结论？



# 5.5 程序中断方式

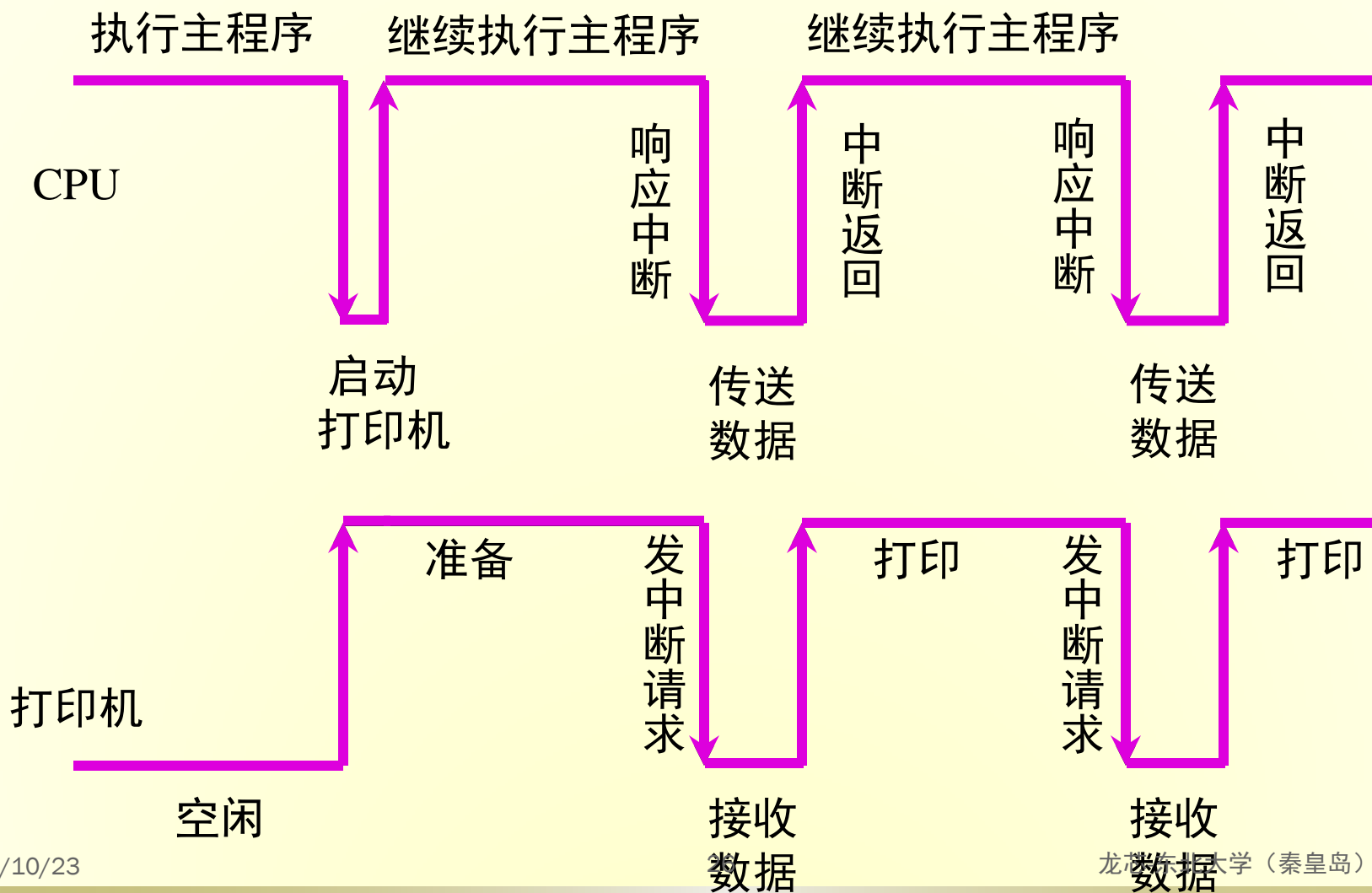
## 一、中断的概念



## 二、I/O 中断的产生

5.5

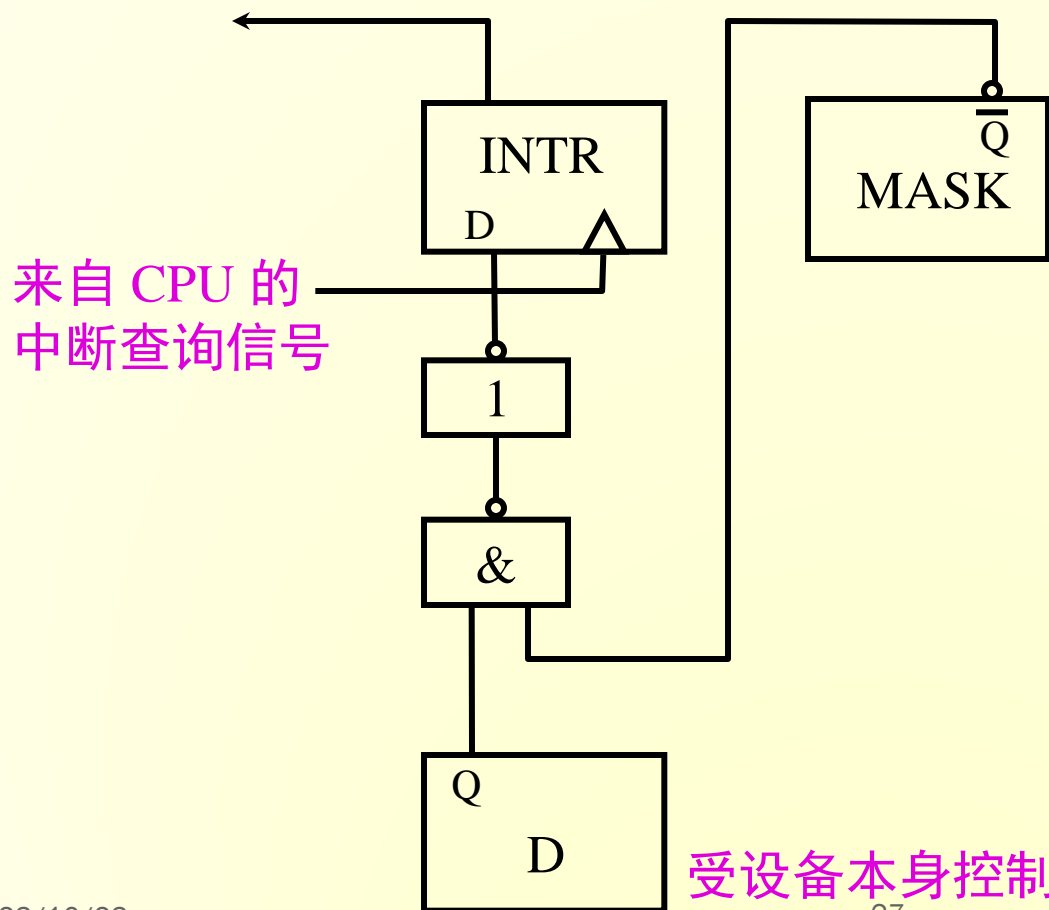
以打印机为例 CPU 与打印机并行工作



### 三、程序中断方式的接口电路

## 1. 配置中断请求触发器和中断屏蔽触发器

## 中断请求



# INTR

## 中断请求触发器

INTR = 1 有请求

# MASK

# 中断屏蔽触发器

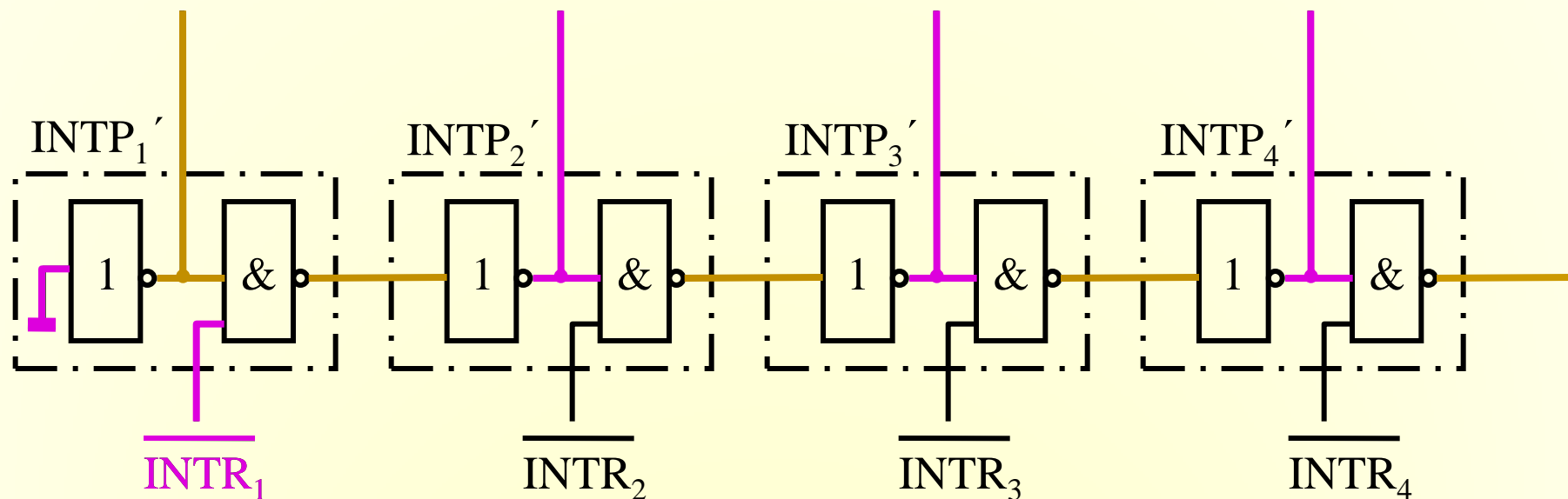
**MASK = 1 被屏蔽**

## D 完成触发器

## 2. 排队器

## 5.5

排队 { 硬件 在 CPU 内或在接口电路中（链式排队器）  
软件 详见第八章



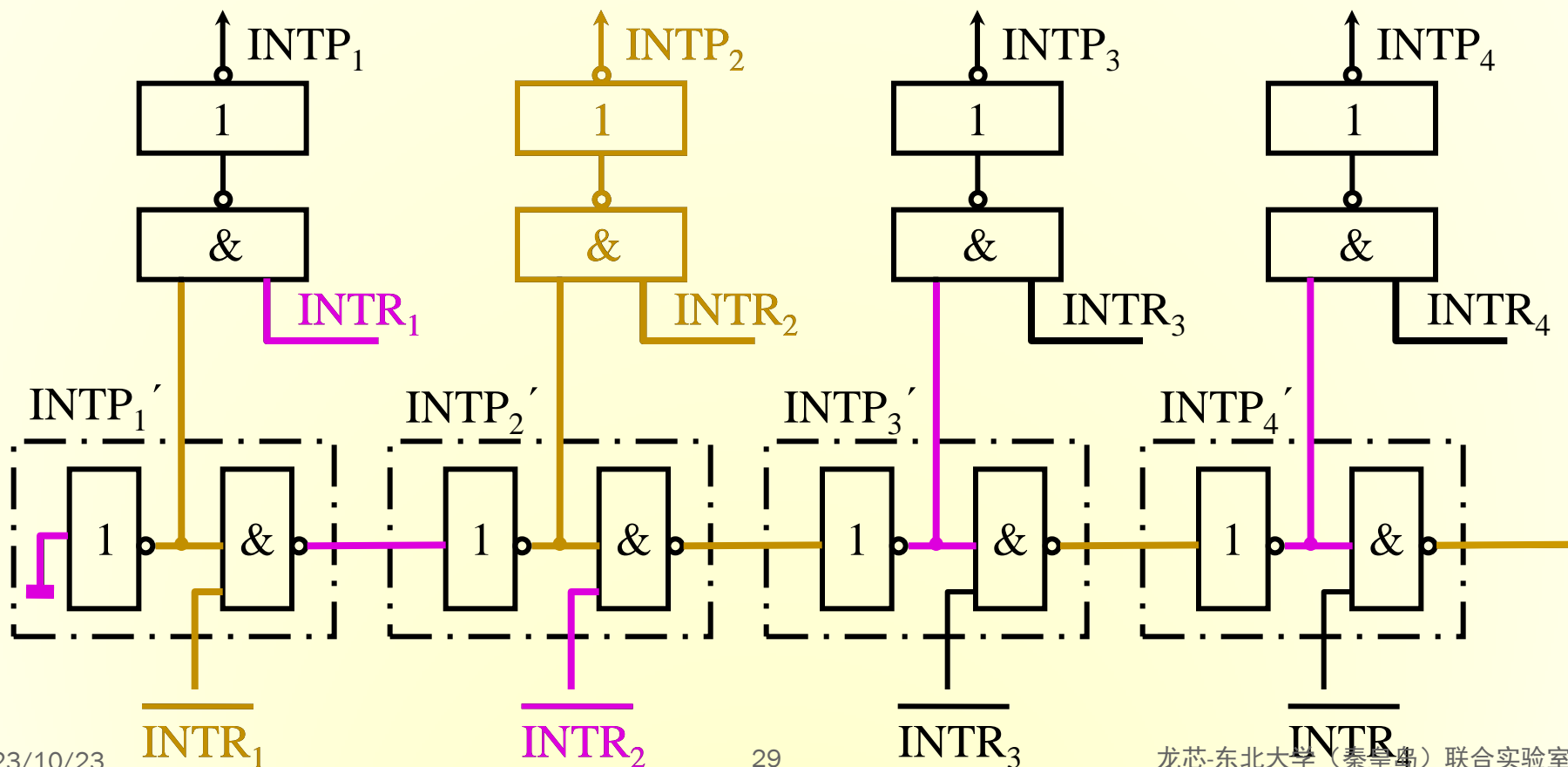
设备 1<sup>#</sup>、2<sup>#</sup>、3<sup>#</sup>、4<sup>#</sup> 优先级按 降序排列

$\overline{INTR_i} = 1$  有请求 即  $\overline{\overline{INTR_i}} = 0$

## 2. 排队器

## 5.5

排队 { 硬件 在 CPU 内或在接口电路中（链式排队器）  
软件 详见第八章



### 3. 中断向量地址形成部件

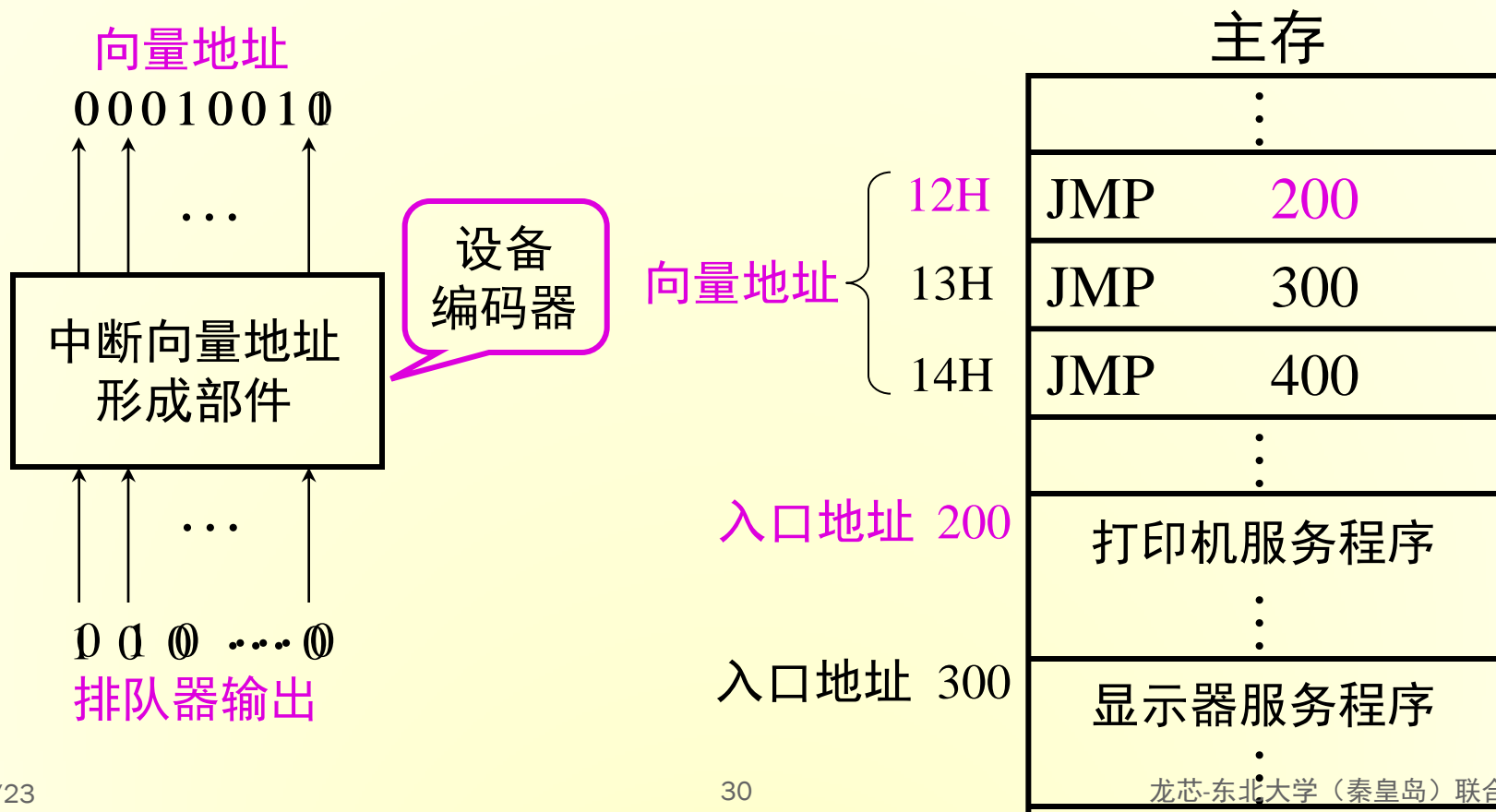
5.5

入口地址 { 由软件产生  
                  硬件向量法

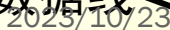
详见第八章

由 **硬件** 产生 **向量地址**

再由 **向量地址** 找到 **入口地址**



# 5.5



## 四、I/O 中断处理过程

### 1. CPU 响应中断的条件和时间

#### (1) 条件

允许中断触发器  $EINT = 1$

用 开中断 指令将  $EINT$  置 “1”

用 关中断 指令将  $EINT$  置 “0” 或硬件 自动复位

#### (2) 时间

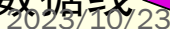
当  $D = 1$ （随机）且  $MASK = 0$  时

在每条指令执行阶段的结束前

CPU 发 中断查询信号（将  $INTR$  置 “1”）



## 以输入为例



# 五、中断服务程序流程

## 1. 中断服务程序的流程

### (1) 保护现场

{	程序断点的保护	中断隐指令完成
	寄存器内容的保护	进栈指令

### (2) 中断服务

对不同的 I/O 设备具有不同内容的设备服务

### (3) 恢复现场

出栈指令

### (4) 中断返回

中断返回指令

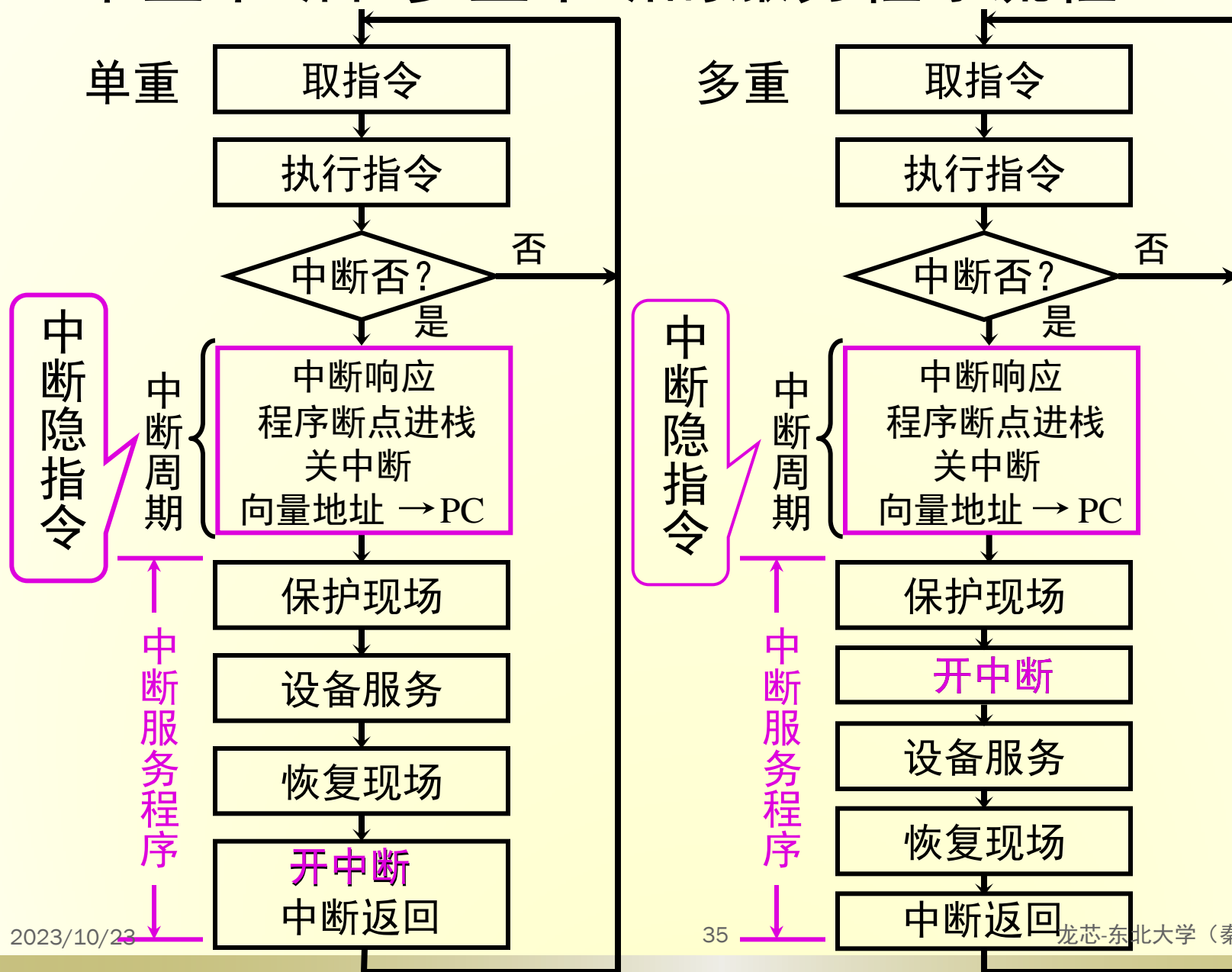
## 2. 单重中断和多重中断

单重 中断 不允许中断 现行的 中断服务程序

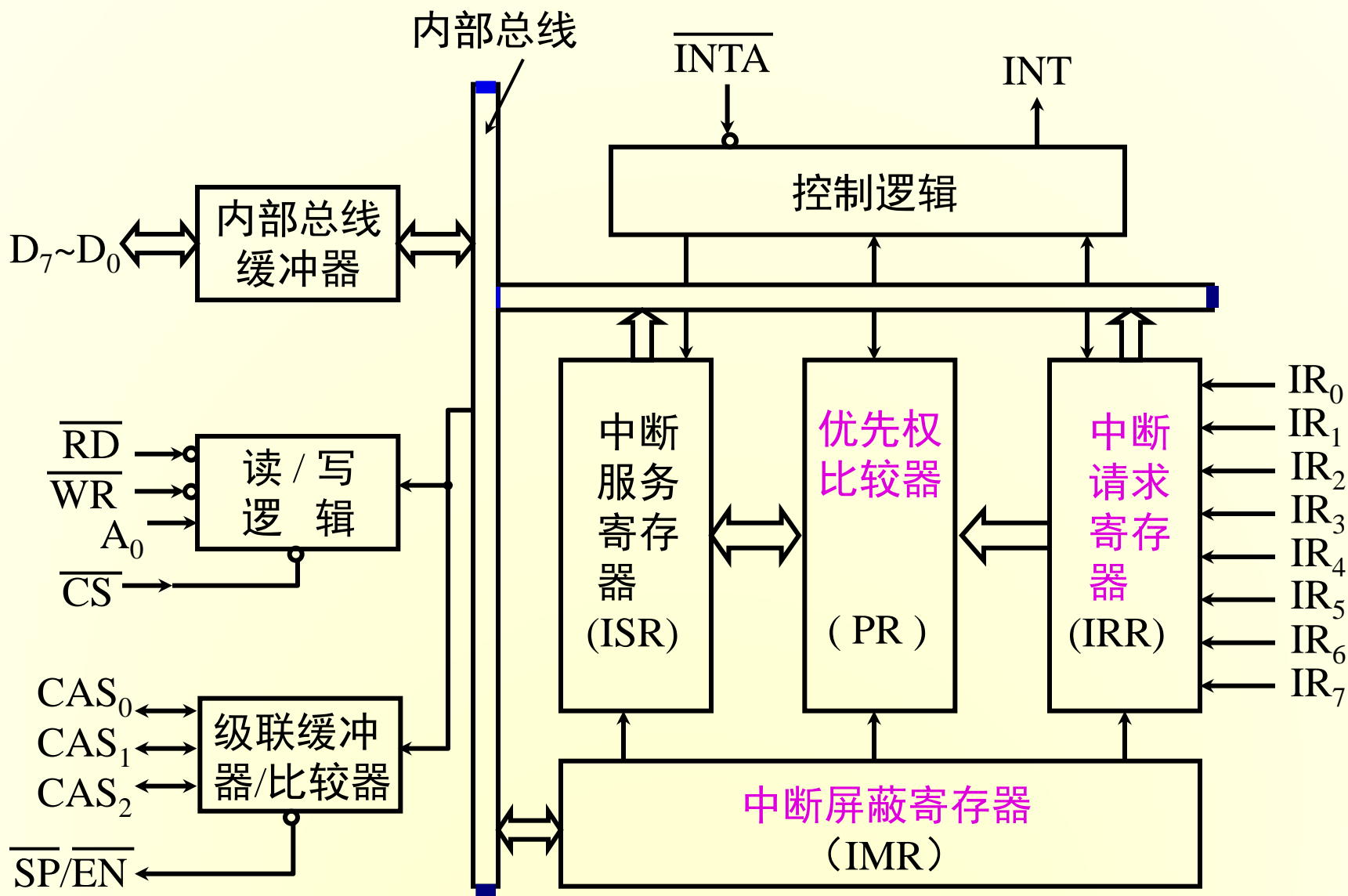
多重 中断 允许级别更高 的中断源

中断 现行的 中断服务程序

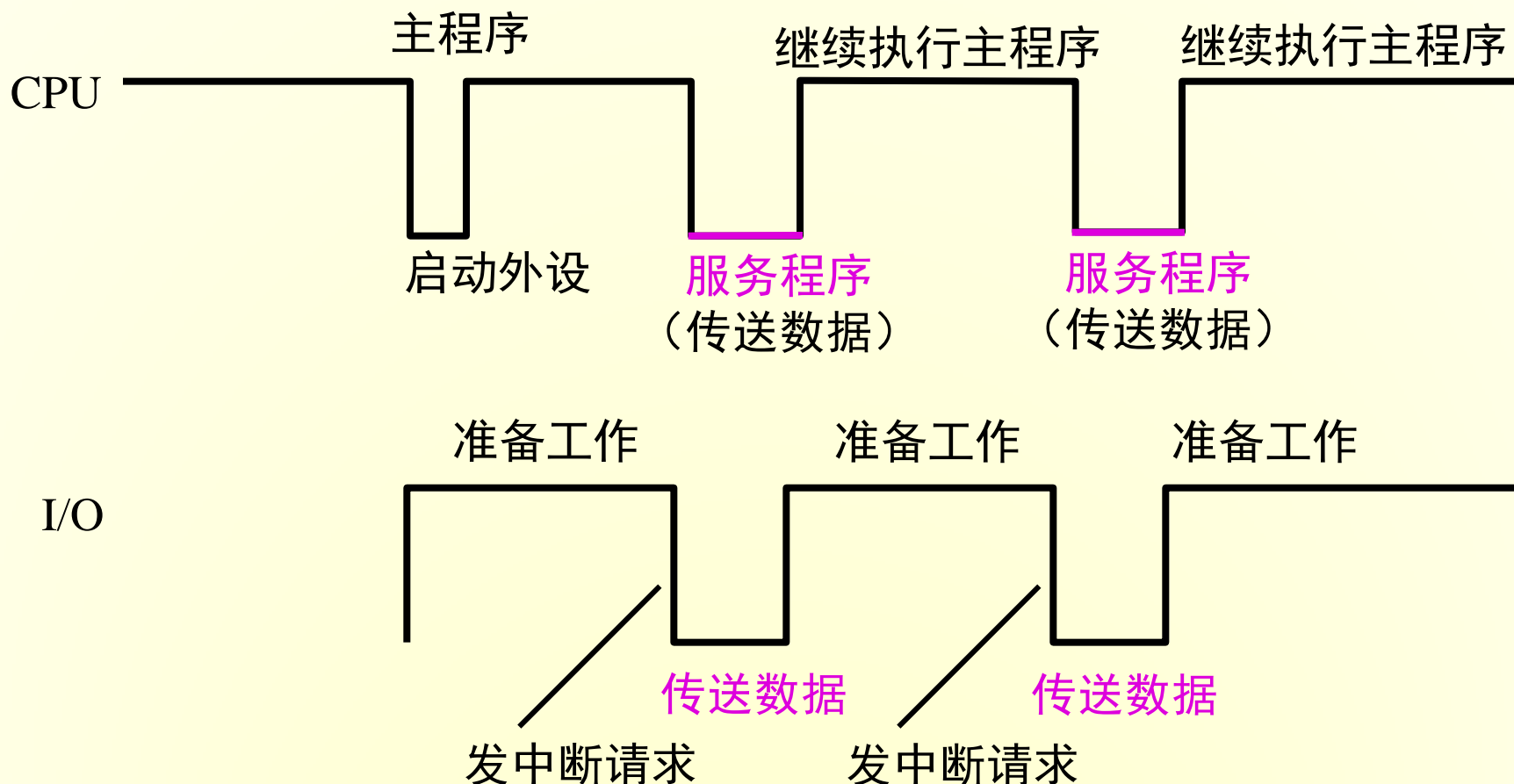
### 3. 单重中断和多重中断的服务程序流程



# 程序中中断接口芯片 8259A 的内部结构



# 主程序和服务程序抢占 CPU 示意图



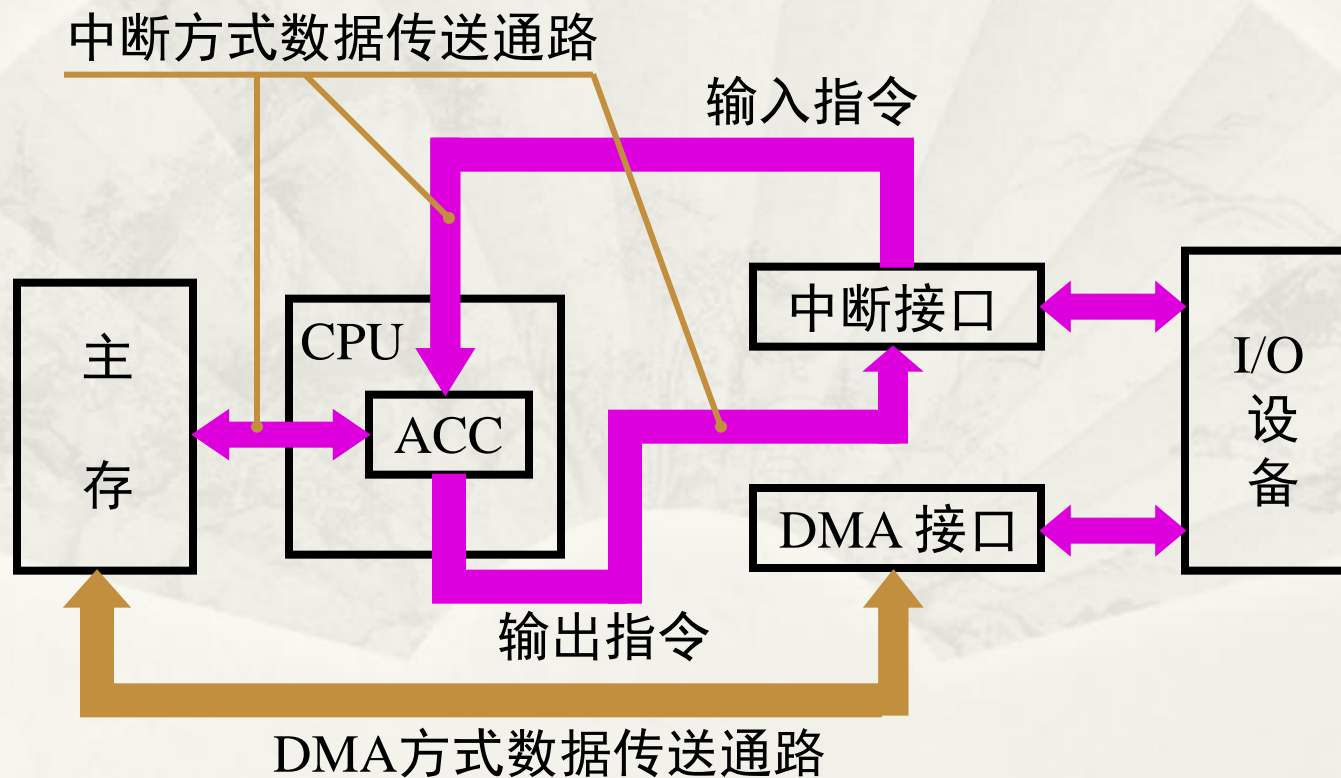
宏观上 CPU 和 I/O 并行工作

微观上 CPU 中断现执行程序为 I/O 服务

# 5.6 DMA 方式

## 一、DMA 方式的特点

### 1. DMA 和程序中中断两种方式的数据通路



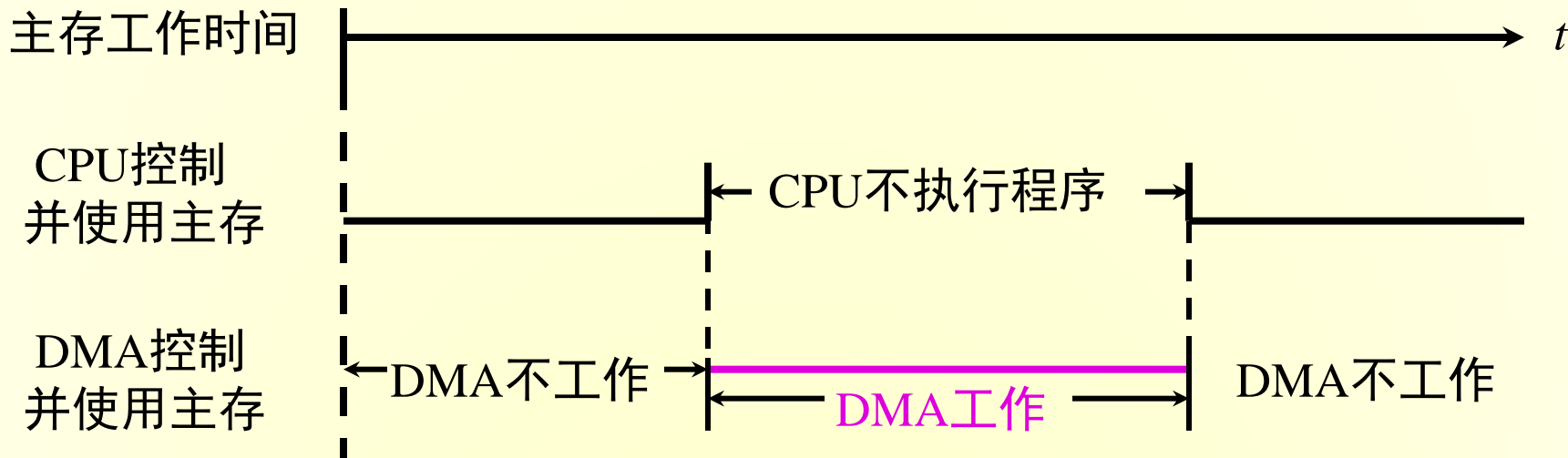
## 2. DMA 与主存交换数据的三种方式 5.6

### (1) 停止 CPU 访问主存

控制简单

CPU 处于不工作状态或保持状态

未充分发挥 CPU 对主存的利用率



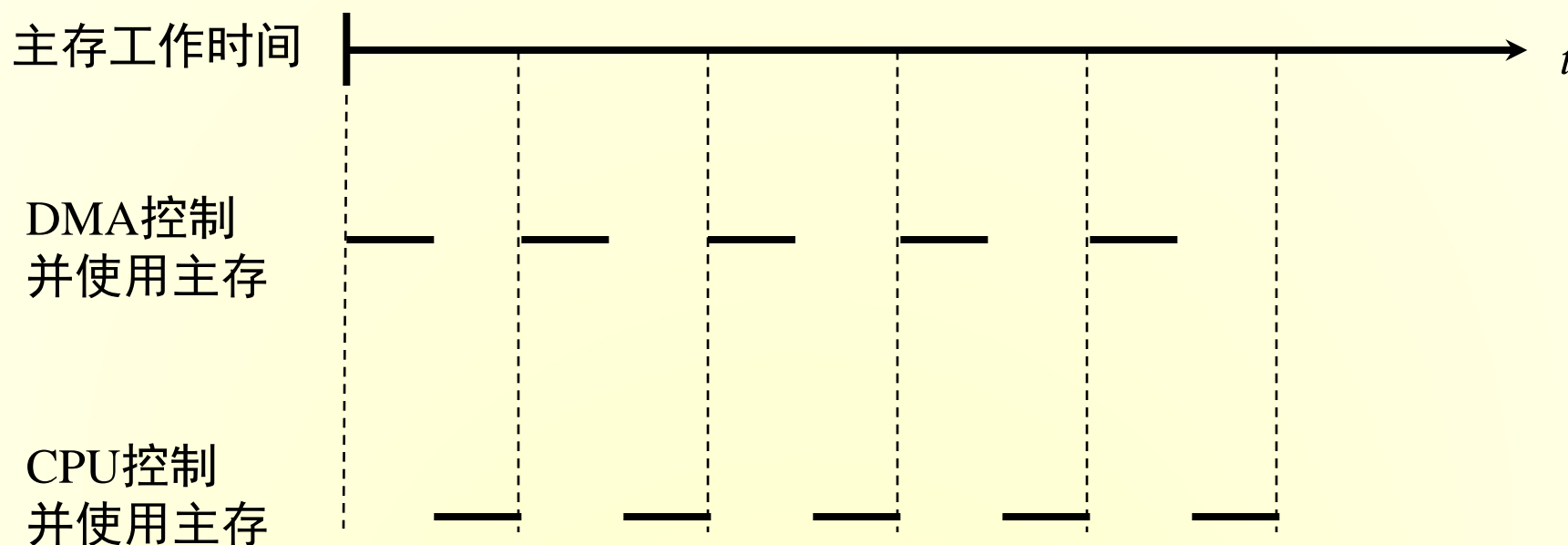




### (3) DMA 与 CPU 交替访问

CPU 工作周期  $\begin{cases} C_1 \text{ 专供 DMA 访存} \\ C_2 \text{ 专供 CPU 访存} \end{cases}$

所有指令执行过程中的一个基准时间



不需要 申请建立和归还 总线的使用权

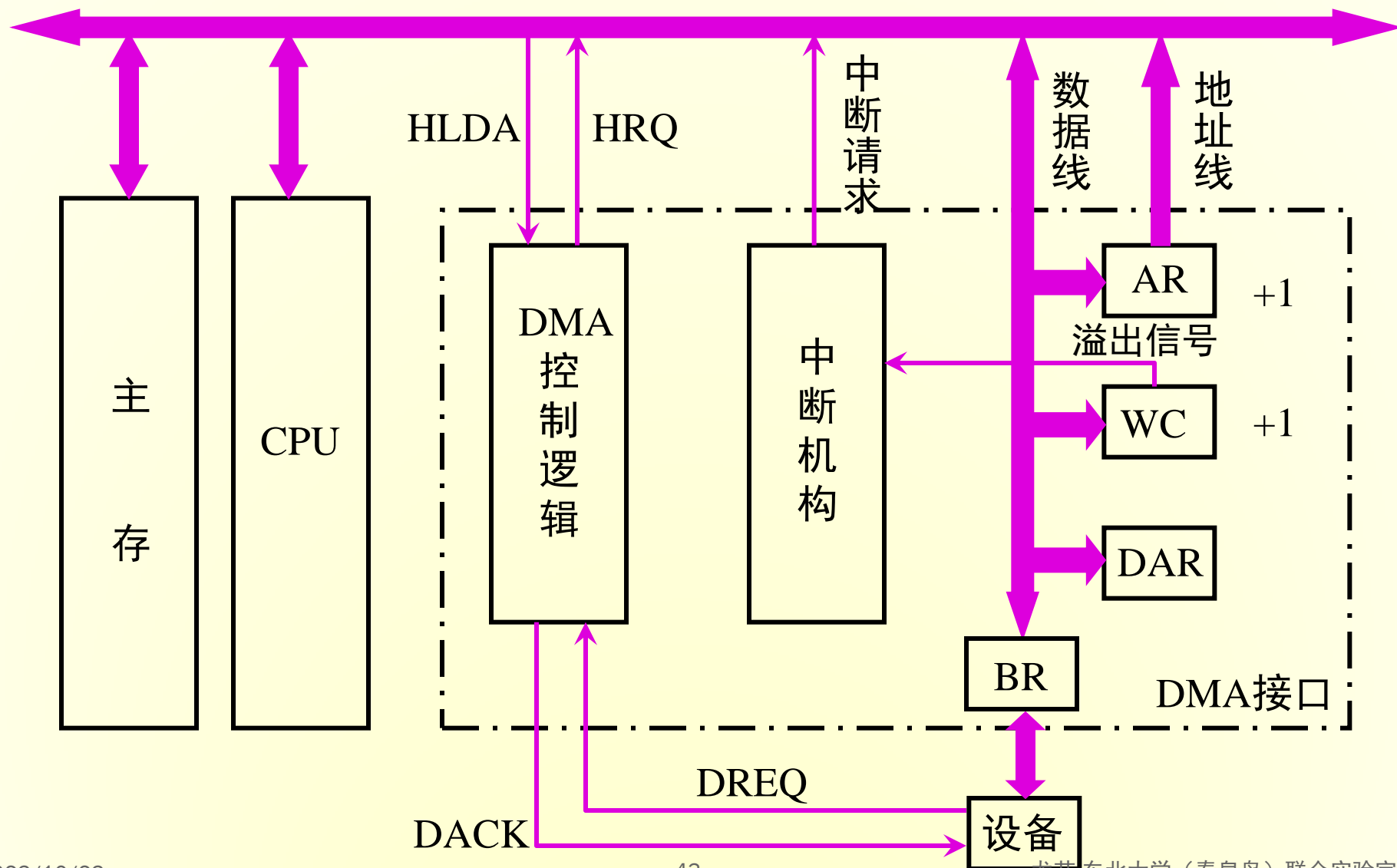


## 二、DMA 接口的功能和组成

### 1. DMA 接口功能

- (1) 向 CPU 申请 DMA 传送
- (2) 处理总线控制权的转交
- (3) 管理系统总线、控制数据传送
- (4) 确定数据传送的首地址和长度  
修正 传送过程中的数据 地址 和 长度
- (5) DMA 传送结束时，给出操作完成信号

## 2. DMA 接口组成



# 三、DMA 的工作过程

## 1. DMA 传送过程

预处理、数据传送、后处理

### (1) 预处理

通过几条输入输出指令预置如下信息

- 通知 DMA 控制逻辑传送方向（入/出）
- 设备地址——DMA 的 DAR
- 主存地址——DMA 的 AR
- 传送字数——DMA 的 WC

## (2) DMA 传送过程示意

5.6

CPU

**预处理:**

主存起始地址 → DMA  
设备地址 → DMA  
传送数据个数 → DMA  
启动设备

**数据传送:**

继续执行主程序  
同时完成一批数据传送

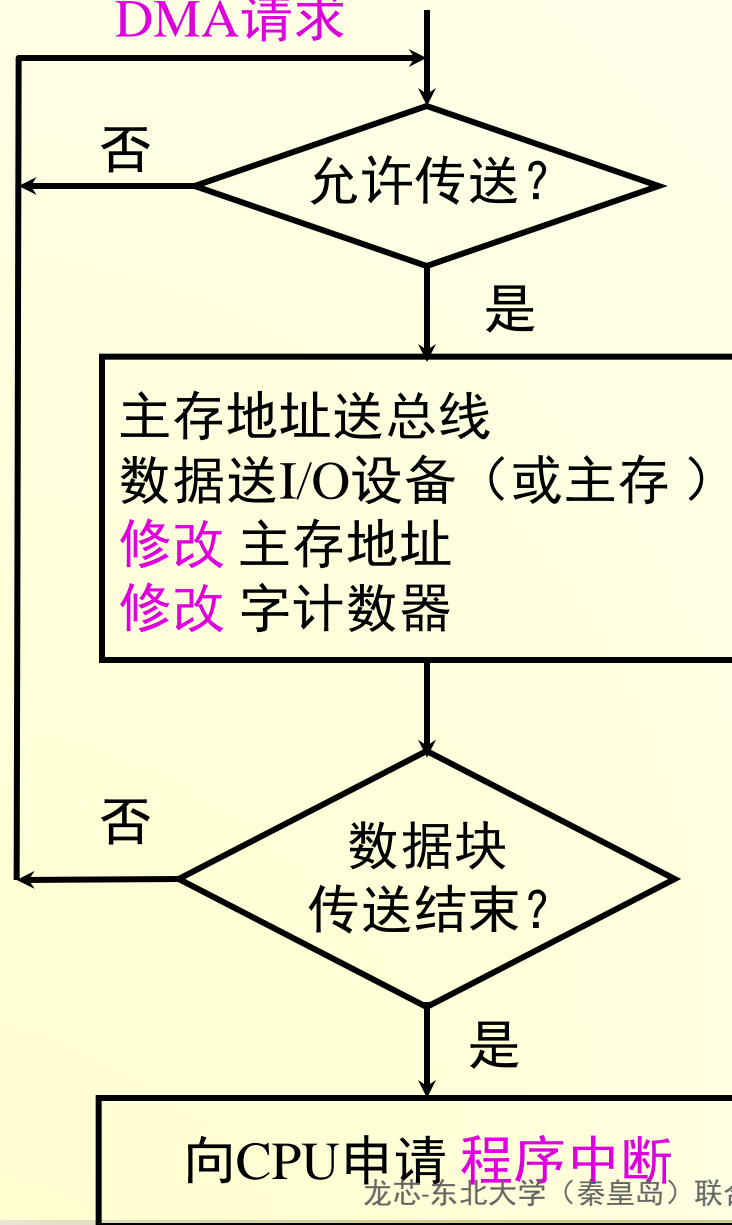
**后处理:**

中断服务程序  
做 DMA 结束处理

继续执行主程序

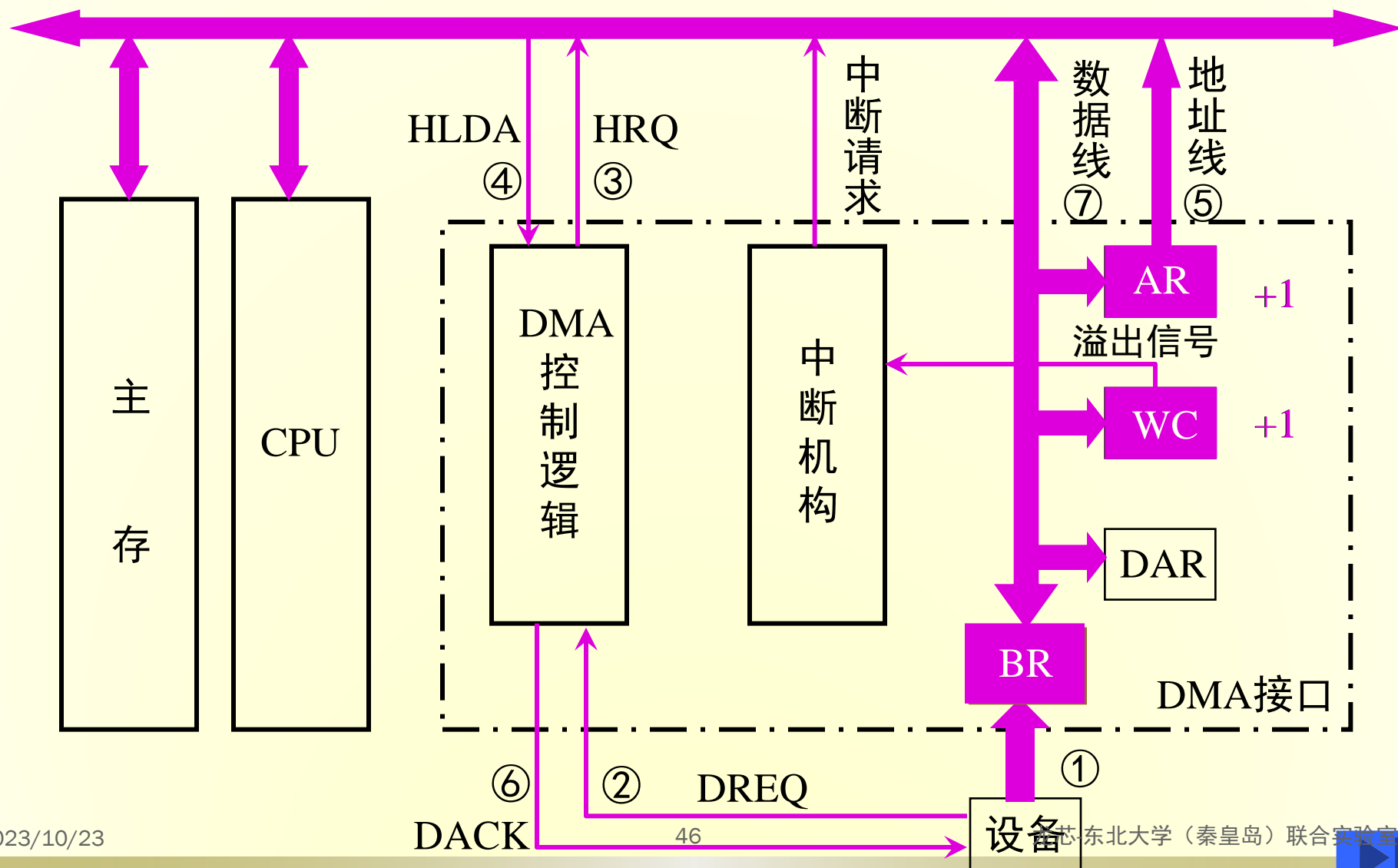
数据传送

**DMA请求**



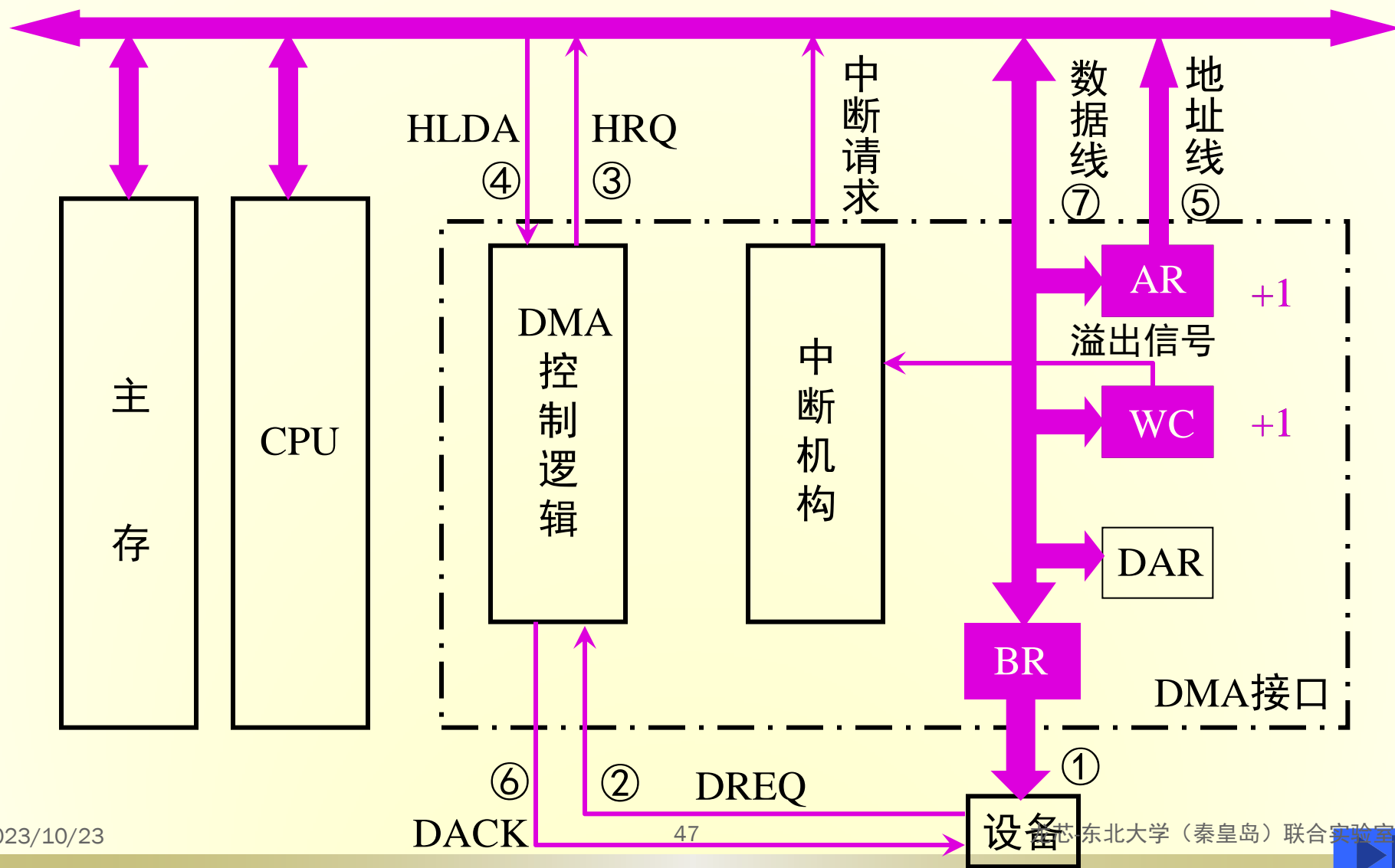
### (3) 数据传送过程（输入）

5.6



## (4) 数据传送过程（输出）

5.6



## (5) 后处理

校验送入主存的数是否正确

是否继续用 DMA

测试传送过程是否正确，错则转诊断程序

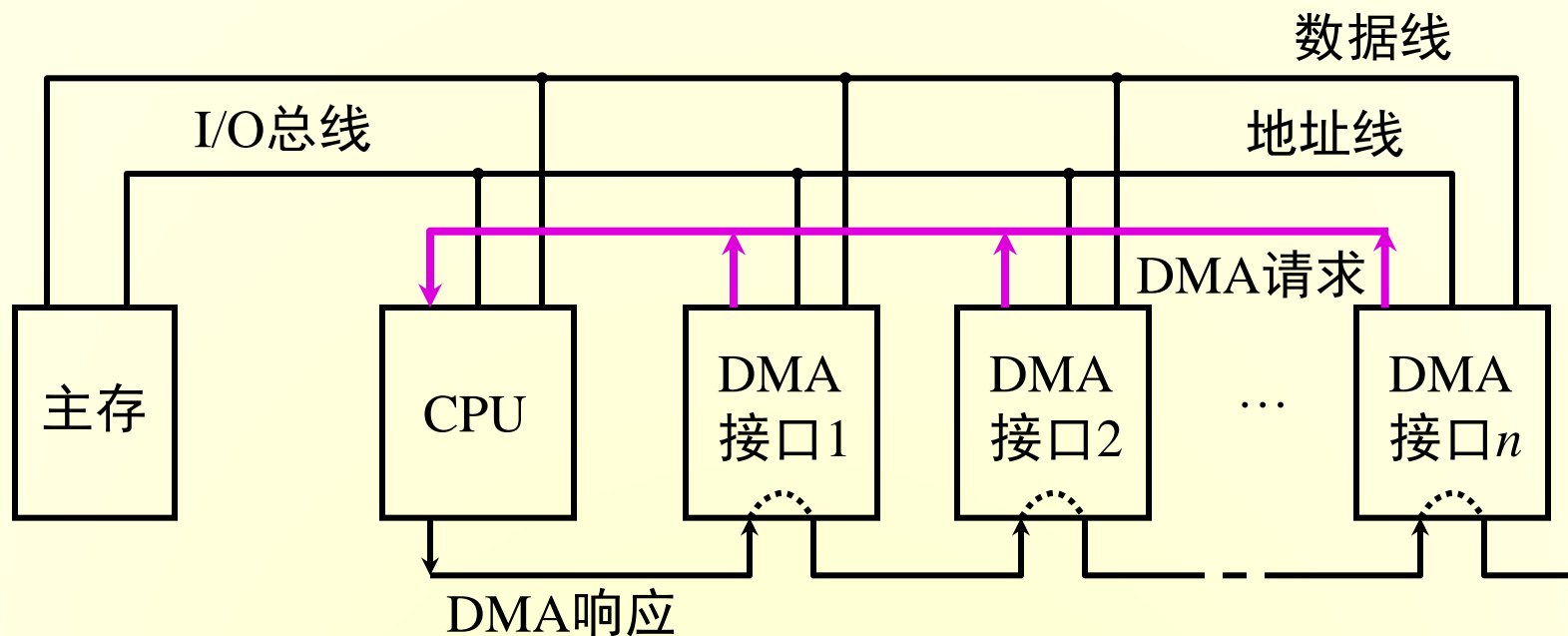
由中断服务程序完成





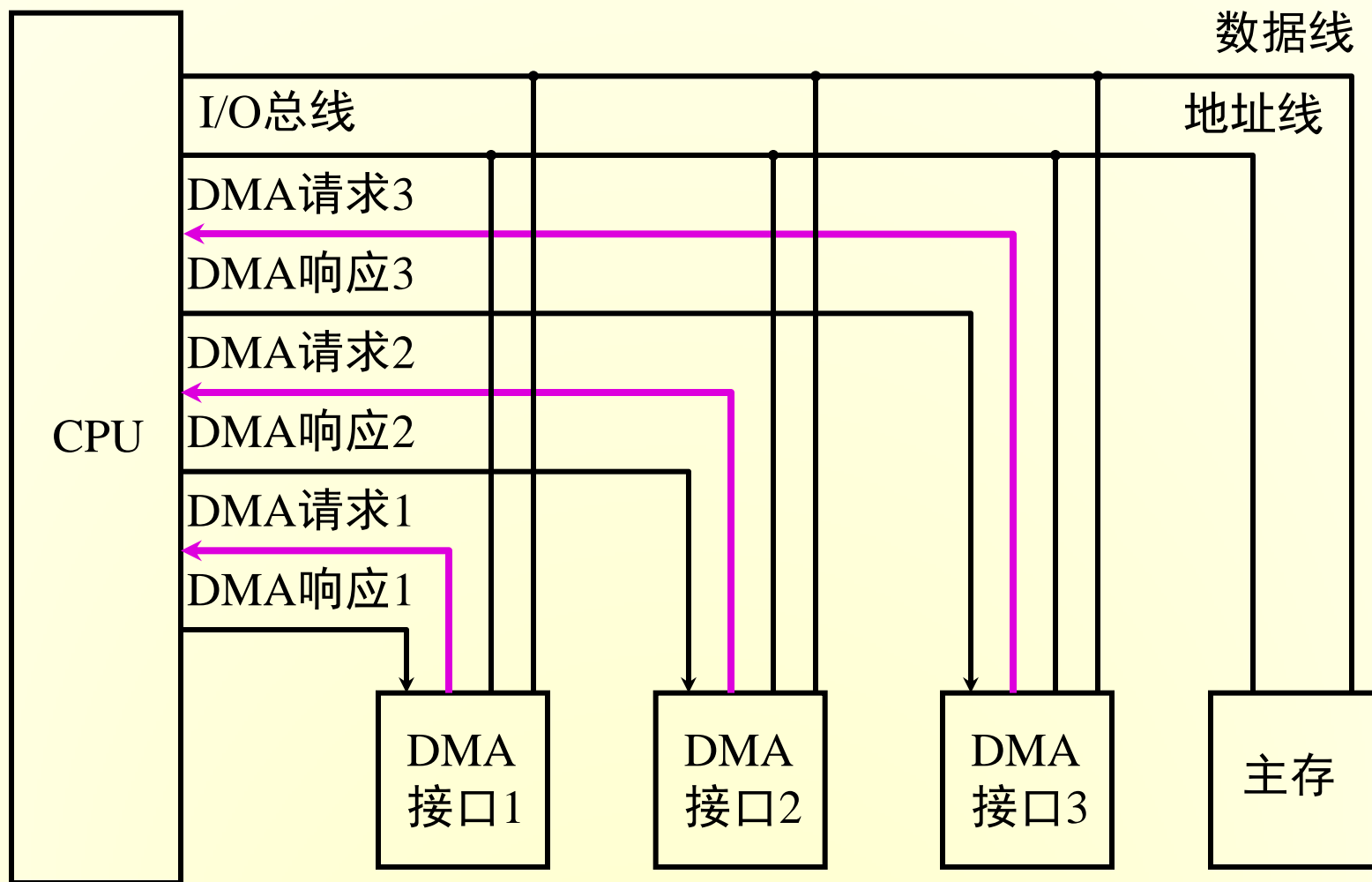
## 2. DMA 接口与系统的连接方式

### (1) 具有公共请求线的 DMA 请求



## (2) 独立的 DMA 请求

5.6



### 3. DMA 方式与程序中断方式的比较 5.6

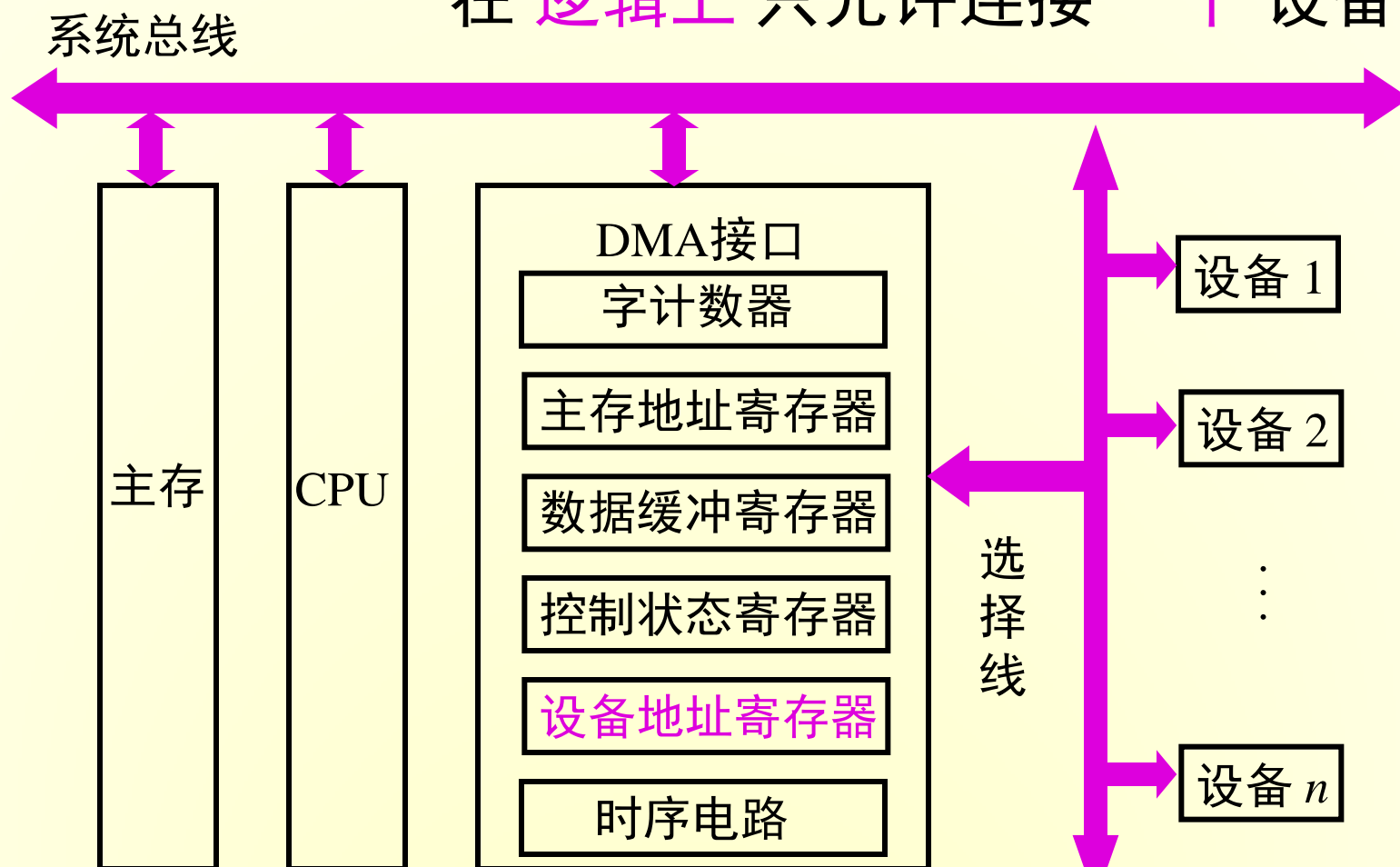
	中断方式	DMA 方式
(1) 数据传送	程序	硬件
(2) 响应时间	指令执行结束	存取周期结束
(3) 处理异常情况	能	不能
(4) 中断请求	传送数据	后处理
(5) 优先级	低	高



## 四、DMA 接口的类型

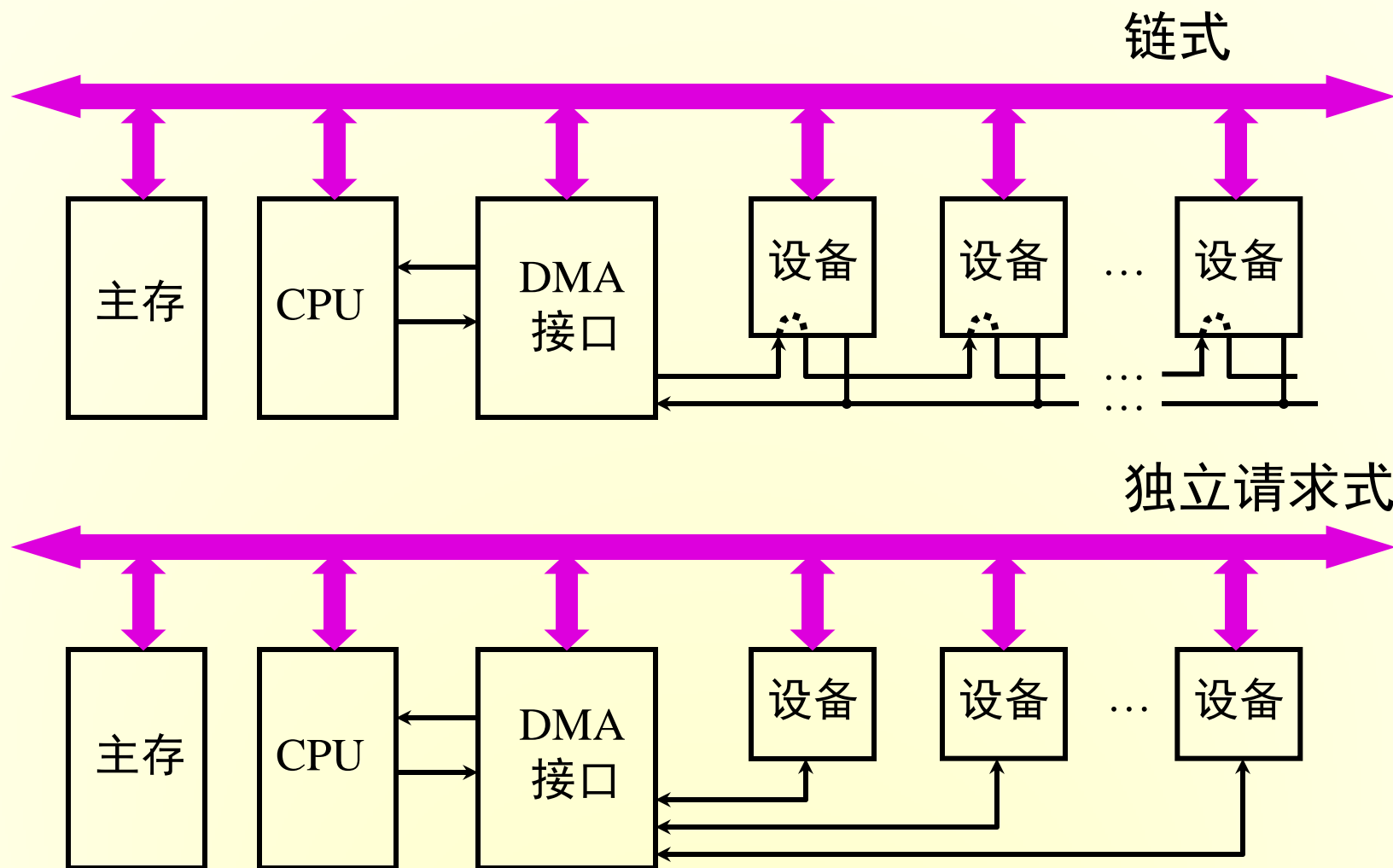
### 1. 选择型

在物理上连接多个设备  
在逻辑上只允许连接一个设备



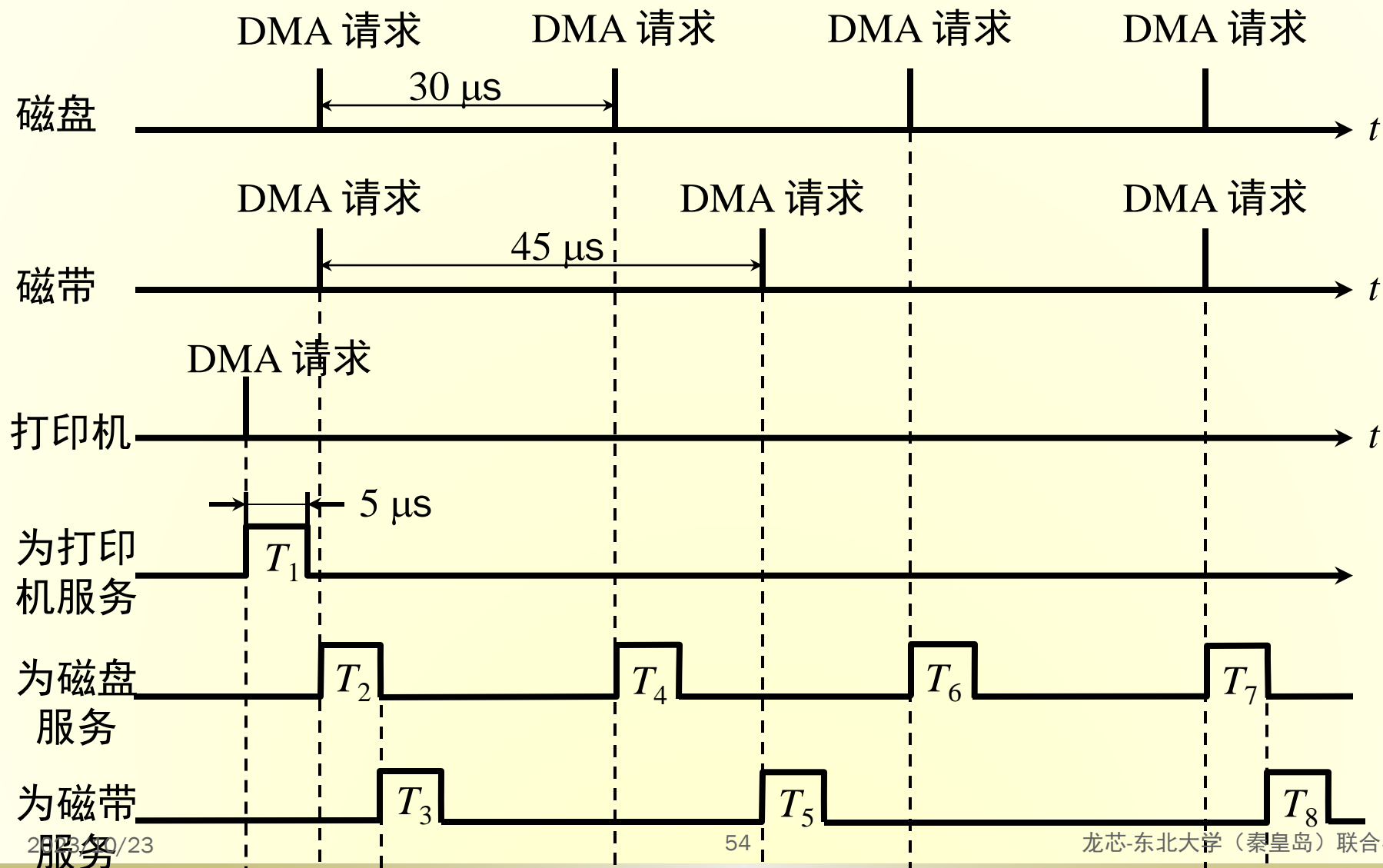
## 2. 多路型

在物理上连接多个设备  
在逻辑上允许连接多个设备同时工作



### 3. 多路型 DMA 接口的工作原理

5.6



# 练习题

- \* (2019年真题)某设备以中断方式与CPU进行数据交换，CPU主频为1GHZ，设备接口中的数据缓冲寄存器为32位，设备的数据传输率为50KB/s。若每次中断开销（包括中断响应和中断处理）为1000个时钟周期，则CPU用于该设备输入输出时间占整个CPU时间的百分比最多是（    ）。
- \* A. 1.25%
- \* B. 2.5%
- \* C. 5%
- \* D. 12.5%

# 练习题

- \* (2020年真题)
- \* 若设备采用周期挪用DMA方式进行输入和输出，每次DMA传送的数据块大小512字节，相应的I/O接口中有一个32位数据缓冲寄存器。对于数据输入过程，下列叙述中，错误的是（ ）。
  - \* A. 每准备好32位数据，DMA控制器就发出一次总线请求；
  - \* B. 相对于CPU，DMA控制器的总线使用权优先级更高；
  - \* C. 在整个数据块的传送过程中，CPU不可以访问主存储器；
  - \* D. 数据块传送结束时，会产生“DMA传送接束”中断请求。