**计算机组成原理实验指导书**

（适用于计算机科学与技术专业，物联网专业）

教师：张旭

东北大学秦皇岛分校计算机与通信工程学院

2023年10月

目录

[实验一 组合逻辑电路设计方法 3](#_Toc147741496)

[1 实验目的 3](#_Toc147741497)

[2实验设备 3](#_Toc147741498)

[3实验任务 3](#_Toc147741499)

[4实验报告要求 3](#_Toc147741500)

[实验二 时序逻辑电路设计方法 4](#_Toc147741501)

[1 实验目的 4](#_Toc147741502)

[2实验设备 4](#_Toc147741503)

[3实验任务 4](#_Toc147741504)

[4实验报告要求 4](#_Toc147741505)

[实验三 寄存器实验 5](#_Toc147741506)

[1 实验目的 5](#_Toc147741507)

[2 实验设备 5](#_Toc147741508)

[3 实验任务 5](#_Toc147741509)

[4实验报告要求 5](#_Toc147741510)

[实验四 指令存储器ROM实验 6](#_Toc147741511)

[1 实验目的 6](#_Toc147741512)

[2 实验设备 6](#_Toc147741513)

[3 实验任务 6](#_Toc147741514)

[4实验报告要求 6](#_Toc147741515)

[实验五 译码器 7](#_Toc147741516)

[1 实验目的： 7](#_Toc147741517)

[2 实验设备 7](#_Toc147741518)

[3 实验任务 7](#_Toc147741519)

[4实验报告要求 7](#_Toc147741520)

[实验六 运算器实验 8](#_Toc147741521)

[1 实验目的 8](#_Toc147741522)

[2 实验设备 8](#_Toc147741523)

[3 实验任务 8](#_Toc147741524)

[4实验报告要求 8](#_Toc147741525)

[实验七 单周期CPU 10](#_Toc147741526)

[1 实验目的： 10](#_Toc147741527)

[2 实验设备 10](#_Toc147741528)

[3 实验任务 10](#_Toc147741529)

[4实验报告要求 10](#_Toc147741530)

[实验八 五级流水CPU 12](#_Toc147741531)

[1 实验目的： 12](#_Toc147741532)

[2 实验设备 12](#_Toc147741533)

[3 实验任务 12](#_Toc147741534)

[4实验报告要求 12](#_Toc147741535)

# 实验一 组合逻辑电路设计方法

## 1 实验目的

1.回顾数字集成电路设计方法。

2.熟悉并运用Verilog语言进行组合逻辑电路设计。

## 2实验设备

装有 Xilinx Vivado 的计算机一台。

## 3实验任务

1.阅读《vivado安装说明.pdf》和《vivado使用说明.pdf》学会Vivado使用。

2.翻阅《夏宇闻数字逻辑设计.pdf》对实验课上讲到的重要关键字进行复习。module,endmodule,input,output,inout,wire,reg,assign,alaways,initial,begin,end,posedge,negedge,case,endcase,default,if,else,for,`define,`include,`timescale。

3.完成38译码器，83编码，多路选择器。见实验一verilog知识储备.pdf模块图，或真值表。

## 4实验报告要求

1.完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验二 时序逻辑电路设计方法

## 1 实验目的

1.回顾数字集成电路设计方法。

2.熟悉并运用Verilog语言进行时序逻辑电路设计。

## 2实验设备

装有 Xilinx Vivado 的计算机一台。

## 3实验任务

1.阅读《vivado安装说明.pdf》和《vivado使用说明.pdf》学会Vivado使用。

2.翻阅《夏宇闻数字逻辑设计.pdf》对实验课上讲到的重要关键字进行复习。module,endmodule,input,output,inout,wire,reg,assign,alaways,initial,begin,end,posedge,negedge,case,endcase,default,if,else,for,`define,`include,`timescale。

3.完成最简单的D触发器，带低电平有效异步复位端的触发器，带同步复位端的 D 触发器，带使能端的 D 触发器。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验三 寄存器实验

## 1 实验目的

1.熟悉并掌握MIPS计算机中寄存器堆的原理和设计方法。

2.初步了解MIPS指令结构和源操作数/目的操作数的概念。

3.熟悉并运用verilog语言进行电路设计。

4.为后续设计cpu的实验打下基础。

## 2 实验设备

1.装有Xilinx Vivado的计算机一台。

## 3 实验任务

1.学习MIPS计算机中寄存器堆的设计及原理，如：有多少个寄存器，有无特殊设置的寄存器，mips指令如何去索引寄存器的等。

2.自行设计本次实验的方案，画出结构框图，详细标出输入输出端口。

3.

(1)PC程序计数器

(2)MIPS寄存器堆。本次实验建议寄存器堆设计为1个写端口和2个读端口，后续CPU实验用到的

寄存器堆需要1个写端口和2个读端口。

4.根据设计的实验方案，使用verilog编写相应代码。

5.对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验四 指令存储器ROM实验

## 1 实验目的

1. 了解指令存储器ROM原理。

2. 理解ROM读取数据的过程。

3. 理解计算机中存储器地址编址和数据索引方法。

4. 熟悉并运用 verilog 语言进行电路设计。

5. 为后续设计 cpu 的实验打下基础。

## 2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

## 3 实验任务

1. 学习存储器的设计及原理，如ROM 读地址索引读取数据过程及时序。

2. 学习计算机中内存地址编址和数据索引方法。

3.（1）实现指令存储器，自行设计本次实验的方案，画出结构框图，详细标出输入输出端口，确定存储器宽度、深度。

（2）实现取指模块。

4.根据设计的实验方案，使用verilog编写相应代码。

5.对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验五 译码器

## 1 实验目的：

1.了解MIPS指令集中的运算指令，学会对这些指令进行归纳分类。

2.熟悉并掌握译码器的原理、功能和设计。

3.进一步加强运用 verilog 语言进行电路设计的能力。

4.为后续设计 cpu 的实验打下基础。

## 2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

## 3 实验任务

1. 学习 MIPS 指令集，熟知指令类型，了解指令功能和编码。

2. 实现译码器功能。

3. 自行设计本次实验的方案，画出结构框图。

4. 根据设计的实验方案，使用 verilog 编写相应代码。

5. 对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验六 运算器实验

## 1 实验目的

1.了解MIPS指令集中的运算指令，学会对这些指令进行归纳分类。

2.熟悉并掌握 ALU 的原理、功能和设计。

3.进一步加强运用 verilog 语言进行电路设计的能力。

4.为后续设计 cpu 的实验打下基础。

## 2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

## 3 实验任务

1. 学习 MIPS 指令集，熟知指令类型，了解指令功能和编码，归纳基础的 ALU 运

算指令。

2. 本次实验中实现的 ALU 运算（OR、AND、XOR、NOR、SLT、 SLTU、SLL、SRL、SRA、LUI，ADDU,SUBU，ADD,SUB）。

3. 自行设计本次实验的方案，画出结构框图。

4. 根据设计的实验方案，使用 verilog 编写相应代码。

5. 对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验七 单周期CPU

## 1 实验目的：

1.理解MIPS指令结构，理解MIPS指令集中常用指令的功能和编码，学会对这些指令进行归纳分类。

2.了解熟 MIPS体系的处理器结构，如哈佛结构的概念。

3.熟悉并掌握单周期CPU的原理和设计。

4.进一步加强运用verilog语言进行电路设计的能力。

5.为后续设计多周期cpu的实验打下基础。

## 2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

## 3 实验任务

1. 学习 MIPS 指令集，熟知指令类型，了解指令功能和编码。

2. 实现单周期CPU，需要建立一个SOPC。

3. 自行设计本次实验的方案，画出结构框图。

4. 根据设计的实验方案，使用 verilog 编写相应代码。

5. 对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。

# 实验八 五级流水CPU

## 1 实验目的：

1.在单周期CPU实验完成的提前下，理解多周期流水线的概念。

2.熟悉并掌握多周期流水CPU的原理和设计。

## 2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

## 3 实验任务

1. 学习 MIPS 指令集，熟知指令类型，了解指令功能和编码。

2. 本次实验是对单周期CPU实验的拔高，多周期CPU是指一条指令需要花费多个周期才能完成所有操作，在每个周期内只做一部分操作，本次实验分为取指、译码、执行、访存、写回五个阶段，此时每个周期只做一部分操作。将CPU划分为多周期的优势在于，每个时钟周期内CPU需要做的工作就变少，因此频率可以更高，且每个部件做的事情单一了，比如取指部件只负责从指令存储器中取出指令，因此CPU可以进行流水工作，也相当于一个时钟周期完成一条指令，频率更高，因此CPU可以运行的更快。本次实验就是将实验七所实现的单周期CPU划分为多周期CPU。

3. 自行设计本次实验的方案，画出结构框图。

4. 根据设计的实验方案，使用 verilog 编写相应代码。

5. 对编写的代码进行仿真，得到正确的波形图。

## 4实验报告要求

1. 完成实验任务中的3，并将设计框图，仿真波形填到实验报告中的相应位置。verilog代码，仿真代码按照课堂要求提交到相应位置。