# 实验六 运算器

## 实验目的、重点、难点

实验目的：

1.了解MIPS指令集中的运算指令。

2.熟悉并掌握 ALU 的原理、功能和设计。

3.进一步加强运用 verilog 语言进行电路设计的能力。

4.为后续设计 cpu 的实验打下基础。

实验重点：

根据译码器的设计，进而分析出运算器模块的输入输出端口。理解译码器和运算器之间的关系。明白运算器中包含着一个多路选择器。选择子是运算类型。

实验难点：

减法的实现，溢出的判断，以及算术右移的实现。

## 实验任务

学习MIPS指令集，熟知指令类型，了解指令功能和编码，归纳基础的ALU运算指令。根据译码器讲解，我们得知可以使用独热码方式或者编码方式实现alu\_control，如图2.1。对应的接口描述如表2.1所示。

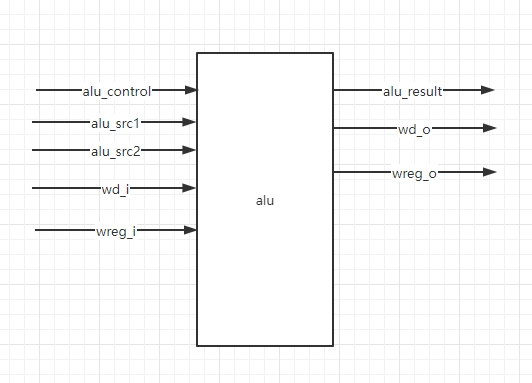


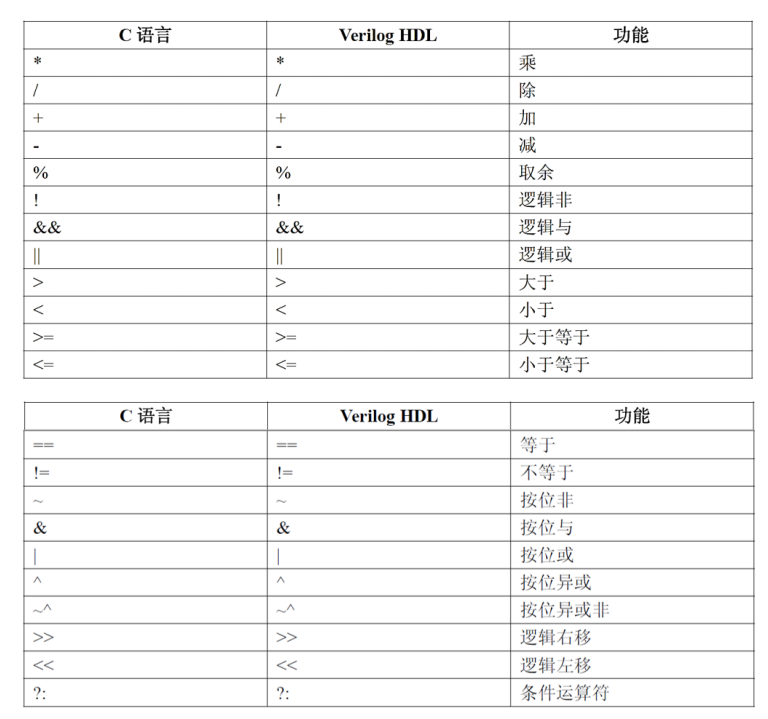
图2.1 运算器ex模块

表2.1 运算器EX模块接口描述

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | alu\_src1 | 32 | 输入 | 译码阶段寄存器数据 |
| 2 | alu\_src2 | 32 | 输入 | 译码阶段寄存器数据 |
| 3 | alu\_control | 14(独热码)\4（编码） | 输入 | 译码阶段根据操作码所得运算类型 |
| 4 | wd\_i | 5 | 输入 | 寄存器写端口 |
| 5 | wreg\_i | 1 | 输入 | 寄存器写使能 |
| 6 | alu\_result | 32 | 输出 | 运算结果 |
| 7 | wd\_o | 5 | 输出 | 寄存器写端口 |
| 8 | wreg\_o | 1 | 输出 | 寄存器写使能 |

根据表2.2推断出每种运算的实现方式。

表2.2 verilog运算符



运算器中包含着多路选择器，运算器会同时把多种运算的结果都产生，最终使用多路选择器选择其中一路运算结果，作为最终结果。表2.3为多路选择器所需要的内部信号以及宏定义。其中结果那列需要定义为内部信号，而指令信号那一列为译码器中的内容。

表2.3 指令信号和运算器编码

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 序号 | 指令信号 | 独热码 | 4位编码器输出 | 宏定义 | 结果 |
| 1 | inst\_add | 14'b10\_0000\_0000\_0000 | 4'd13 | AluopAdd | add\_sub\_result |
| 2 | inst\_addu | 14'b01\_0000\_0000\_0000 | 4'd12 | AluopAddu | add\_sub\_result |
| 3 | inst\_sub | 14'b00\_1000\_0000\_0000 | 4'd11 | AluopSub | add\_sub\_result |
| 4 | inst\_subu | 14'b00\_0100\_0000\_0000 | 4'd10 | AluopSubu | add\_sub\_result |
| 5 | inst\_slt | 14'b00\_0010\_0000\_0000 | 4'd9 | AluopSlt | slt\_result |
| 6 | inst\_sltu | 14'b00\_0001\_0000\_0000 | 4'd8 | AluopSltu | sltu\_result |
| 7 | inst\_and | 14'b00\_0000\_1000\_0000 | 4'd7 | AluopAnd | and\_result |
| 8 | inst\_or | 14'b00\_0000\_0100\_0000 | 4'd6 | AluopOr | or\_result |
| 9 | inst\_xor | 14'b00\_0000\_0010\_0000 | 4'd5 | AluopXor | xor\_result |
| 10 | inst\_nor | 14'b00\_0000\_0001\_0000 | 4'd4 | AluopNor | nor\_result |
| 11 | inst\_sll | 14'b00\_0000\_0000\_1000 | 4'd3 | AluopSll | sll\_result |
| 12 | inst\_srl | 14'b00\_0000\_0000\_0100 | 4'd2 | AluopSrl | srl\_result |
| 13 | inst\_sra | 14'b00\_0000\_0000\_0010 | 4'd1 | AluopSra | sra\_result |
| 14 | inst\_lui | 14'b00\_0000\_0000\_0001 | 4'd0 | AluopLui | lui\_result |