**计 算 机 组 成 原 理 实 验 报 告**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**班级： NEUQNPEE-CS 姓名： NieFire 班级序号： …… 学号： 你要开盒吗？**

**实验日期： 2023年，教学内容安排还是一如既往的逆天**

**学院： 计工，悉计 专业： 计科，物联网，悉尼通用**

**实验顺序： 一 实验名称： 组合逻辑电路设计方法 指导教师：你觉得呢？**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

1. **实验目的**

1.回顾数字集成电路设计方法。

2.熟悉并运用Verilog语言进行组合逻辑电路设计。

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

1. **实验环境**

**实验开发环境：vivado**

**实验语言：verilog**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

1. **实验设计图（或接口描述或真值表）**

1.38译码器

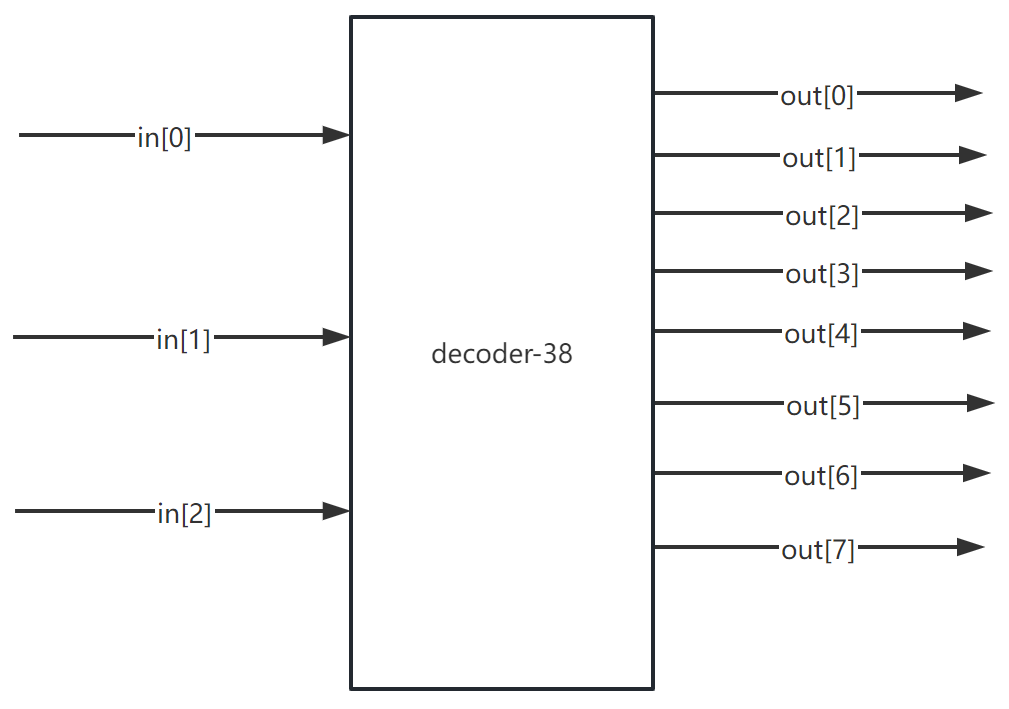


图 3.1 38译码器模块图

38译码器有3线输入，8线输出。3线输入会组成000到111共8个不同的数字，输出对应会有8种状态。

1. 带有优先级的83编码器

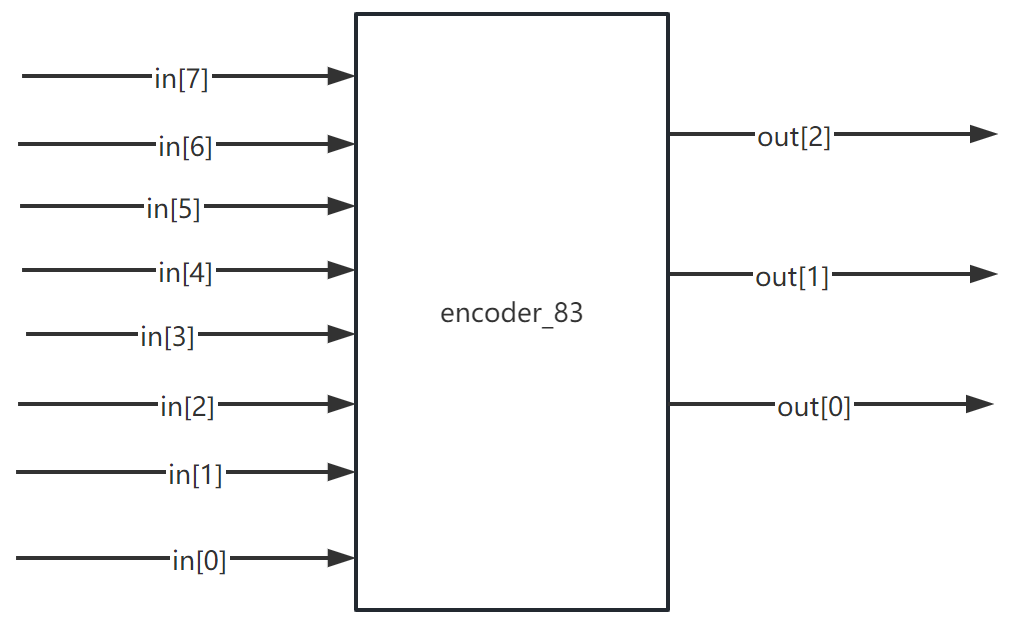


图 3.2 83编码器模块图

83编码器有8线输入，3线输出。某一位为1，则输出对应的数字。

1. 多路选择器

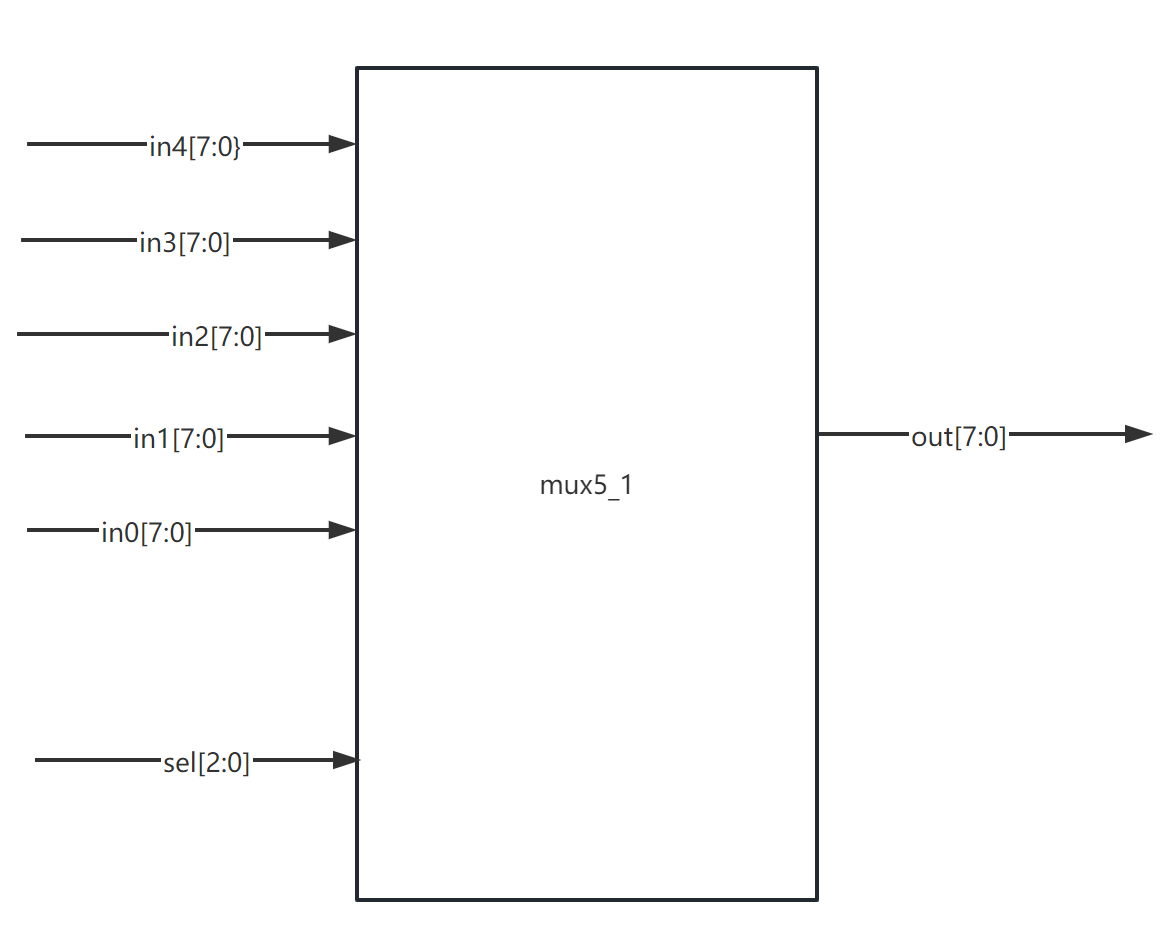


图 3.3 5选1多路选择器

图3.3是5选1多路选择器的模块图。其中sel[2:0]是选择子，用来控制输出out[7:0]应为哪一路输入。

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

1. **实验仿真波形**
2. 38译码器

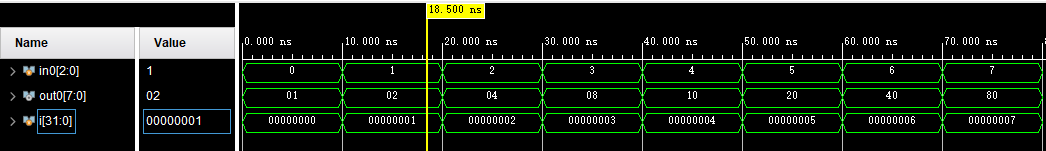


图 4.1 38译码器仿真波形图

如图所示，在80ns中输入端口依次输入0-7，输出端口依次输出相应状态。

1. 83编码器

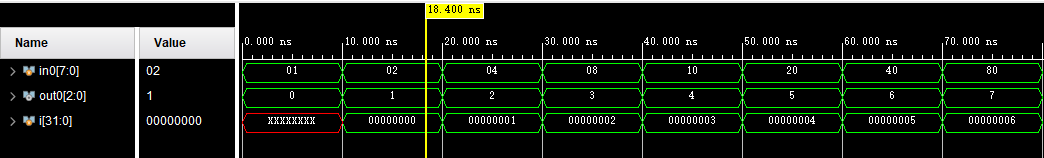


图 4.2 83编码器仿真波形图

如图所示，在80ns中输入端口依次输入相应状态（图中以十六进制显示），输出端口依次输出0-7。

1. 多路选择器

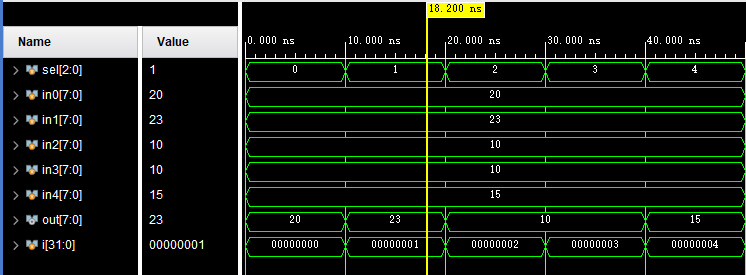


图 4.3 多路选择器仿真波形图

如图所示，在50ns中sel端口依次输入0-4，多路选择器依次输出了in0-in4五个端口的值。

1. **实验心得体会**

通过本次实验，回顾了数字集成电路设计方法，学习、熟悉并运用Verilog语言进行了38译码器、83编码器和多路选择器的设计和仿真。

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**