

《数字逻辑与数字系统》在线大作业期末试题（A）

考试 注意 事项	一、学生参加考试须带学生证或学院证明准进入考场。 二、学生要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。 三、学生必须将答题内容做在稿纸上，姓名、班级、学号、班内序号等信息应出现在试卷第一页。 四、在统一时间及 150 分钟内拍照后以 PDF 格式文件在云平台在线提交。未在线或过期提交责任自负。 五、文件命名含班级、姓名、学号、班内序号信息。 六、试题及试卷不得以任何方式外传。否则按学校相关规定处理。								
考试 课程	数字逻辑与数字系统			考试时间		2022 年 12 月 19 日			
题号	一	二	三	四	五	六	七	八	总分
满分	17	13	16	8	10	16	10	10	
得分									
阅卷人									

一、选择题(每空 1 分，共 17 分)

1、已知逻辑表达式 $F = AB + \overline{A}C + \overline{B}C$ ，与它等价的逻辑函数是（ ）。

- A. $F = AB (AB+BC)$ B. $F = AB + C$
 C. $F = AB + \overline{A}C$ D. $F = AB + \overline{B}C$

2、用 0、1 两个符号对 512 个信息进行编码，则至少需要（ ）。

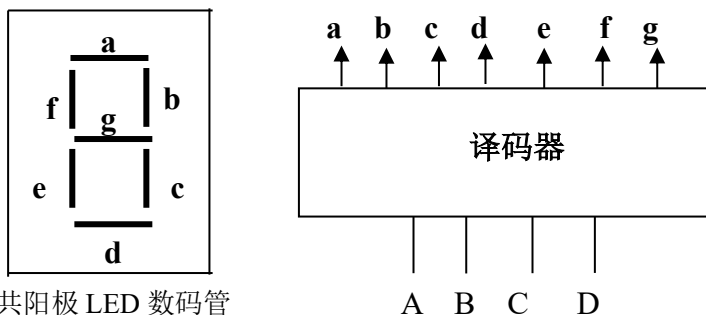
- A. 8 位； B. 7 位； C. 9 位； D. 10 位

3、下列表达式中存在冒险的是（ ）。

- A. $Y = A\overline{B} + AC$ B. $Y = A\overline{B} + BC$
 C. $Y = ABC + ABD$ D. $Y = (A + \overline{B})AC$

4、共阳极七段 LED 数码显示译码器（图 1），若显示字符“5”，则译码器输出 a~g 为（ ）。

- A. 0100100 B. 1100011 C. 1011011 D. 0011011



共阳极 LED 数码管

图 1

5、图 2 所示电路中，若输入 CP 脉冲的频率为 100KHz，则输出 Q 的频率为()。

- A. 500KHz B. 200KHz
C. 100KHz D. 50KHz

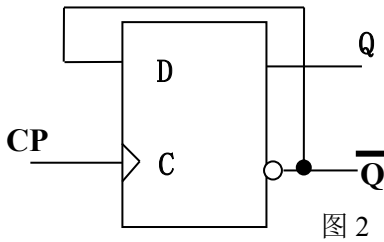


图 2

6、图 3 触发器电路的状态方程 $Q^{n+1} = ()$

- A. $T\bar{Q}^n + \bar{T}Q^n$ B. $\bar{T}\bar{Q} + TQ^n$ C. \bar{Q}^n D. 以上都不对

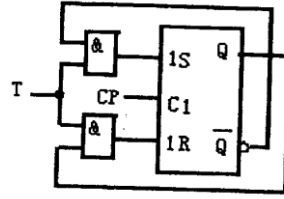


图 3

7、四位右移的扭环型计数器初始状态是 1000，经过 4 个时钟后状态为 ()。

- A. 0111 B. 1100 C. 0100 D. 不确定

8、将 256 X 4 位 EPROM 芯片构成 1048 X 32 位存储器，需要的 EPROM 芯片个数是()。

- A. 8; B. 16; C. 64; D. 32

9、一个 128K x 8 的 RAM 中，至少需要 () 根地址线。

- A. 16; B. 18 ; C. 19; D. 17

10、八进制数 (573.4)₈ 的十六进制数是 () 。

- A. (17C.4)₁₆ B. (16B.4)₁₆ C. (17B.8)₁₆ D. (17B.4)₁₆

11、判断以下四组 VHDL 语言描述中 () 意义相同。

- A. $z \leq \text{not } X \text{ and not } Y$; 和 $z \leq \text{not } (X \text{ or } Y)$;
B. $z \leq \text{not } (X \text{ or } Y)$; 和 $z \leq \text{not } X \text{ or not } Y$;
C. $z \leq \text{not } X \text{ and } Y$; 和 $z \leq \text{not } (X \text{ and } Y)$;
D. $z \leq \text{not } X \text{ and } Y$; 和 $z \leq \text{not } (X \text{ or } Y)$;

12、对于 JK 触发器，当 JK=()，触发器处于保持状态。

- A. 00 ; B. 01 ; C. 10; D. 11

13、VHDL 语言是一种结构化设计语言；一个设计实体（模块）的结构体描述 ()。

- A. 器件外部特性 B. 器件内部功能 C. 器件的综合约束 D. 器件的外部与内部功能

14、RAM 存储器的逻辑结构应包括 ()。

- A. 地址译码、存储矩阵、数据线 B. 地址译码、存储矩阵、读写控制电路
C. 地址线、存储矩阵、数据线 D. 地址线、存储矩阵、读写控制电路

15 下列语句中，不属于并行语句的是 ()。

- A. 进程语句 B. CASE 语句
C. 元件例化语句 D. WHEN...ELSE...语句

16、关于数据总线 and 数据通路，描述正确的是 ()。

- A. 三态门实现单向总线、多路开关实现双向总线 B. 三态门实现单、双向总线，多路开关实现单向总线
C. 数据通路在数字系统中是功能部件 D. 三态门实现双向总线，多路开关均可实现单向总线

17、若 4 位同步二进制加法计数器正常工作时，由 0000 状态开始计数，则经过 59 个输入计数脉冲后，计数器的状态应是 ()。

A. 1011

B. 0011

C. 1101

D. 1110

二、填空题(每空分, 共 13 分)

- 1、用卡诺图化简逻辑函数, 化简结果一般是_____。
- 2、5 变量的逻辑函数, 共有_____个最小项。
- 3、依据输入和输出关系的不同, 同步时序逻辑电路可分为米里型电路和_____电路。
- 4、能完成两个一位二进制数相加, 并考虑到低位进位的器件称为_____。
- 5、小型控制器按设计方法的不同, 分为计数器型控制器、MUX 型控制器和_____型控制器等三类。
- 6、设计一个 8421BCD 码加法计数器, 至少需要_____个 D 触发器。
- 7、VHDL 语言中, ARCHITECTURE 中的语句都是_____执行的语句。
- 8、VHDL 语言中, 时钟信号上升沿的描述为_____。
- 9、十进制数 56 用 8421BCD 码表示为 _____。
- 10、四变量函数 $Y=ACD$ 的最小项表达式为_____。
- 11、实现 1 线-16 线的数据分配器需要_____个选择控制端。
- 12、一位数值比较器, 输入信号为两个要比较的一位二进制数, 用 A、B 表示, 输出信号为比较结果: $Y_{(A>B)}$ 、 $Y_{(A=B)}$ 和 $Y_{(A<B)}$, 则 $Y_{(A>B)}$ 的逻辑表达式为_____。
- 13、图 4 是某 PLA 实现的逻辑电路, 则该电路表达式为_____。

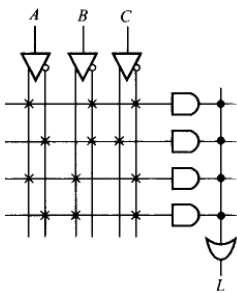


图 4

三、简答题(共 16 分)

- 1) 简述组合电路和时序电路及其区别。
- 2) 简述数字电路和数字系统的主要区别。
- 3) 用数据流法写出图 5 电路的 VHDL 程序。

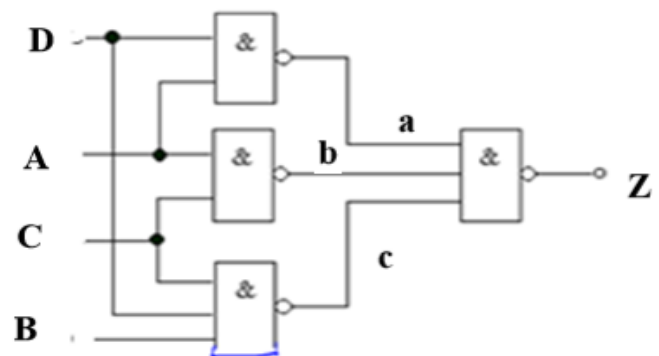


图 5

四、组合电路设计 (8 分): 要求

- 1) 设计一个判断 8421 码的四舍五入电路 (假设输入为 ABCD), 列出真值表;
- 2) 画出卡诺图;
- 3) 写出最简与或表达式。

五、VHDL 语言分析 (10 分): 要求

- 1) 解释带下划线处的语句;

- 2) 画出状态转移图;
- 3) 描述该程序逻辑功能。

```

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
ENTITY Sequence_detector IS
    PORT (x, clk : IN bit;  z: OUT bit);
END Sequence_detector;
ARCHITECTURE Sequence OF Sequence_detector IS
    TYPE state_type IS (S0,S1,S2,S3);
    SIGNAL state : state_type;
BEGIN
    PROCESS (clk)
    BEGIN
        IF (clk'event AND clk = '0') THEN

CASE state IS
            WHEN S0 => IF (x='1') THEN
                            state <= S1; z<='0';
                        ELSE
                            state <= S0; z<='0';
                        END IF;
            WHEN S1 => IF (x='1') THEN
                            state <= S2; z<='0';
                        ELSE
                            state <= S0; z<='0';
                        END IF;
            WHEN S2 => IF (x='0') THEN
                            state <= S3; z<='0';
                        ELSE
                            state <= S2; z<='0';
                        END IF;
            WHEN S3 => IF (x='1') THEN
                            state <= S4; z<='0';
                        ELSE
                            state <= S1; z<='0';
                        END IF;
            WHEN S4 => IF (x='1') THEN
                            state <= S0; z<='1';
                        ELSE
                            state <= S0; z<='0';
                        END IF;

            END CASE;
        END IF;
    END PROCESS;
END Sequence;

```

六、时序电路分析 (10): 要求

- 1)、写出图 6 中各触发器激励方程和状态方程;
- 2)、画出状态转移图;
- 3)、说明电路的逻辑功能。

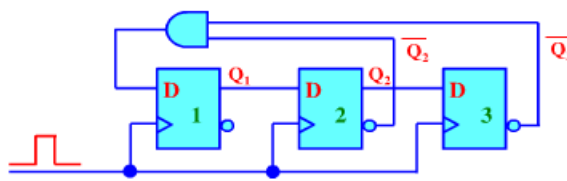


图 6

七、控制器设计 (16 分): 图 7 为某数值比较系统。功能是对持续输入的数据进行比较, 并将最大数存入 C, 要求:

- 1). 列出全部控制信号;
- 2). 说明 A、B、C 为何种器件? 1、2 为何种门?
- 3). 若将最大数存入 C, 画出控制器的 ASM 图;
- 4). 列出编码的状态转移真值表;
- 5). 写出状态方程和控制信号表达式;

6). 用 D 触发器实现计数器型控制器(不用画图)。

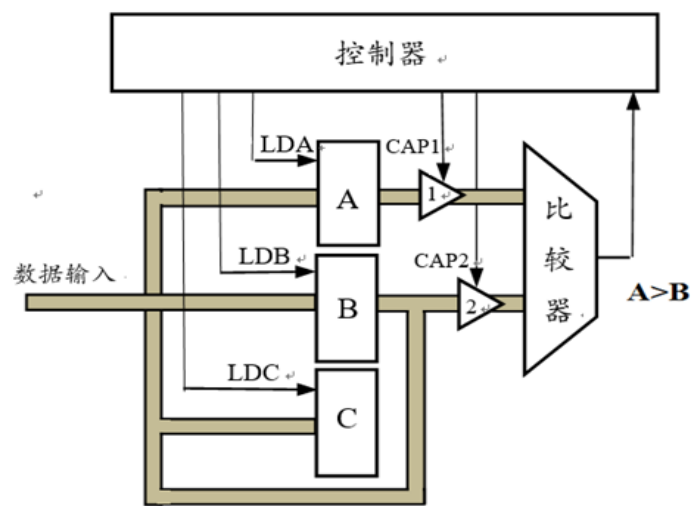


图 7

八、综合题（10 分）： 某组合逻辑电路的输入 A、B、C 及输出 F 的波形如图 8 所示。要求：

- 1)、列出真值表；
- 2)、写出 F 的标准与或式；
- 3)、用 74LS138 译码器和适当的逻辑门电路实现该逻辑函数。

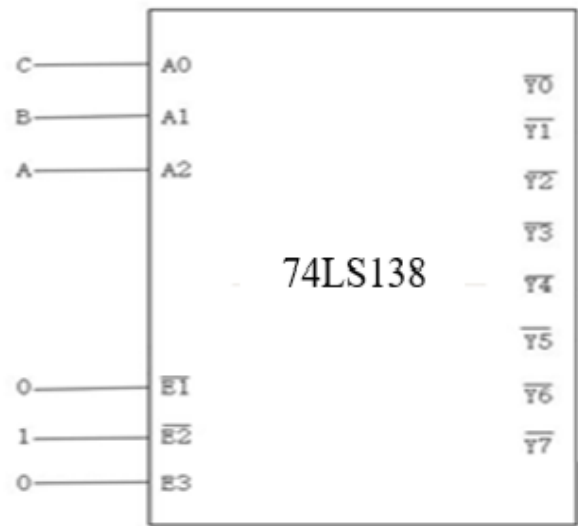
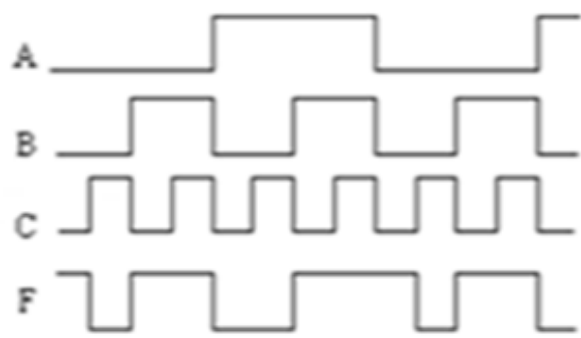


图 8

