FU转发控制器设计

# 功能描述：

因为I-type指令要在Wb段才将结果写回寄存器，但是如果紧接着的一条或者第二条指令要使用相关寄存器中的数据，在ID段从寄存器组中取数时，那些数据还没有被写回寄存器组，即在I-type指令写回之前就要拿到数据，这时就需要根据前后流水段指令对寄存器的读写情况，生成转发控制信号，控制选择ALU输入端的输入数据。

如果是出现load-use数据冒险，CU单元会控制流水线阻塞相应的流水段，在load-use之间插入气泡，然后通过转发Mem/wb流水段寄存器中的值即可解决。

主要的转发规则是：如果ID/Ex流水段指令的寄存器读地址与Ex/Mem、Mem/Wb流水段指令的寄存器写地址相同，则进行转发。

又因为lwl, lwr等类型的指令写使能可能不是全有效的，所以wb段的写回数据，只是部分改写目标寄存器的数据。为了保证转发的正确性，还需要将寄存器数据送入转发单元，由转发单元进行一次改写，将改写后的数据转发到ALU前的选择器。

有3种转发情况：不转发、从Ex/Mem段转发、从Mem/Wr段转发。

# 输入输出信号：

## 输入：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **信号名** | **位宽** | **来源** | **使能** | **含义** |
| rs\_data | 32 | Id/ex流水段寄存器 | — | ID段从寄存器中取出的数据 |
| rt\_data | 32 | Id/Ex流水段寄存器 | — | ID段从寄存器中取出的数据 |
| rs\_addr | 5 | Rs地址 | — | rs源操作数地址 |
| rt\_addr | 5 | Rt地址 | — | rt源操作数地址 |
| exmem\_byte\_en | 4 | ExMem流水段寄存器 | 高有效 | Ex/mem流水段中数据写使能 |
| exmem\_rd\_addr | 5 | Exmem流水段寄存器 | — | Ex/mem流水段中数据写地址 |
| memwb\_byte\_en | 4 | MemWr流水段寄存器 | 高有效 | Mem/Wr流水段中数据写使能 |
| memwb\_rd\_addr | 5 | MemWr流水段寄存器 | — | Mem/Wr流水段中数据写地址 |
| memwb\_data | 32 | MemWr流水段寄存器 | — | Mem段从存储器中取出的数据 |

## 输出：

|  |  |  |
| --- | --- | --- |
| **信号名** | **位宽** | **含义** |
| input\_A | 32 | wb段的转发数据与rs原始数据经过处理后的值 |
| input\_B | 32 | wb段的转发数据与rt原始数据经过处理后的值 |
| A\_sel | 2 | ID段操作数A的选择控制信号。00：不转发；01：  从Ex/Mem流水段转发；10：从Mem/Wr段转发。 |
| B\_sel | 2 | ID段操作数B的选择控制信号。00：不转发；01：  从Ex/Mem流水段转发；10：从Mem/Wr段转发。 |

# 转发情况判别：

## 从Ex/Mem段转发：

exmem\_byte\_en有效，

若 exmem\_rd\_addr与rs\_addr相同，

则 A\_sel输出为 2’b01

若 exmem\_rd\_addr与rt\_addr相同。

则 B\_sel输出为 2’b01

## 从Mem/Wr段转发：

memwb\_byte\_en不全无效，

若 memwb\_rd\_addr与rs\_addr相同，

则 A\_sel输出为 2’b10

若 memwb\_rd\_addr与rt\_addr相同。

则 B\_sel输出为 2’b10

## 不转发：

上述情况都不满足即为不转发，A\_sel和B\_sel的输出都为2’b00

# 信号输出逻辑：

## 优先级：

由于转发情况可能同时出现，在输出信号生成时需要确定优先级，先考虑优先级高的情况。

考虑到，让两条涉及转发的指令尽可能的靠近，所以正确的优先级顺序为：

从Ex/Mem段转发 > 从Mem/Wb段转发 > 其他。

## A\_sel输出逻辑：

若exmem\_byte\_en有效 且exmem\_rd\_addr与rs\_addr相同：

A\_sel输出为2’b01

否则：

若memwb\_byte\_en有效 且 memwb\_rd\_addr与rs\_addr相同：

A\_sel输出为2’b10

否则：

A\_sel输出为2’b00

## B\_sel输出逻辑：

若exmem\_byte\_en有效 且exmem\_rd\_addr与rt\_addr相同：

B\_sel输出为2’b01

否则：

若memwb\_byte\_en有效 且 memwb\_rd\_addr与rt\_addr相同：

B\_sel输出为2’b10

否则：

B\_sel输出为2’b00

# 数据改写逻辑：

exmem\_byte\_en指示ALU运算结果是否可以写入，不会出现部分使能的情况。

所以数据改写仅发生在执行lwl系列指令过程中。

根据memwb\_byte\_en[3:0]的值，如果某一位的值为1，即该字节写使能有效，则rs\_data和rt\_data相应字节上的数据都修改为memwb\_data相应字节上的数据；如果某一位的值为0，字节写使能 无效，则rs\_data和rt\_data相应字节上的数据不修改。最后将修改后的数据送到input\_A和input\_B的输出。