

# 实验 1：基本逻辑部件设计

## 一、实验目的

1. 熟悉 Logisim 软件的使用方法。
2. 掌握使用晶体管实现基本逻辑部件的方法。
3. 利用基础元器件库设计简单数字电路。
4. 掌握子电路的设计和应用。
5. 掌握分线器、隧道、探针等 Logisim 组件的使用方法。

## 二、实验环境

Logisim: <https://github.com/Logisim-Ita/Logisim>

## 三、实验内容

1. 利用基本逻辑门设计一个 3 输入多数表决器。

假设输入信号为 X、Y、Z，输出信号为 F。实验步骤如下。

- 1) 基本原理。列出如表 11.1 所示的真值表，生成逻辑表达式。

表 11.1 多数表决器真值表

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

输出函数  $F(X,Y,Z) = Y \cdot Z + X \cdot Z + X \cdot Y$ ，分析输出表达式，可见实现该功能需要 3 个 2 输入与门和 1 个 3 输入或门；另外还需要 3 个输入引脚和 1 个输出引脚。

- 2) 添加逻辑门。在电路图中放置需要的逻辑门、输入/输出引脚等，并布局到适当位置。

打开 Logisim 软件，通过快捷工具栏在工作区中放置与门、或门、输入引脚、输出引脚等组件。或门缺省输入端口数是 2，需修改属性表，将输入端口数改为 3，如图 11.2 的初始电路图中所示。布局时应注意部件之间需留有足够的空隙，导线排列要整齐，并减少导线交叉。

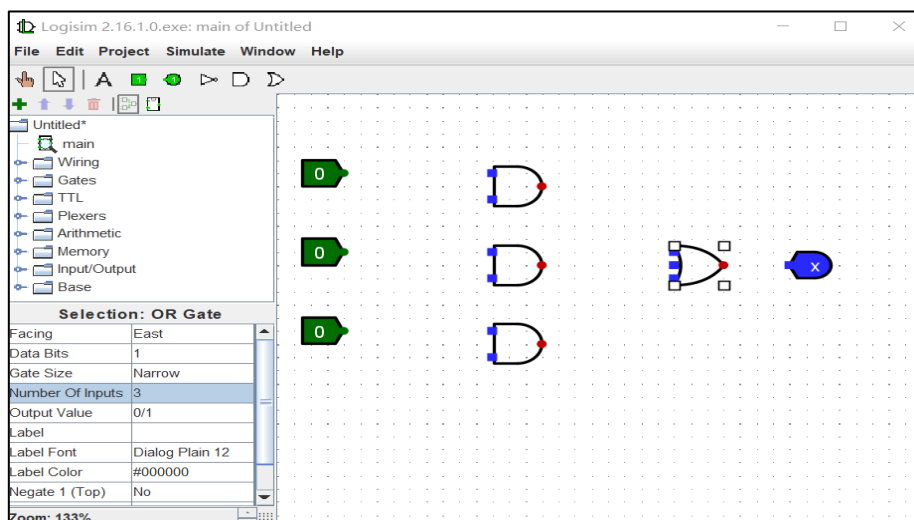


图 11.2 3 输入表决器初始电路图

3) 添加连线。将输入引脚、逻辑门的输入端、输出端、输出引脚等通过连接线相连。

在 Logisim 快捷工具栏中,选中箭头图标,进入编辑状态,当鼠标移动到某个连接点时,出现绿色圆圈,拖动该圆圈到目的位置即可生成线路。注意所有输入和输出引脚都需要线路相连,不能悬空,输出引脚不能直接互连。如图 11.3 所示。

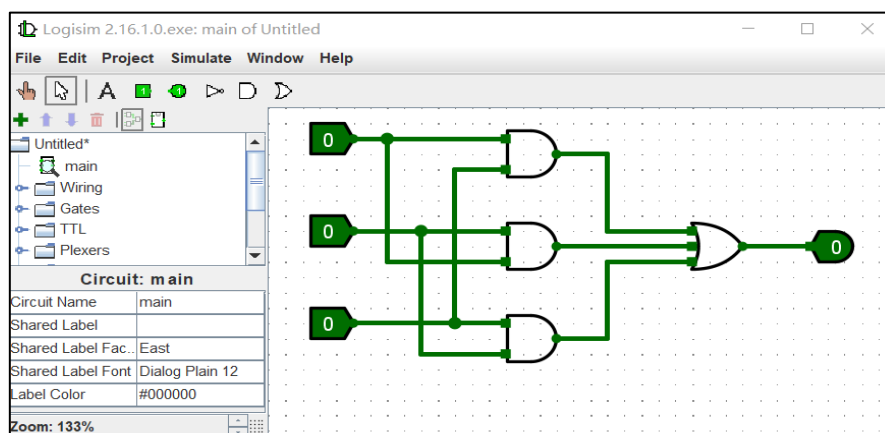


图 11.3 3 输入表决器连线电路图

4) 添加标识符。添加注释文字,以便于对电路的理解。

选中输入、输出引脚,在属性表中添加引脚标识符。选中逻辑门,在属性表中添加门标识符。点击快捷工具栏中文本工具,在电路空白处添加描述文字,如图 11.4 所示。标识符、注释文字的字体、大小、颜色和位置等均可在属性表中修改。注意采用语义标注,以便于记忆和理解。

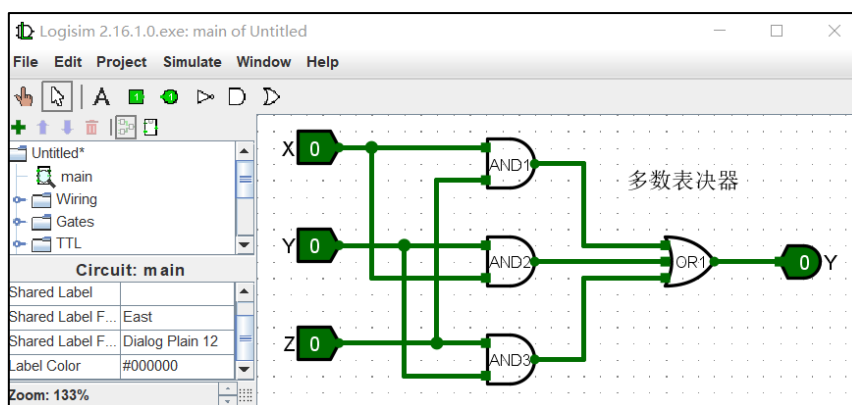


图 11.4 3 输入表决器带标识符电路图

5) 仿真测试。进入仿真状态，验证电路功能。

在 Logisim 快捷工具栏中，选中点戳工具（手指图标），进入仿真状态。把鼠标移到某个输入引脚上，点击鼠标左键，则可在 0 和 1 之间切换该输入引脚的赋值，查看输出引脚的状态，验证电路的正确性，如图 11.5 所示。仿真时，依次改变每一个输入端的赋值。验证通过后，在 File 菜单下选择 save 按钮，输入文件名，保存电路设计文件（.circ）。

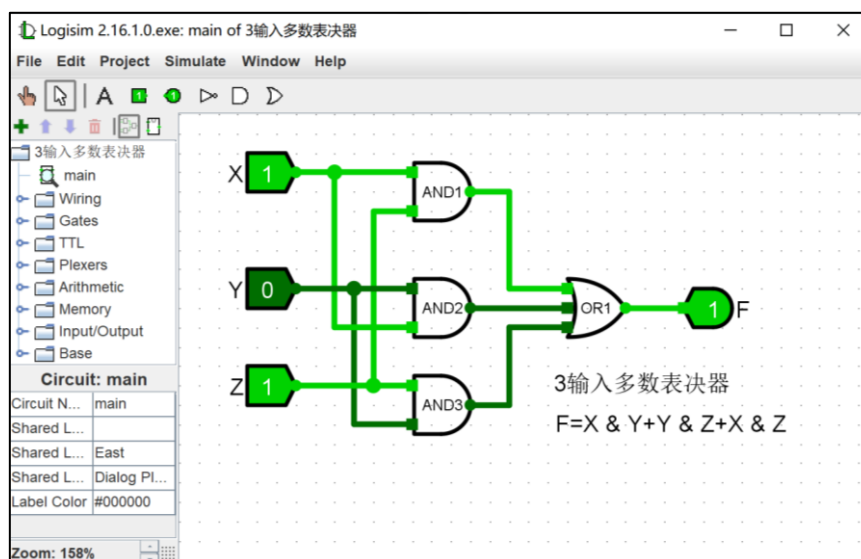


图 11.5 3 输入表决器验证电路图

## 2. 利用 CMOS 晶体管构建两输入或门，并验证其功能。

1) 基本原理。根据数字电路原理，或门是由或非门级联反相器构成。或非门、非门（反相器）的原理如图 11.6 和图 11.7 所示。

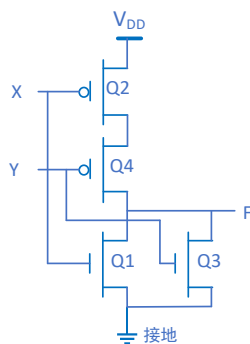


图 11.6 或非门原理图

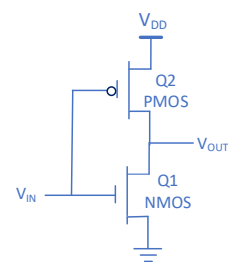


图 11.7 非门原理图

由基本原理可知，需要 3 对 CMOS 晶体管、两个输入引脚、1 个输出引脚、1 个电源、1 个地线。

2) 添加晶体管。如图 11.8 所示，在 Logisim 的工作区中放置晶体管，选择晶体管类型为 P-Type（PMOS 管），朝向选择为 South，复制该晶体管 3 只。添加 NMOS 晶体管 3 只，朝向选择为 North。添加输入引脚、输出引脚和电源、地线。注意 PMOS 管和 NMOS 管图标中箭头朝向的区别。

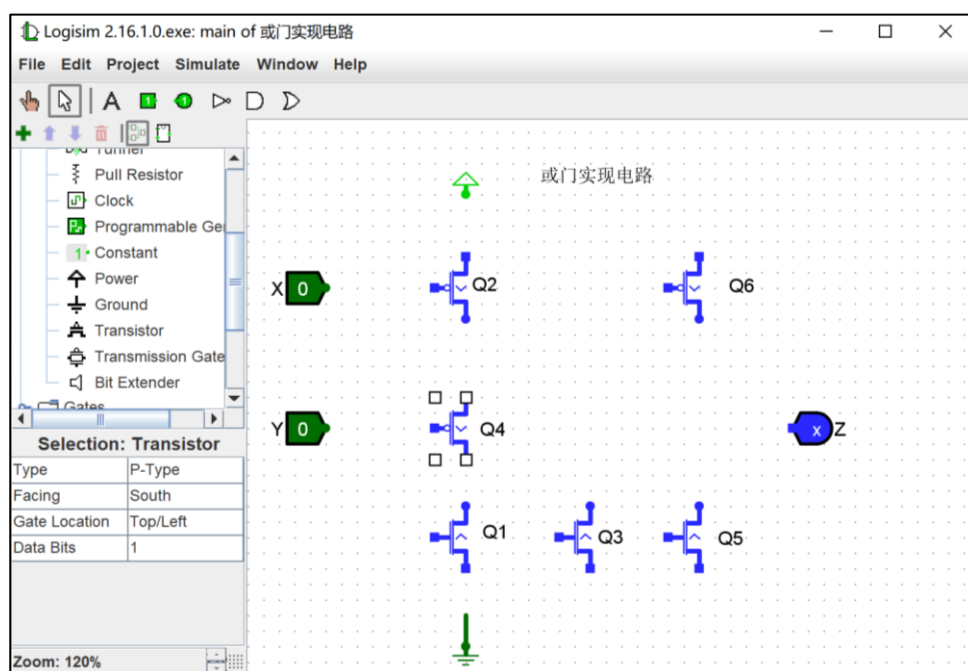


图 11.8 实现或门电路时的部件图

3) 添加连线。如图 11.9 所示，根据原理图对或非门和非门进行级联。

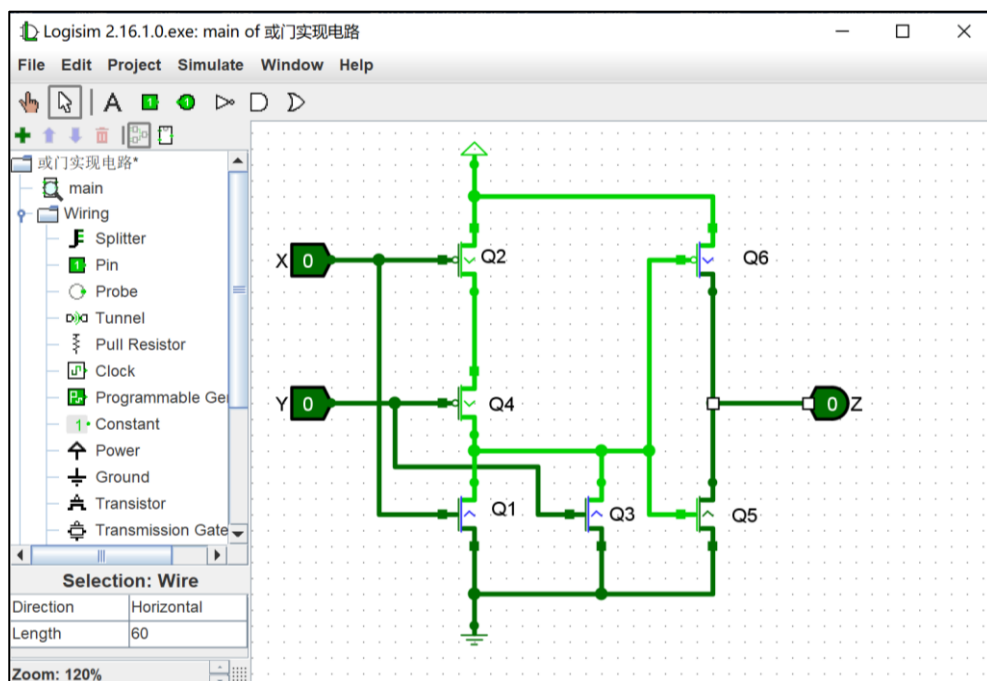


图 11.9 实现或门电路时的连线图

4) 添加标识符。如图 11.10 所示，标注输入、输出引脚及晶体管标识符，添加电路功能描述。

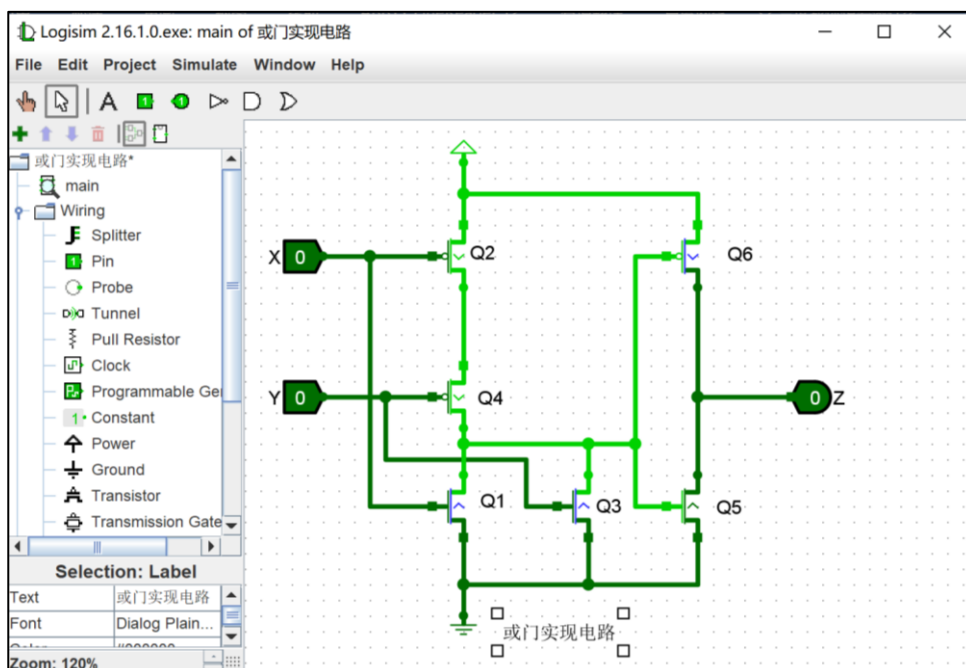


图 11.10 实现或门时在电路图中增加标识符

5) 仿真验证电路。如图 11.11 所示，进入仿真状态，改变输入引脚赋值，记录输出引脚值。保存电路设计文件。

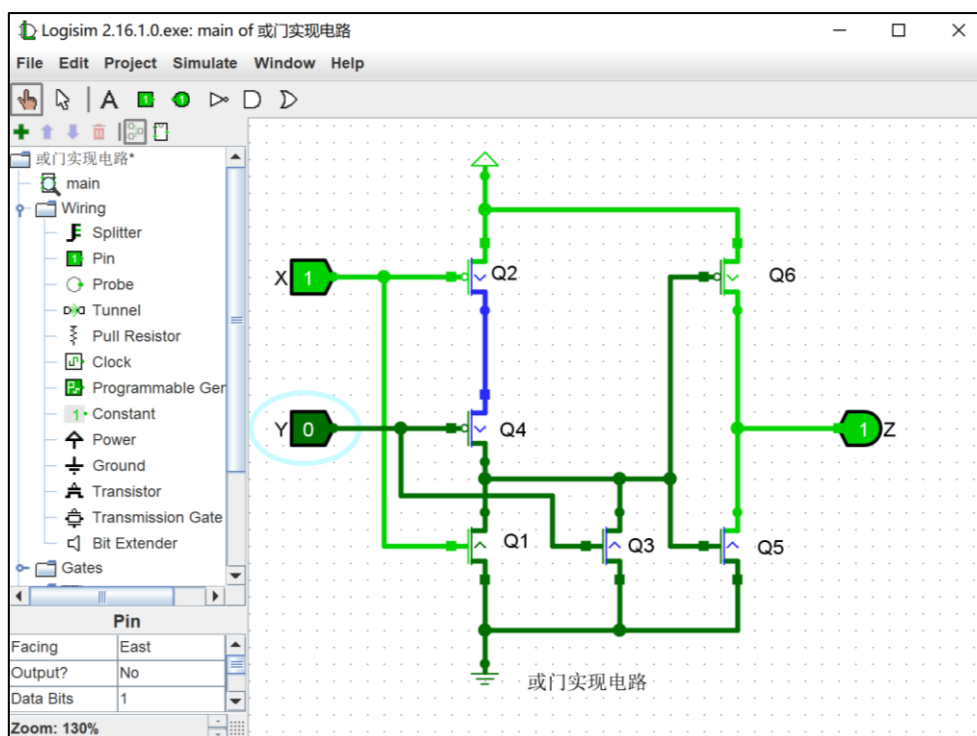


图 11.11 实现或门时的电路验证图

根据记录的输入/输出值，填写表 11.2 所示的或门真值表，以验证电路功能的正确性。

表 11.2 或门真值表

X	Y	Z
0	0	
0	1	
1	0	
1	1	

### 3. 利用基本逻辑门和 CMOS 晶体管实现多路选择器，并进行冒险检测。

1) 选择基本部件。根据 2 选 1 多路选择器（2 路选择器）的逻辑表达式  $Y = D0 \cdot \bar{S} + D1 \cdot S$ ，使用两个 2 输入与门、1 个 2 输入或门、1 个非门、3 个输入端和 1 个输出端实现两级与-或逻辑电路。在 Logisim 工作区中的部件布局如图 11.12 所示。

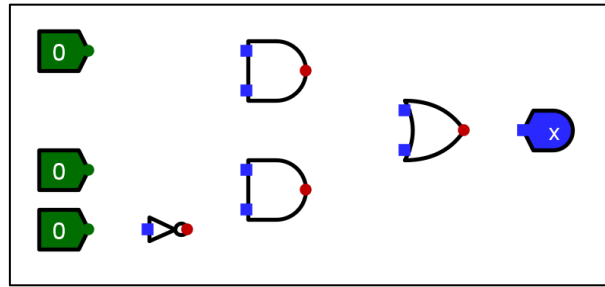


图 11.12 2 路选择器的部件图

2) 部件互连。在图 11.12 的基础上实现 2 路选择器，电路图如图 11.13 所示。

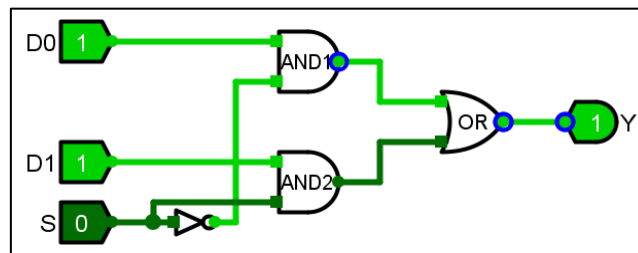


图 11.13 2 路选择器电路图

根据仿真检测结果，填写如表 11.3 所示的真值表，以验证电路的功能。

表 11.3 2 路选择器真值表

S	D0	D1	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

3) 冒险检测，其检测步骤如下。

- ① 如图 11.14 所示，在非门两端分别连接探针，并设置 D0=1、D1=1、S=1，观察输出值。

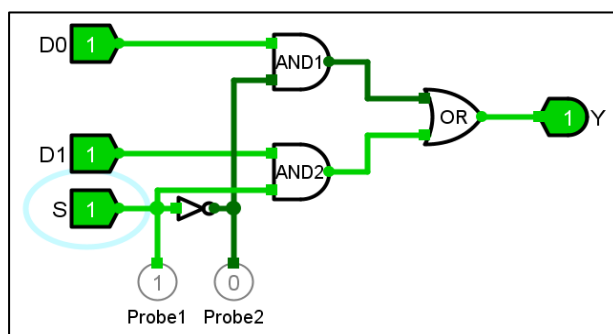


图 11.14 电路冒险检测探针电路图

② 如图 11.15 所示,在 Logisim 的 Simulate 菜单下,取消仿真使能(Simulation Enabled)前的选中开关,使得电路从连续仿真状态变为单步仿真状态。

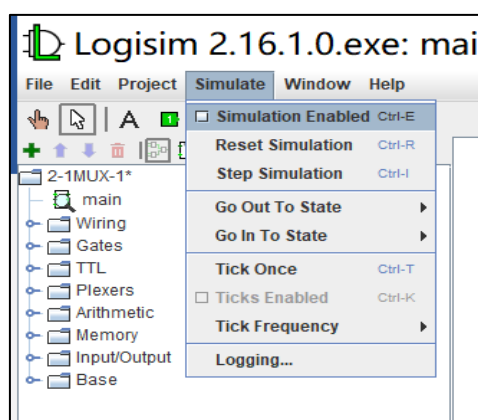
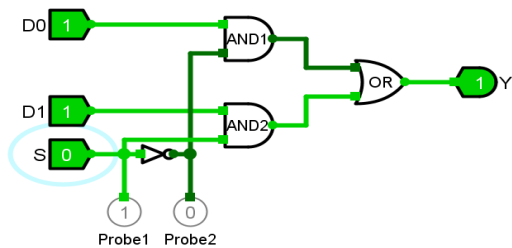


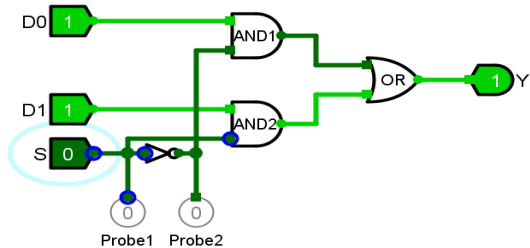
图 11.15 Simulate 菜单下取消仿真使能

③ 通过在非门输入端和输出端设置探针对电路进行单步仿真。利用单步仿真进行电路冒险检测过程如图 11.16 所示。首先将 S 输入端的赋值改为 0, 然后在 Logisim 的 Simulate 菜单下点击单步仿真 (Step Simulation) 或按组合键 Ctrl+I 进行单步仿真。图 11.16(a)是单步仿真的初始状态, 此时探针 1 (Probe1) 和探针 2 (Probe2) 处还是保持原状态, 分别是 1 和 0, 说明非门的输入端并没有随着 S 的改变而立即发生变化; 图 11.16(b)是第 1 次单步仿真得到的状态, 此时非门输入端发生变化, 但其输出端没有立即发生变化; 图 11.16(c)是第 2 次点击后得到的状态, 此时非门输出为 1, 但与门 AND1 的输出没有变化; 直到第 4 次单步仿真后每个逻辑门才都转变为正确的输入/输出状态, 如图 11.16(e)所示。单步仿真过程反映了信号在电路中的延迟情况。第 1 次点击进行单步仿真后, 经过后续 3 次单步仿真后整个电路得到正确的输入/输出状态, 即从输入到输出共经过了非门、与门和或门 3 级逻辑门延迟。

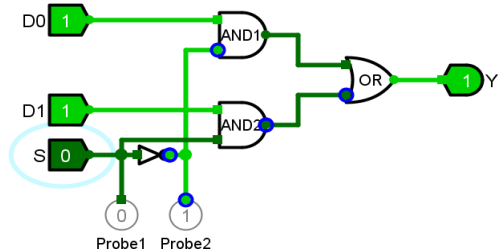




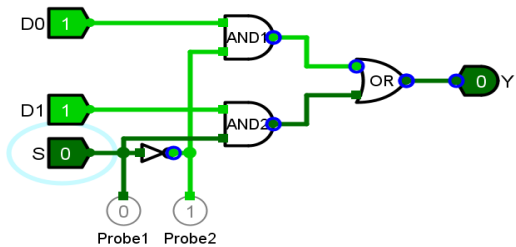
(a) 初始状态



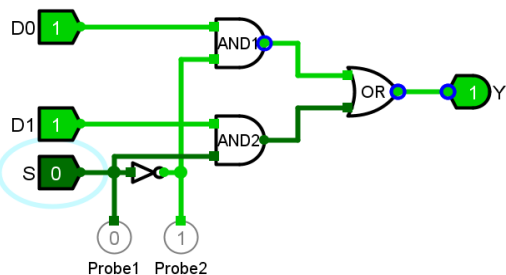
(b) 第 1 次单步仿真状态



(c) 第 2 次单步仿真状态



(d) 第 3 次单步仿真状态



(e) 第 4 次单步仿真状态

图 11.16 电路冒险检测状态变化过程

④ 保存该电路设计文件，设置文件名为 2-1MUX-1.circ。

4) 根据图 11.17 所示的电路图，利用传输门实现 2 路选择器。

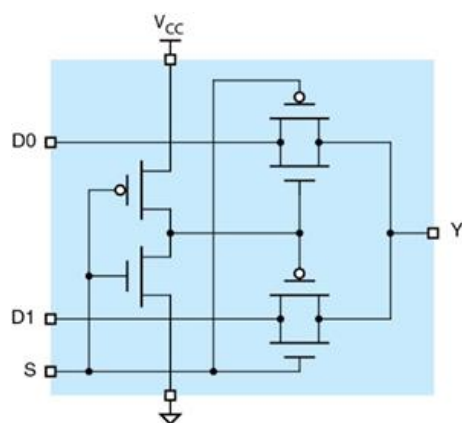


图 11.17 用传输门实现 2 路选择器的原理图

实现图 11.17 中 2 路选择器的部件包括 1 对 CMOS 晶体管、2 个传输门、2 个输入引脚、1 个输出引脚、1 个电源、1 个地线。

5) 选择基本部件并互连，然后进行仿真检测，以验证电路功能。实现电路如图 11.18 所示，保存该电路设计文件，文件名为 2-1MUX-2.circ。

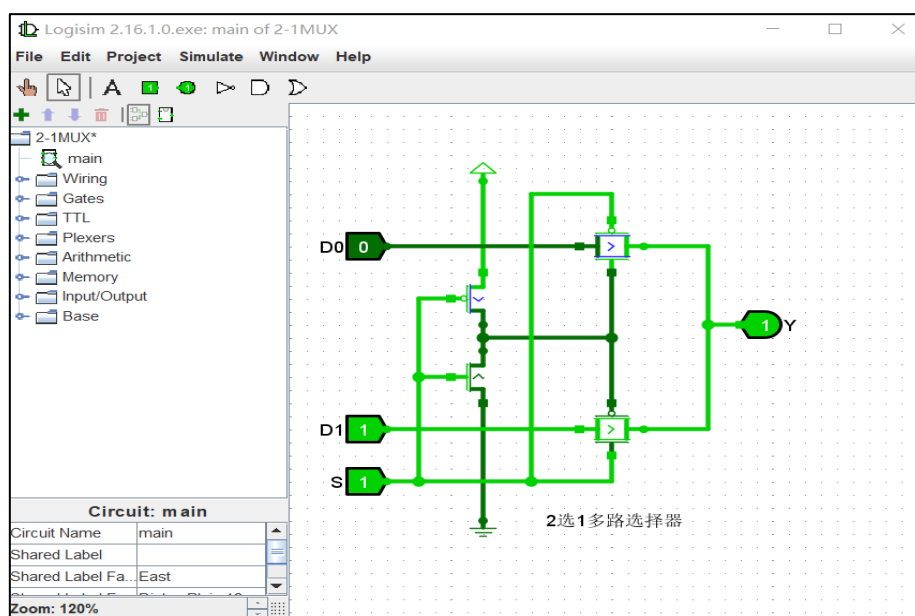


图 11.18 用传输门实现 2 路选择器并仿真验证

6) 使用组合电路分析功能设计 2 选 1 多路选择器。可以通过输入真值表、逻辑表达式或最小项列表三种方式设计实现电路。

① 选择 Project 菜单下的 Analyze Circuit 子菜单，弹出组合电路分析对话框，如图 11.19 所示。

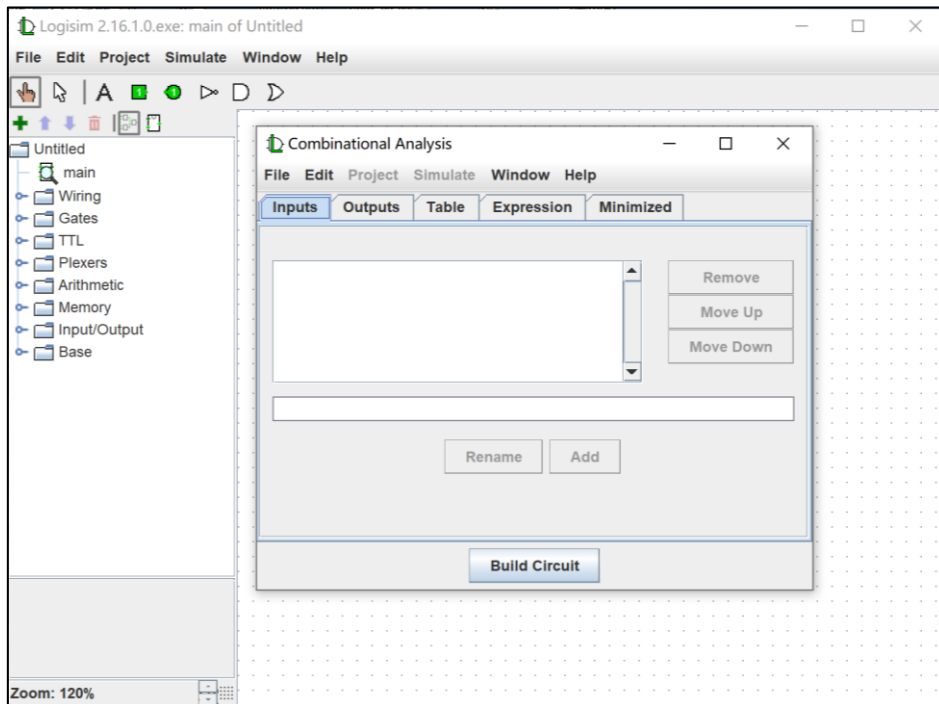
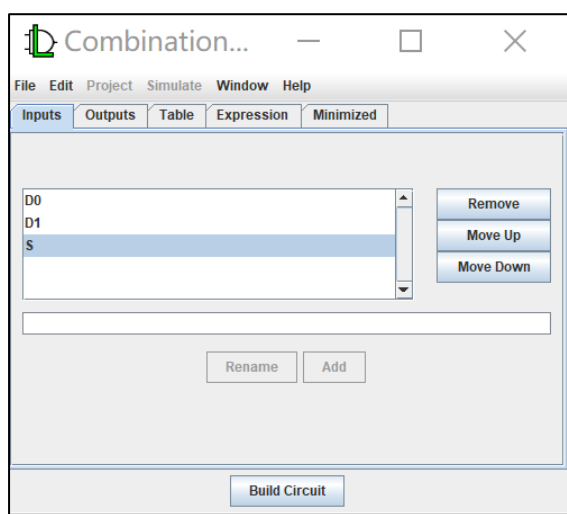
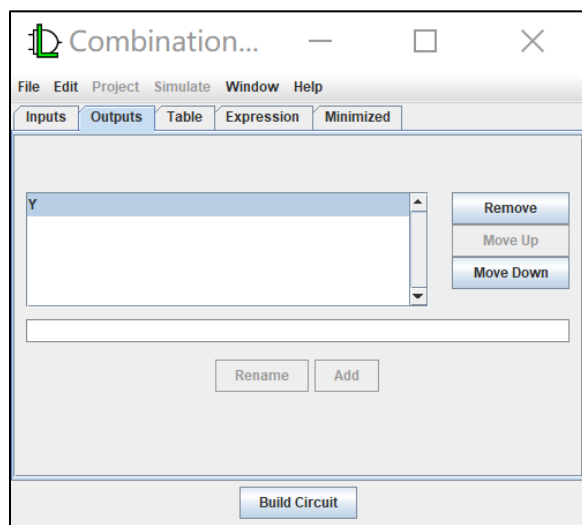


图 11.19 Analyze Circuit 对话框

② 如图 11.20 所示，设置输入、输出变量的名称。



(a) 输入变量名称的设置



(b) 输出变量名称的设置

图 11.20 输入、输出变量名称的设置

③ 通过输入真值表实现电路。如图 11.21 所示，选中 Table，出现初始真值表，在表中点击 X，设置输出 Y 的值，以构建 2 路选择器的真值表。

D0	D1	S	Y
0	0	0	x
0	0	1	x
0	1	0	x
0	1	1	x
1	0	0	x
1	0	1	x
1	1	0	x
1	1	1	x

D0	D1	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

(a) 真值表初始状态

(b) 设定输出值后的真值表

图 11.21 2 路选择器真值表的构建

④ 通过输入逻辑表达式实现电路。如图 11.22 所示，选中 Expression，设置输出 Y 的逻辑表达式。在输入框中键入  $D1 \& S + D0 \& !S$ ，点击 Enter 按钮，得到输出 Y 的逻辑表达式。

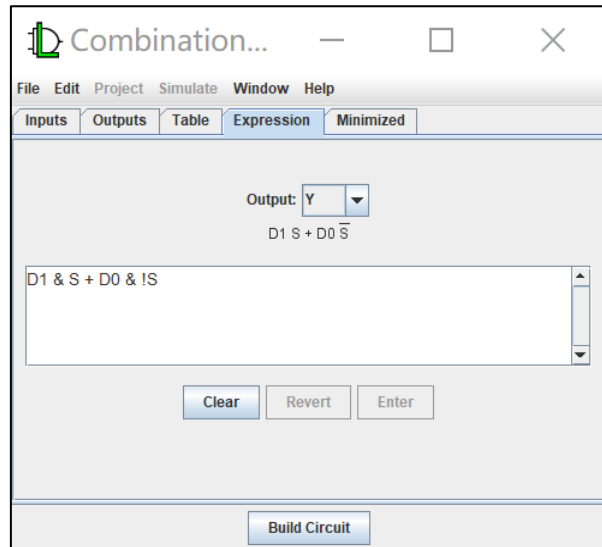


图 11.22 设置输出逻辑表达式

Logisim 中支持的逻辑运算符包括以下几类。

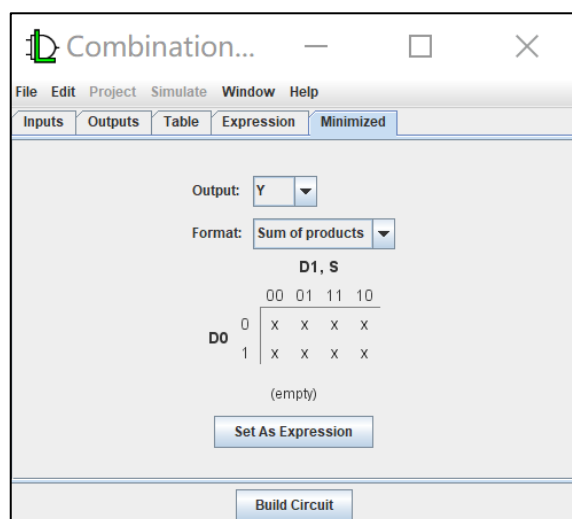
逻辑非：NOT、~、!、'。

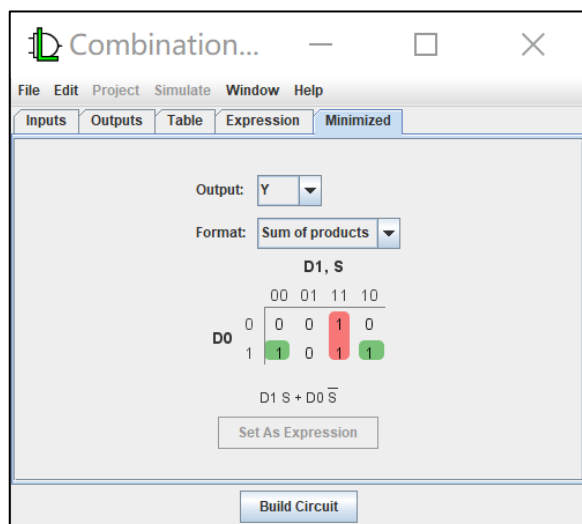
逻辑与：AND、&、&&。

逻辑或：OR、+、|、||。

异或：XOR、^。

⑤ 通过输入最小项列表实现电路。如图 11.23 所示，选中 Minimized，出现最小项列表初始画面，点击卡诺图的 × (不是字母)，输入相应数值，设置输出 Y 的最小项列表。





(a) 最小项列表初始状态

(b) 设定最小项列表后的状态

图 11.23 设置最小项列表

⑥ 根据真值表、输出逻辑表达式或最小项列表生成电路。

在上述真值表、输出逻辑表达式和最小项列表的页面中，都有 **Build Circuit** 按钮，单击该按钮，弹出如图 11.24 所示的对话框。在该对话框中定义电路名称（如 2-1MUX-3.circ），选择电路构建方式，单击 **OK** 按钮，即可自动生成逻辑电路。

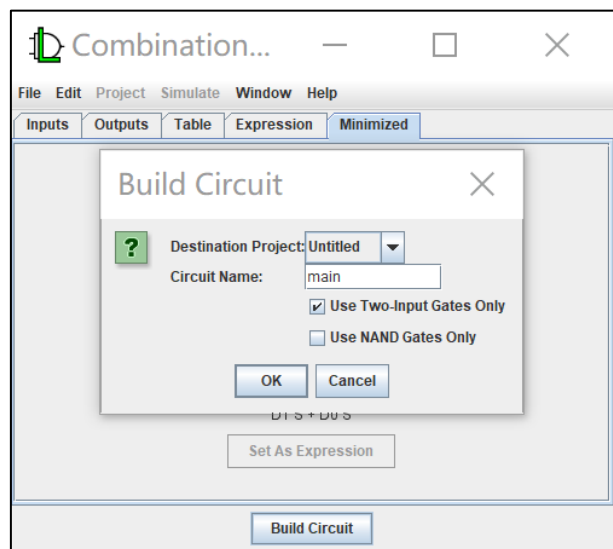


图 11.24 创建电路对话框

电路构建方式有如下两个选项：①只使用 2 输入逻辑门（Use Two\_input Gates Only）；②只使用与非门（Use NAND Gates Only）。这两种方式下生成的电路图分别如图 11.25(a)和(b)所示。

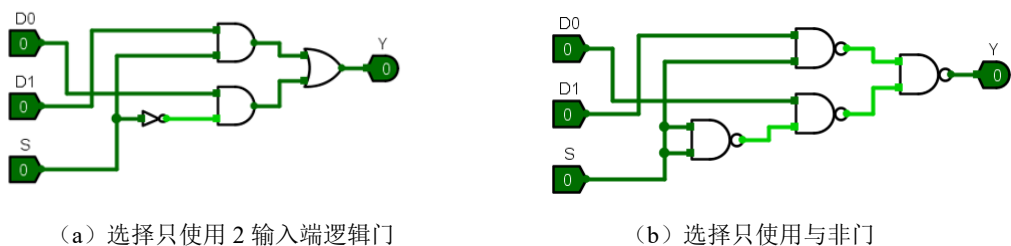


图 11.25 自动创建的电路图

7) 使用 2 路选择器子电路构建一个 4 路选择器。在工程 (Project) 菜单下单击添加子电路 (Add Circuit), 设置子电路名为 2-1MUX。在导航窗口中, 双击 2-1MUX, 进入 2-1MUX 子电路工作区, 按照图 11.18 所示方式用传输门实现 2 路选择器电路。

提示: Logisim 中不能实现两个不同文件之间的复制和粘贴功能, 只能在同一项目文件内进行。如果需要使用已有的子电路, 可以在工程 (Project) 菜单下使用装载 Logisim 库文件 (Load Library/Logisim Library) 的方法来实现。为了方便引用组件, 可以把每次实验的不同项目都设计成子电路格式。在开始一个实验项目时, 通过选择在项目中添加子电路的方式来进行设计。

双击导航窗口中的条目 “main”, 打开电路 main 的工作区, 然后, 在导航窗口中选中 2-1MUX 子电路, 把 2-1MUX 子电路拖曳到 main 工作区中, 子电路用矩形表示, 包括 3 个输入引脚和 1 个输出引脚。构建 4 选 1 多路选择器需要 3 个 2 路选择器通过级联而成, 如图 11.26 所示。保存该电路设计文件, 文件名为 4-1MUX。

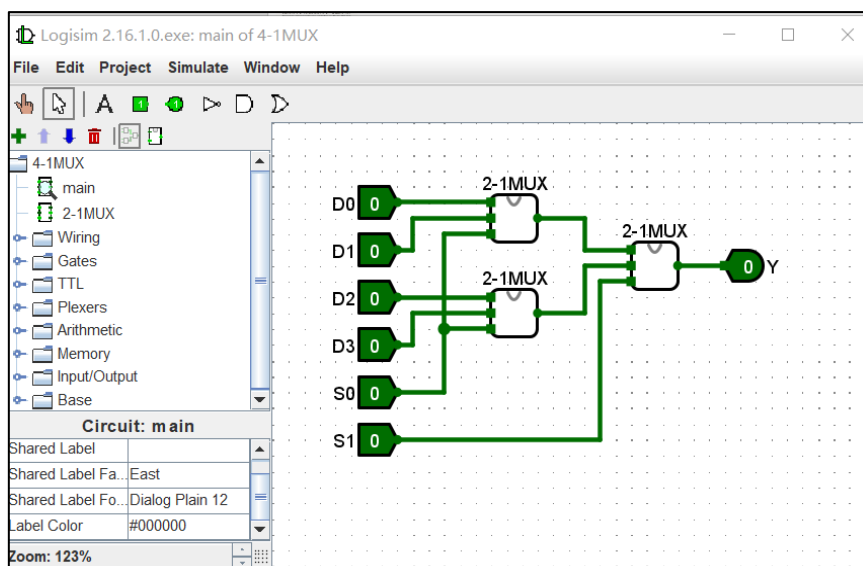


图 11.26 使用子电路级联实现 4 选 1 多路选择器

8) 编辑子电路外观。如图 11.27 所示, 缺省的子电路外观为带缺口的矩形, 输入引脚在

矩形左侧，端口用方形表示，输出引脚在矩形右侧，端口用圆形表示。可以通过外观编辑功能改变子电路的外观。如图 11.28 所示，可以将 2 路选择器子电路外观改成梯形，并重新布局输入、输出端口的位 置，并添加信号和子电路标识符，也可在属性中定义标识符以及子电路模块背景的颜色。

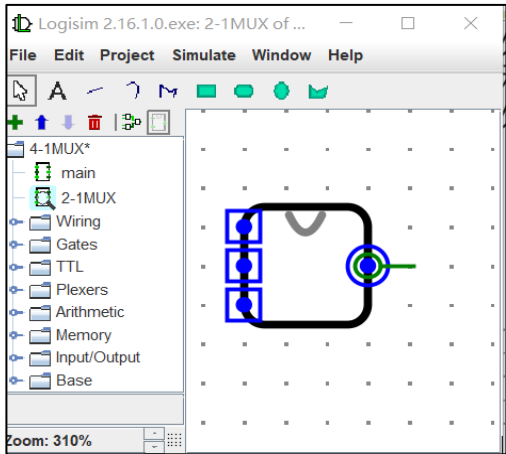
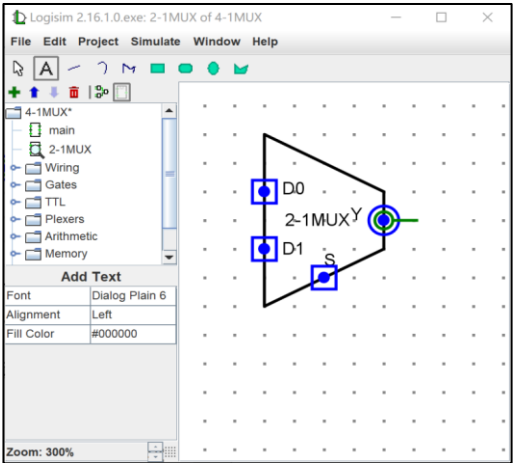


图 11.27 子电路的缺省外观形状



11.28 2 路选择器子电路梯形外观

提示：子电路外观中有一个绿色圆圈带一条线的端口，称为锚点，标识子电路外观的面 向。带有蓝色圆圈的圆点是输出端口，带有方框的圆点是输入端口。单击外观端口，将在编 辑页面中显示对应的输入/输出引脚。

在导航窗口上方选中子电路快捷操作栏中的外观编辑模式，或者在 Project 菜单下选择 Edit Circuit Appearance，则组件快捷工具栏变成图 11.29 中的加粗方框中所示的外观设 计工具栏。

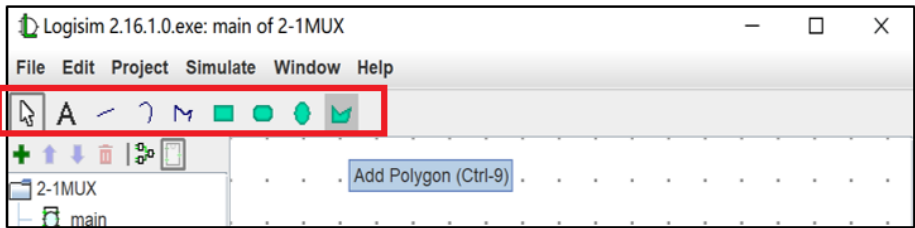


图 11.29 外观编辑工具栏

9) 修订错误连线。如图 11.30 所示，如果打开主电路图出现红色连线，则说明发生了错 误，需删除错误连线，重新连接端口。图 11.30 中电路图经修订后，得到如图 11.31 所示的 电路图。



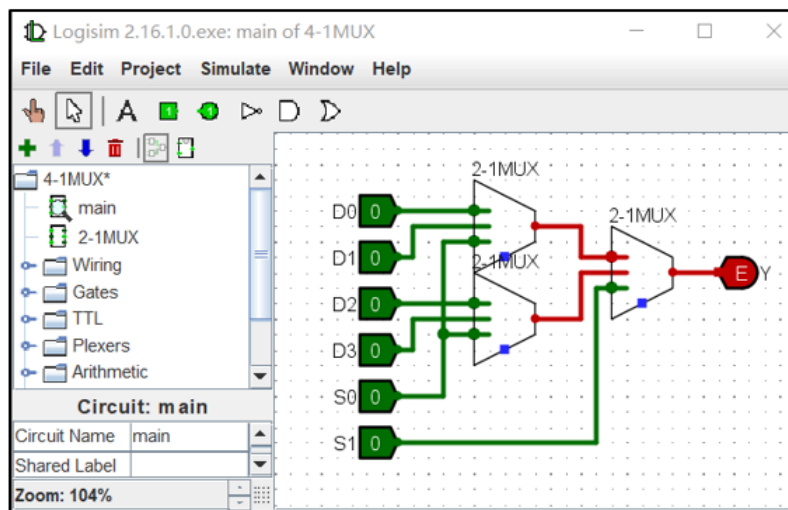


图 11.30 存在连线错误的主电路图

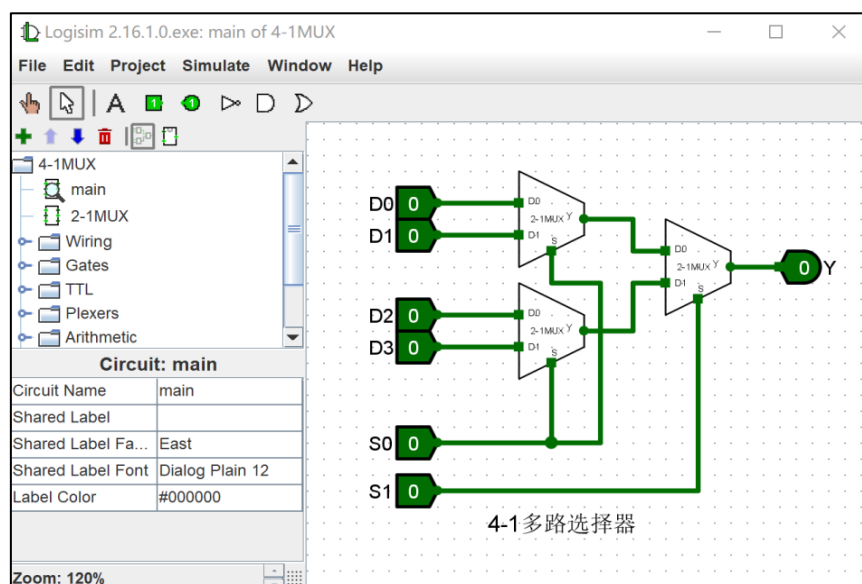


图 11.31 修正后的主电路图

提示：在实际操作中，通常先修改子电路外观，再添加到主电路中。

10) 从主电路图中进入子电路调试。进入子电路查看状态并进行调试的方法有下列三种。

① 在点戳仿真状态下，单击子电路，出现放大镜，如图 11.32 所示。再双击放大镜，进入如图 11.33 所示的子电路查看状态。

② 鼠标移到子电路上，单击右键，选择 View 子电路，进入如图 11.33 所示的子电路查看状态。

③ 在 Project 下，查看仿真树（View Simulation Tree），双击层次元素，进入如图 11.33 所示的子电路查看状态。

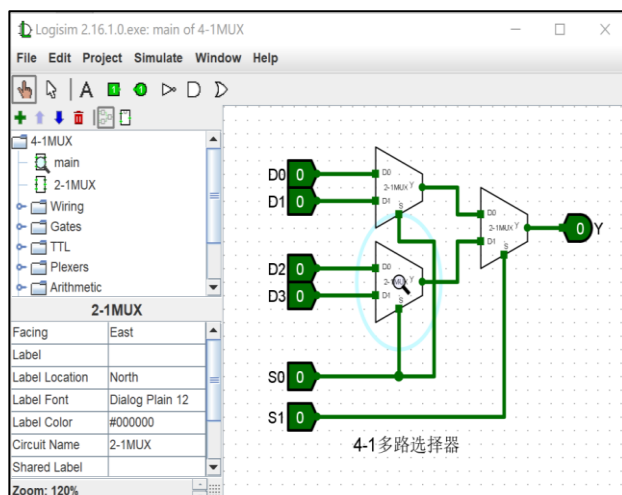


图 11.32 单击子电路后出现放大镜

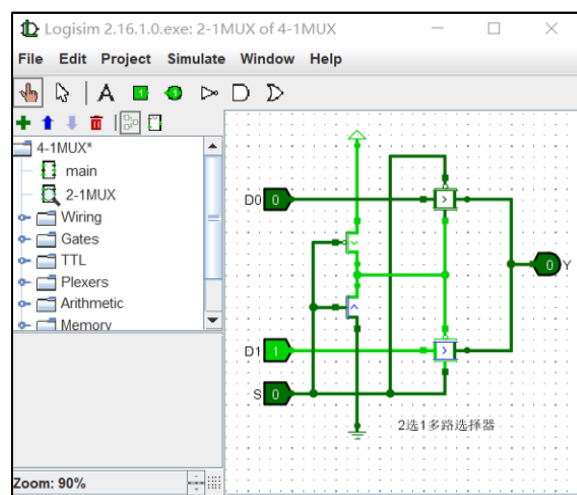


图 11.33 进入子电路查看状态

#### 四、思考题

1. Logisim 中有哪几种自动生成组合逻辑电路图的方式？
2. Logisim 中可以通过什么方式生成一个复杂的电路？
3. Logisim 中提供了哪几种输出组件？
4. 图 11.13 所示的 2 路选择器电路中，4 个逻辑门共使用了多少对 CMOS 晶体管？
5. 如何实现 4 位二进制数的奇偶校验电路？请写出用 Logisim 实现该电路并验证的整个过程。