

考试科目名称 计算机组织结构（A 卷）

考试方式：闭卷 考试日期 年 月 日 教师 任桐炜

系（专业） 年级 班级

学号 姓名 成绩

题号	一	二	三	四	五	六	七	八	九	十
分数										

得分 一、（本题满分 10 分）

假设某计算机的 CPU 时钟频率为 100MHz，基准程序 A 在该计算机上的运行时间为 15 秒。现对 A 进行优化，将其中的乘以 2 的指令均改为左移一位的指令，得到新的基准程序 B。若在该计算机上执行每条乘法指令需要的时钟周期数为 104，执行每条左移指令所需要的时钟周期数为 4，且基准程序 A 的执行时间为基准程序 B 的 1.5 倍，则 A 中有多少条乘法指令被替换为左移指令？

该计算机的 CPU 时钟周期为 $1s/100MHz=10ns$ ，而将每条乘法指令替换为左移指令可以节省 $104-4=100$ 个时钟周期，即节省 $10ns \times 100=10^{-6}s$ 。

基准程序 A 的执行时间为 15s，基准程序 B 的执行时间为 $15s/1.5=10s$ ，共节省了 $15s-10s=5s$ 。因此，共有 $5s / 10^{-6}s = 5 \times 10^6$ 条乘法指令被替换为左移指令。

得分	
----	--

二、(本题满分 10 分)

假设某计算机的 CPU 时钟频率为 100MHz，平均 CPI 为 5，且平均每条指令访问主存 1.5 次。主存与 Cache 之间交换块的大小为 16 个字节，Cache 的命中率为 99%，主存的数据总线宽度为 32 位。假设每次主存访问时间相等且不考虑任何其它因素，为了满足 Cache 和主存之间的数据交换需要，主存的存储周期不能超过多少？

CPU 每秒钟平均执行指令条数为 $100\text{M} / 5 = 20\text{M}$ ，访问内存的次数为 $20\text{M} \times 1.5 = 30\text{M}$ 次，因此平均每秒 Cache 缺失的次数为 $30\text{M} \times (1-99\%) = 3 \times 10^5$ 次。

由于每次数据交换的块的大小为 16B，每秒钟内在 Cache 和主存之间交换的数据为 $16\text{B} \times 3 \times 10^5 = 4.8 \times 10^6\text{B}$ 。

由于主存的数据总线宽度为 32 位，因此每秒钟至少要进行 $4.8 \times 10^6\text{B} / 4\text{B} = 1.2 \times 10^6$ 次主存访问，主存的存储周期不能超过 $1\text{s} / (1.2 \times 10^6) = 833.3\text{ns}$ 。

得分	
----	--

三、(本题满分 10 分)

假设某计算机中 Cache 的大小为 256B，其中每行为 64B，采用 LRU 替换策略。运行以下 Java 程序时，变量 k, i, c 存放在寄存器中，数组 a 的元素存放在内存中。已知每次 Cache 访问时间为 1ns，每次内存访问时间为 10ns，Cache 初始为空。问 Cache 采用直接映射和 2-路组关联映射时，访问每个数组元素的平均访问时间分别为多少？（提示：Java 中每个 int 型整数为 4 字节。）

```
int k, i, c;
int[] a = new int[128];
.....
for (k = 0; k < 10000; k++) {
    for (i = 0; i < 128; i += 10) {
        c = a[i];
    }
}
```

由于每个块的大小为 64B，因此每个块中包含 $64B / 4B = 16$ 个数组元素。Cache 中共有 $256B / 64B = 4$ 行。

访问的数组元素依次为：a[0]、a[10]、a[20]、……、a[100]、a[110]、a[120]，重复 10000 次。这些数组元素分别属于第 0、0、1、1、2、3、3、4、5、5、6、6、7 号块。

采用直接映射时，对于 k=0，Cache 的命中情况如下：

0	0	0	0	0	0	0	4	4	4	4	4	4
		1	1	1	1	1	1	5	5	5	5	5
				2	2	2	2	2	2	6	6	6
					3	3	3	3	3	3	3	7

k=1 至 9999 时，Cache 的命中情况如下：

0	0	0	0	0	0	0	4	4	4	4	4	4
5	5	1	1	1	1	1	1	5	5	5	5	5
6	6	6	6	2	2	2	2	2	2	6	6	6
7	7	7	7	7	3	3	3	3	3	3	3	7

因此，Cache 的命中率为 $5/13=38.46\%$ 。所以，数组元素的平均访问时间为： $1ns + 10ns \times (1 - 38.46\%) = 7.15ns$ 。

采用 2-路组关联映射时，对于 k=0，Cache 的命中情况如下：

0	0	0	0	0	0	0	4	4	4	4	4	4
				2	2	2	2	2	2	6	6	6
		1	1	1	1	1	1	5	5	5	5	5
					3	3	3	3	3	3	3	7

k=1 至 9999 时，Cache 的命中情况如下：

0	0	0	0	0	0	0	4	4	4	4	4	4
6	6	6	6	2	2	2	2	2	2	6	6	6
5	5	1	1	1	1	1	1	5	5	5	5	5
7	7	7	7	7	3	3	3	3	3	3	3	7

因此，Cache 的命中率为 $5/13=38.46\%$ 。所以，数组元素的平均访问时间为： $1ns + 10ns \times (1 - 38.46\%) = 7.15ns$ 。

[余晟, 131250082]

得分	
----	--

四、(本题满分 10 分)

假设某计算机的 CPU 时钟频率为 1GHz，平均 CPI 为 5。

(1) 假设外设 A 的数据传输率为 4Mbps，采用中断式 I/O 进行数据传输。每次数据传输 32 位，对应的中断服务程序包含 18 条指令，中断服务的其它开销为 10 个时钟周期。请问 CPU 用于外设 A 的 I/O 时间占整个 CPU 时间的百分之多少？

(2) 假设外设 B 的数据传输率为 40Mbps，采用周期窃取式的 DMA 方式传送数据。每次 DMA 传送数据块的大小为 5000 个字节，DMA 的预处理和后处理开销共需要 500 个时钟周期，且 CPU 和 DMA 之间不存在访存冲突。请问 CPU 用于外设 B 的 I/O 时间占整个 CPU 时间的百分之多少？

(1) 对于外设 A，每次中断的时钟周期数为： $18 \times 5 + 10 = 100$ 个。为了达到 4Mbps 的数据传输率，每秒钟需要处理中断的次数为： $4\text{Mbps} \times 1\text{s} / 32\text{b} = 1.25 \times 10^5$ 次。因此，CPU 用于 I/O 的时间占整个 CPU 时间的比例为： $100 \times 1.25 \times 10^5 / 1\text{G} = 1.25\%$ 。

(2) 对于外设 B，每次 DMA 处理的时钟周期数为 500。为了达到 40Mbps 的数据传输率，每秒钟产生 DMA 的次数为： $40\text{Mbps} \times 1\text{s} / (5000 \times 8) = 10^3$ 次。因此，CPU 用于 I/O 的时间占整个 CPU 时间的比例为： $500 \times 10^3 / 1\text{G} = 0.05\%$ 。

CPU 用于外设的时间只在于 DMA 的预处理和后期，而真正传送是不算在内的
每次传送数据块的大小为 5000 个字节，这 5000 个字节要求一次 DMA 的预处理和后期处理，而其中每次窃取一个周期传一个数据是不用考虑初始化 DMA 的

得分	
----	--

五、（本题满分 10 分）

采用基于奇校验的海明码对信息中每 16 位生成校验位，并将信息与校验码按照故障字的顺序排列后一起传输。假设信息的十六进制表示分别为 3C8FH 和 96ABH，请问用于传输的信息（含校验码）的十六进制表示分别是什么？

对于每 16 位信息生成海明码，共需要 5 位校验码。
根据故障字的设计规则，得知信息与校验码的排列如下：

	10101	10100	10011	10010	10001	10000	01111	01110	01101	01100
	D16	D15	D14	D13	D12	C5	D11	D10	D9	D8
01011	01010	01001	01000	00111	00110	00101	00100	00011	00010	00001
D7	D6	D5	C4	D4	D3	D2	C3	D1	C2	C1

根据海明码的计算规则：

$$\begin{aligned} C1 &= D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7 \oplus D9 \oplus D11 \oplus D12 \oplus D14 \oplus D16 \oplus 1 \\ C2 &= D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7 \oplus D10 \oplus D11 \oplus D13 \oplus D14 \oplus 1 \\ C3 &= D2 \oplus D3 \oplus D4 \oplus D8 \oplus D9 \oplus D10 \oplus D11 \oplus D15 \oplus D16 \oplus 1 \\ C4 &= D5 \oplus D6 \oplus D7 \oplus D8 \oplus D9 \oplus D10 \oplus D11 \oplus 1 \\ C5 &= D12 \oplus D13 \oplus D14 \oplus D15 \oplus D16 \oplus 1 \end{aligned}$$

对每 16 位计算出校验码：

$$\begin{aligned} 3C8FH &= 0011\ 1100\ 1000\ 1111B, \text{ 校验码 } (C5C4C3C2C1) \text{ 为 } 01011 \\ 96ABH &= 1001\ 0110\ 1010\ 1011B, \text{ 校验码 } (C5C4C3C2C1) \text{ 为 } 11110 \end{aligned}$$

所以将信息和校验码按照故障字的顺序排列后的二进制表示分别为：

$$\begin{aligned} &0\ 0111\ 0100\ 1000\ 1111\ 0111 \\ &1\ 0010\ 1110\ 1010\ 1101\ 1110 \end{aligned}$$

十六进制表示分别为： 0748F7H 和 12EAD6H

得分	
----	--

六、(本题满分 10 分)

某磁盘组由 8 个双面读写的盘片组成，每面有 256 个磁道，每个磁道被划分为 16 个扇区。已知磁盘最内侧磁道的直径为 10 厘米，最外侧磁道的直径为 20 厘米，转速为 3000rpm，平均磁头寻道时间为 10ms。请问：

(1) 该磁盘组的容量为多少字节？

(2) 位密度是指磁道上单位长度上记录多少位数据，单位为位/毫米 (bpm)。该磁盘组的最大位密度为多少？

(3) 在该磁盘组上随机访问一个扇区的数据，平均数据传输率是多少？

(1) 由于每个扇区可以存储 512 字节的数据，因此该磁盘组的容量为：
 $512 \times 16 \times 256 \times 8 \times 2 = 32\text{MB}$ 。

(2) 最内侧磁道的位密度最大，为： $512 \times 8 \times 16 / (3.14 \times 100) = 2.09 \times 10^2 \text{bpm}$ 。

(3) 平均寻道时间为：10ms

寻找扇区时间为： $1 / (3000 / 60) / 2 = 0.01\text{s} = 10\text{ms}$

访问数据的时间为： $1 / (3000 / 60) / 16 = 1.25 \times 10^{-3}\text{s} = 1.25\text{ms}$

因此，平均时间开销为： $10\text{ms} + 10\text{ms} + 1.25\text{ms} = 21.25\text{ms}$ 。

平均数据传输率为： $(512 \times 8)\text{bit} / 21.25\text{ms} = 192.75 \text{ kbps}$ 。

[张冠炜, 131250091]

得分	
----	--

七、(本题满分 10 分)

某计算机的主存容量为 8MB，由 ROM 区和 RAM 区组成，按字编址，每个字 16 位。假设 ROM 区的地址范围为 000000H~0FFFFFFH，RAM 区由 $8K \times 4$ 位的 RAM 芯片构成。请问需要多少个这样的 RAM 芯片？

如果将主存容量理解为 RAM+ROM 的容量：

由于主存容量为 8MB，按字编址，每个字为 16 位，所以主存地址空间的大小为 2^{22} 。ROM 区的地址范围为 000000H~0FFFFFFH，即 ROM 区占用的地址空间大小为 2^{20} ，所以 RAM 区的地址空间大小为 $2^{22} - 2^{20} = 3M$ 。

因此，所需要芯片的数量为： $(3M / 8K) \times (16 / 4) = 1536$ 个。

如果将主存容量理解为 RAM 的容量：

由于主存容量为 8MB，所需要芯片的数量为：

$8MB / (8K \times 4b) = 2048$ 个。

得分	
----	--

八、(本题满分 10 分)

某异步通信总线宽度为 32 位, 地址线和数据线复用, 支持按块传输数据, 每次握手需要 30ns。现以 16 个字大小的块从某设备接收数据, 每个字为 32 位。

(1) 假设该设备准备前 2 个字需要 400ns, 以后每 2 个字的准备时间为 100ns。请问此时的数据传输率为多少?

(2) 假设该设备准备第 1 个字需要 200ns, 以后每个字的准备时间为 150ns。请问此时的数据传输率为多少?

采用异步总线传输数据时, 在第 1 次握手结束后可以开始准备数据, 在第 4 次握手结束后开始第 1 次数据传输。后面的每次数据传输需要 4 次握手, 其中后 3 次用于数据传输。

(1) 第 1 次握手的时间为 30ns; 第 2-4 次握手的时间为 $30\text{ns} \times 3 = 90\text{ns}$, 而准备前 2 个字的时间为 400ns; 其后传输 2 个字的时间为 $30\text{ns} \times 4 \times 2 = 240\text{ns}$, 而准备 2 个字的时间为 100ns。
传自己+把下一个数据放上去

因此, 总的时间开销为: $30\text{ns} + \max\{90\text{ns}, 400\text{ns}\} + \max\{240\text{ns}, 100\text{ns}\} \times (16 - 2) / 2 + (240\text{ns} - 30\text{ns}) = 2320\text{ns}$ 。准备两个传两个, 穿的两个还是先放上一个 传再放上第二个
数据传输率为: $16 \times 32 / 2320 = 220.7\text{Mbps}$ 。

因此最后一次, 要减去一个 30ns

(2) 第 1 次握手的时间为 30ns; 第 2-4 次握手的时间为 $30\text{ns} \times 3 = 90\text{ns}$, 而准备第 1 个字的时间为 200ns; 传输 1 个字的时间为 $30\text{ns} \times 4 = 120\text{ns}$, 而准备 1 个字的时间为 150ns。

因此, 总的时间开销为: $30\text{ns} + \max\{90\text{ns}, 200\text{ns}\} + \max\{120\text{ns}, 150\text{ns}\} \times (16 - 1) + (120\text{ns} - 30\text{ns}) = 2570\text{ns}$ 。

数据传输率为: $16 \times 32 / 2570 = 199.2\text{Mbps}$ 。

得分	
----	--

九、(本题满分 10 分)

假设采用虚拟内存时，页的大小为 32KB，虚拟地址有 40 位，物理地址为 32 位。页表中有效位和修改位各占 1 位，使用位和存取方式位各占 2 位，要求每个页表项的长度为字节的整数倍。如果对页表采用快表，快表中共有 128 行，且使用 4-路组关联映射。请问快表的大小至少为多少字节（含标记）？（说明：快表中每行的长度不要求为字节的整数倍）

由于页的大小为 32KB，则页内地址为 15 位，所以实页个数为 $2^{32} / 2^{15} = 2^{17}$ 个。

因此，每个页表项的长度至少为 $1 + 1 + 2 + 2 + 17 = 23$ 位。由于页表项的长度必须为字节的整数倍，所以每个页表项的长度为 24 位。

快表中共有 128 行，且采用 4-路组关联映射，所以共有 32 个组。页表中共有虚页 $2^{40} / 2^{15} = 2^{25}$ 个，25 位的虚页号中低 5 位表示组号，高 20 位作为标记。因此，快表的大小至少为： $(20 + 24) \times 128 / 8 = 704$ 字节。

[吴超月，131250168]

得分	
----	--

十、（本题满分 10 分）

在 RAID 技术中, RAID2 和 RAID4 并没有被实际应用。请分别阐述 RAID2 和 RAID4 的工作机制, 并解释其没有被实际应用的原因。

RAID2 采用了并行存取技术, 条带非常小, 所有硬盘都要参与每次读写。它对数据盘的相应位计算校验码, 存储在多个校验盘上。虽然 RAID2 提供了较好的纠错机制, 适用于磁盘易出错的环境, 但由于其所需要的冗余磁盘的数量与数据盘数量的对数成正比, 代价较大, 且现有的磁盘已经具有较高的可靠性, 所以 RAID2 没有被实际应用。

RAID4 采用了独立存取技术, 每个磁盘的操作都是独立的。它对每个数据盘的相应条带来计算奇偶校验位, 存放在校验盘上。由于 RAID4 中所有的校验条带位于同一个物理盘上, 校验盘需要参与每一次写操作, 会成为性能瓶颈, 所以 RAID4 没有被实际应用。