“计算机组织结构”作业 03

1. 一个组关联 Cache 由 64 个行组成，每组 4 行。主存储器包含 4K 个块，每块 128 字，请表示主存地址的格式。

   Cache 中共有 64/4=16 组，需要 4 位确定
   每块 128 个字，即 2^7 个字，需要用 7 位确定
   一共有 2^19 个字，需要 19 位确定，剩余 8 位用于标签
   标签 8 位 组号 4 位 字号 7 位

2. 一个两路组关联的 Cache 具有 8K 字节的容量，每行 16 字节。64M 字节的主存时字节可寻址的（即以字节为单位进行访问）。请给出主存地址格式。

   Cache 中共有 8k=2^13 字节的容量，因为每行 16 字节，又有 2^9 行
   因为两路组关联，共有 2^8 组，需要 8 位确定组
   对于主存中的块，需要 4 位找到具体字节
   共有 64M=2^26 个字节，一共需要 26 位
   因此标签位 14 位 组 8 位 字 4 位

3. 假设 Cache 有 4K 字，每行 32 字。对十六进制主存地址：111111、666666、BBBBBB，请用十六进制格式表示如下信息：(1)直接映射 Cache 的地址格式，(2)全关联映射 Cache 的地址格式，(3)两路组关联 Cache 的地址格式。（提示：每个映射方式下，需要将标记、块内地址等分开表示。）[刘璟 121250083]

   Cache 中共有 2^12/2^5=2^7 行，需要 7 位表示
   主存中每块 2^5 字，需要 5 位表示
   1） 直接映射：
      111111：标记位 111，行号（二进制 0001000）08，字号（二进制 10001）11
      666666：标记位 666，行号（二进制 0110011）33，字号（二进制 00110）06
      BBBBBB：标记位 BBB，行号（二进制 1011101）5D，字号（二进制 11011）1B
   2） 全关联映射
      111111：标记位（二进制 000 1000 1000 1000 1000）08888，字号（二进制 10001）11
      666666：标记位（二进制 011 0011 0011 0011 0011）33333，字号（二进制 00110）06
      BBBBBB：标记位（二进制 101 1101 1101 1101 1101）5DDDD，字号（二进制 11011）1B
   3） 两路组关联
      共有 2^6 组，需要 6 位
      每块 2^5 字，需要 5 位表示
      共需要 24 位寻址，因此标记位共有 13 位
      111111：标记位（0 0010 0010 0010）0222，组位（00 1000）08，字号（1 0001）11
      666666：标记位（0 1100 1100 1100）0CCC，组位（11 0011）33，字号（0 0110）06
      BBBBBB：标记位（1 0111 0111 0111）1777，组位（01 1101）1D，字号（1 1011）1B

4. 计算机系统包含容量为 32K×16 位的主存，按字编址，每字 16 位。Cache 采用 4 路组关联的映射方式，数据区大小为 4K 字，主存块大小为 64 字。假设 Cache 初始时是空的，处理器顺序地从存储单元（每个存储单元中包含 1 个字）0,1,…,4351 中取数，然后再重复这一顺序 9 次，并且 Cache 的速度是主存的 10 倍，同时假设块替换用 LRU 算法。请说明使用 Cache 后的改进。

Cache 共有 4K=2^12 个字，每行 2^6 字，共有 2^6 行
4 路组关联，因此是 2^4=16 组
主存块内定位字需要 6 位
主存中有 2^15 个字，因此标签位为 5 位
一次一共取 4352 个存储单元，分为 4352/64=68 个块
首先 68 个块按照 4 路组关联映射到 cache 中，该轮有 4 块未命中：64,65,66,67
接着上面的 4 块替代了上一步最先被占用的 0,1,2,3 块
根据 LRU 算法，将最近用的最少的**块**淘汰，因此第二轮循环将会替代 16,17,18,19
由于 cache 为空，第一轮不会命中，有 68 个空
剩余的 9 轮，每轮都会有 20 个空，该 20 个数为：
0,1,2,3,16,17,18,19,32,33,34,35,48,49,50,51,64,65,66,67
因此 cache 命中率为（43520-68-180）/43520=99.43%
记 cache 单位用时为 I，主存单位用时为 10I
则 10*I/(I+I(1-0.9943))=9.5 加了 cache 后性能约为以前的 9.5 倍

0	1	2	3
16	17	18	19
32	33	34	35
48	49	50	51

64	65	66	67
16	17	18	19
32	33	34	35
48	49	50	51

64	65	66	67
0	1	2	3
32	33	34	35
48	49	50	51

64	65	66	67
0	1	2	3
16	17	18	19
48	49	50	51

5. 考虑一个每行 16 个字节的 4 行 Cache，主存按每块 16 个字节划分，即块 0 有地址 0 到 15 的 16 个字节，等等。先考虑以程序，它以如下地址顺序访问主存：
   一次：63～70
   循环 10 次：15～32，80～95
   (a) 假设 Cache 组织成直接映射式。块 0、4、…指派到行 0，块 1、5、…指派到行 1，如此类推。请计算命中率。

   Cache 行号 = 块号 mod 4
   63 到 70 里，63 在块 3 中，64 到 70 在块 4 中。分别映射到行 3,0
   循环体：
   15 在块 0,16 到 31 在块 1,32 在块 2.分别映射到行 0,1,2
   80 到 95 在块 5，映射到行 1
   未进入循环时，63、64 和原先冲突
   循环体中第一次先在 0 行冲突一次，即 15 和 63 的冲突

后又在 1 行冲突一次，即 16 和 80 的冲突
后面 9 次循环在 1 行冲突 9 次，即 16 和 80 冲突 9 次
总字数为 8+10*（18+16）=348
冲突总字数为 2+4+18=24
命中率为（348-24）/328=93.1%

(b) 假设 Cache 组织成两路组关联映射式，共有两组，每组两行。偶序号块指派到组 0，奇序号块指派到组 1。使用 LRU 替换策略，请计算命中率。

63 在块 3 中，64 到 70 在块 4 中
循环体：
15 在块 0,16 到 31 在块 1,32 在块 2
80 到 95 在块 5
未进入循环时，63、64 和原先冲突
进入循环后，第一次，块 2 和块 4 冲突，即 32 和 64 冲突
块 5 和块 3 冲突，即 80 和 63 冲突
后面 9 次，需要的块都已经在 cache 中，无冲突
总字数为 348
冲突总字数为 6
命中率为（348-6）/348=98.276%

6. 考虑一个存取时间为 1ns 和命中率 H=0.95 的 L1 Cache。假设我们修改了此 Cache 的设计（Cache 的容量、组织），从而是命中率提升到 0.97，但也使存取时间增大到 1.5ns。为使此设计能导致性能改善，这个改变需要满足什么条件？这一结论说明了什么？

条件：设主存的存取时间为 Tns，根据平均存储时间公式，要保证性能改善，即总时间更短
则：T(1-0.95)+1>T(1-0.97)+1.5
0.02T>0.5 T>25
当主存的存取时间为 cache 存取时间的 25 倍及以上时，性能才可以得到改善

说明：要根据主存和 cache 的存取时间设计 cache 的容量和组织，才能使效率尽可能高

7. 假设主存中的 5 个块{1,2,3,4,5}映射到 cache 的同一组，对于主存块访问地址流{1,2,3,4,1,2,5,1,2,3,4,5}，在 3-路组关联、4-路组关联、5-路组关联方式下，分别说明 LRU 算法和 FIFO 算法的命中情况。

LRU 算法
3 路组关联：

1	1	1	4	4	4	5	5	5	3	3	3
	2	2	2	1	1	1	1	1	1	4	4
		3	3	3	2	2	2	2	2	2	5

命中率=2/12=16.67%

4 路组关联：

1	1	1	1	1	1	1	1	1	1	1	5
	2	2	2	2	2	2	2	2	2	2	2
		3	3	3	3	5	5	5	5	4	4
			4	4	4	4	4	4	3	3	3

命中率=4/12=33.33%

5 路组关联：

1	1	1	1	1	1	1	1	1	1	1	1
	2	2	2	2	2	2	2	2	2	2	2
		3	3	3	3	3	3	3	3	3	3
			4	4	4	4	4	4	4	4	4
						5	5	5	5	5	5

命中率=7/12=58.33%

FIFO 算法：

3 路组关联：

1	1	1	4	4	4	5	5	5	5	5	5
	2	2	2	1	1	1	1	1	3	3	3
		3	3	3	2	2	2	2	2	4	4

命中率=3/12=25%

4 路组关联：

1	1	1	1	1	1	5	5	5	5	4	4
	2	2	2	2	2	2	1	1	1	1	5
		3	3	3	3	3	3	2	2	2	2
			4	4	4	4	4	4	3	3	3

命中率=2/12=16.67%

5 路组关联：

1	1	1	1	1	1	1	1	1	1	1	1
	2	2	2	2	2	2	2	2	2	2	2
		3	3	3	3	3	3	3	3	3	3
			4	4	4	4	4	4	4	4	4
						5	5	5	5	5	5

命中率=7/12=58.33%

8. 对一个有两级 Cache 的系统，定义：T_{C1} = 第一级 Cache 存取时间；T_{C2} = 第二级 Cache 存取时间；H_1 = 第一级 Cache 命中率；H_2 = 组合的**第一/二级** Cache 命中率。请给出读操作时间的表示。（提示：需要假设主存的存取时间）

   假设主存存取时间为 T，则读操作时间=Tc1+(1-H1)Tc2+(1-H2)T

9. 假设某处理器的时钟频率为 1.2GHz，当 L1 cache 无缺失时的 CPI 为 1（即 CPU 可以快速地从 L1 cache 中读取指令，并在 1 个时钟周期内完成）。访问一次主存的时间为 100ns （包括所有缺失处理），L1 cache 的**局部缺失率**为 2%。若增加一个 L2

cache，并假定 L2 cache 的访问时间为 5ns，而且其容量足够大到使**全局缺失率**仅为 0.5%。分析增加 L2 cache 后处理器执行程序的效率提高了多少？

该处理器的时钟周期为：1/1.2GHz=1/1.2*10^-9s=0.833ns
T1 = 2%*100ns + 0.833ns = 2.833ns
T2 = 0.833ns + 2%*5ns + 0.5%100ns = 1.433ns
效率提高了 2.833/1.433 = 1.977 倍