

“计算机组织结构”作业 09

- 典型的微处理器是用不同地址去访问指定设备控制器中的 I/O 数据寄存器、控制和状态寄存器。这些寄存器被称为端口 (port)。Intel 8088 使用两类 I/O 指令格式。一类格式中，8 位操作码指定 I/O 操作，后随 8 为端口地址；另一类格式中，I/O 操作码隐含指示端口地址在 16 位的 DX 寄存器中。在每类寻址模式中，8088 能寻址多少端口？
第一类： $2^8=256$ 个端口
第二类： $2^{16}=65536$ 个端口
- 在编程式 I/O 中，处理器陷入一个等待循环来检查 I/O 设备状态。为提高效率，可编写这样的 I/O 软件：处理器周期性地检查设备状态，若设备未就绪，处理器跳转到执行其他任务，在某指定时间长度的间隔后处理器再次检查设备状态。
 - 考虑采用上述方法向打印机一次 1 字符地输出数据。打印机以 10 字符/秒速度运行。若每 20ms 扫描一次它的状态，将发生什么？
打印机 10 字符一秒，等价于一个字符需要 100ms
若每 20ms 扫描一次，将每扫描 5 次才能等到打印机就绪的状态
 - 接着考虑一个具有单一字符缓冲器的键盘。平均而言，字符以 10 字符/秒的速度被敲入。然而两次连续按键的时间间隔是 60ms。I/O 程序应该以什么频率扫描键盘？
为了让每次按键的数据不丢失
扫描的间隔时间应该少于 60ms
因此频率高于 $1/0.06s=16.666\cdots$ ，即扫描频率大于等于 17 次每秒
- 考虑某系统对一个设备使用了中断驱动式 I/O，此设备以平均 64kbps 的速度连续传送数据。
 - 假设中断处理大约用 $100\mu s$ ，每字节中断一次，确定处理器时间的百分之几被这个 I/O 设备所消耗。
每个字节中断一次，即每传输 8b 中断一次
每秒钟传输 8 个字节，即中断 8k 次
每秒钟中断时间为 $800\mu s$ ，这段时间是处理器时间
 $800 \times 10^{-3} / 1 = 0.8 = 80\%$
所以处理器时间的百分之八十被该 I/O 设备消耗
 - 假设这个设备有两个 16 字节的缓冲器并当一个缓冲器满时才中断处理器一次。执行此中断服务时，处理时间需要延长（每传送一个字节处理器要用大约 $8\mu s$ ），重复上问。
缓冲器满等效于每 16 个字节中断一次
a 中每个字节中断一次，中断处理 $100\mu s$ ，则 b 中中断一次需要多传 15 个字节
每一次中断处理时间延长为 $100+15 \times 8=220\mu s$
因为 16 个字节中断一次，每秒能传 8k 字节，则每秒有 500 次中断
 $220 \times 500 \times 10^{-6} / 1 = 0.11 = 11\%$
所以处理器时间的百分制十一被该 I/O 设备消耗
- 在包含 DMA 模块的系统中，一般 DMA 存取主存储器的优先级比处理器存取主存储器的优先级高，为什么？
DMA 优先级比 CPU 高时，CPU 只需要等待一些额外的时钟周期，额外消耗很小
如果 CPU 优先级高于 DMA，那么 CPU 长时间运用内存做其他事情，DMA 缓冲区内 I/O 请求过多，不能及时处理重要的 I/O 操作，同时会有缓冲区溢出和丢失数据的风险

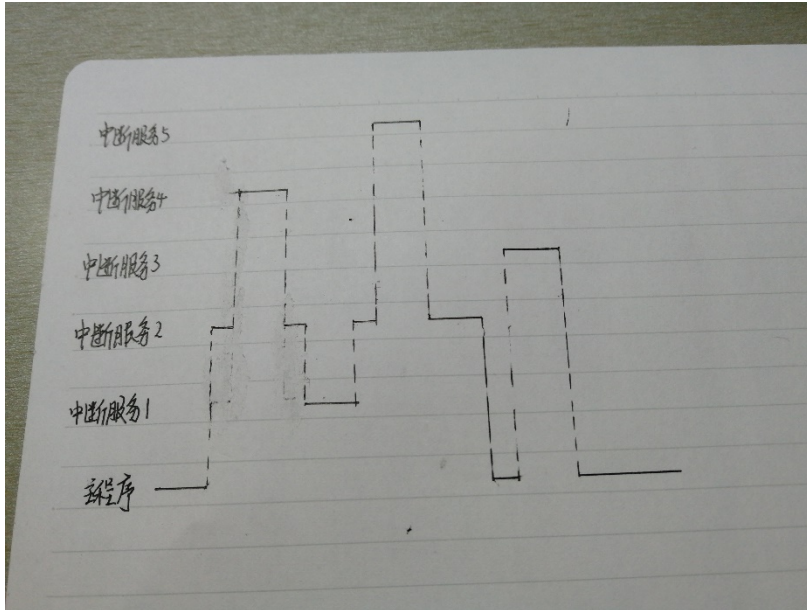
5. 在一个系统中，经由总线的一次数据传送用 500ns。总线控制的传递，无论是由处理器到 DMA 模块还是由 DMA 模块到处理器，两个方向上都是用 200ns。一个有 400kbps 数据传输率的 I/O 设备使用了 DMA 来传送 128 字节的块，每次传送 1 字节的数据。
- a) 若使用突发模式 DMA，即块传送之前 DMA 模块获得总线控制权并一直维持对总线的控制直到整个块传送完。设备占用总线多长时间（含获取总线控制和交回总线控制）？
- 1、总线控制由 CPU 转到 DMA，需要 200ns
 - 2、I/O 传输时间为 $128/50KBps=2.56ms$
 - 3、如果传输 128 个字，总线传输时间为 $128*500ns=64000ns$ ，远小于 I/O 时间
但是实际上 I/O 把数据缓存到 DMA 后，DMA 将其放上总线
因此先传输 127 个的时间可以被 I/O 的总时间覆盖，最后一个字节在总线上的传输时间另行计算
 - 4、总线控制由 DMA 转到 CPU，需要 200ns
- 总时长为 $200ns+2.56ms+500ns+200ns=2.56ms+0.0009ms=2.5609ms$
- b) 若使用周期窃取式 DMA，重复上问。
若使用周期窃取式 DMA，则每次只有 I/O 设备数据缓存好再请求，同时每次传输 1 字节都要交换两次总线控制权
因此总时间为 $128*(200*2+500)=115200ns=0.1152ms$
6. 假定某计算机的 CPU 主频为 500MHz，所连接的某个外设的最大数据传输率为 160kbps，该外设接口中有一个 16 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期，则是否可以用中断方式进行该外设的输入输出？假定该外设的最大数据传输率改为 16Mbps，则是否可以用中断方式进行该外设的输入输出？
- 因为外设的最大数据传输率是 160kbps，其数据缓存器为 16 位
则一秒钟会有 $160k/16=10k$ 次缓存，每一次都需要中断服务程序
因为中断服务程序执行时间为 500 个时钟周期，一秒钟有 500M 个时钟周期
所以每秒钟最多可以完成 1000k 个中断请求
因此可以用中断方式进行该外设的输入输出
- 当外设的最大传输率改为 16Mbps，即提升了 10^2 倍时
一秒钟会有 1M 次缓存，每一次都需要中断服务程序
而该 CPU 每秒刚好最多能完成 1000k=1M 个中断服务程序
(考虑最理想情况下，一秒内 CPU 一直进行中断服务历程同时没有其他影响)
因此能够用中断方式进行该外设的输入输出
7. 若某计算机有 5 级中断，中断响应优先级为 $1>2>3>4>5$ ，而中断处理优先级为 $1>4>5>2>3$ 。要求完成以下工作：
- a) 设计各级中断处理程序的中断屏蔽字（假设 1 为屏蔽，0 为开放）。
- b) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，画出此程序运行过程示意图。

a

	1 号	2 号	3 号	4 号	5 号
一号中断源	1	1	1	1	1
二号中断源	0	1	1	0	0
三号中断源	0	0	1	0	0
四号中断源	0	1	1	1	1
五号中断源	0	1	1	0	1

b

由于 2 的响应优先级高于 4，所以先执行 2 级中断
 4 的中断处理优先级高于 2，再从 2 级中断里中断出来来执行 4 级中断
 4 级中断结束后返回到 2 级中断中，继续执行 2 级中断
 2 中断过程中出现 1，3，5 中断请求，1 的中断处理优先级最高，因此从 2 级中断中中断出来处理 1 级中断，同时屏蔽所有其他中断，1 级中断处理结束后返回 2 级中断
 由于 5 的优先级比 2 高，所以再从 2 级中断里中断出去执行 5 级中断
 5 级中断结束后返回到 2 级中断中，继续执行 2 级中断，直到 2 级中断执行完成
 从 2 级中断返回到主程序
 响应 3 级中断，在此期间没有其他中断请求，于是执行 3 级中断直到完成
 从 3 级中断返回到主程序



8. 假设一个主频为 1GHz 的处理器需要从某个成块传送的 I/O 设备读取 1000 字节的数据到主存缓冲区中，该 I/O 设备一旦启动即按 400kbps 的数据传输率向主机传送 1000 字节

数据，每个字节的读取、处理并存入内存缓冲区需要 1000 个时钟周期，则以下 4 种方式下，在 1000 字节的读取过程中，CPU 用在该设备的 I/O 操作上的时间分别为多少？占整个处理器时间的百分比分别为多少？

- a) 采用查询方式，每次处理一个字节，一次状态查询至少需要 60 个时钟周期。

CPU 频率为 1GHz，即一个时钟周期为 1ns

传输速率 400kbps=50KBps，1000 个字节传输时间为：1K/50K=0.02s=20ms

将一个字节存入缓冲区需要 1000 个时钟周期，即 1000ns

因此对于一个字节，CPU 的时间为：60ns+1000ns=1060ns

1000 个字节，CPU 的时间为：106 000ns=1.06ms

又因为处理器在整个 I/O 操作中被占用，所以实际时间应该为数据传输时间加上最后一个字节存入内存缓冲区的时间

所以总时间为：20ms+1000ns=20.001ms

因此占整个处理器的百分比为 100%

- b) 采用中断驱动 I/O 方式，外设每准备好一个字节发送一次中断请求。每次中断响应需要两个时钟周期，中断服务程序的执行需要 1200 个时钟周期。

传输 1000 个字节一共需要 2000 个时钟周期进行中断响应

需要 120 0000 个时钟周期执行中断服务程序

一个时钟周期为 1ns，因此 CPU 用于 I/O 上的时间为 120 2000ns=1.202ms

要计算占用处理器的时长，需要计算总时长（包括 I/O），同时最后一次中断需要额外计算时间

总时长为 $1000B/50KBps + 1202 \times 10^{-6}ms = 20.001202ms$

则占比为：1.202ms/20.001202ms=0.060096=6.1%

- c) 采用周期挪用 DMA 方式，每挪用一次主存周期处理一个字节，一次 DMA 传送完成 1000 字节数据的 I/O，DMA 初始化和后处理的时间为 2000 个时钟周期，CPU 和 DMA 没有访存冲突。

初始化和后处理的时间为 2000 个时钟周期

该 2000 时钟周期就是 CPU 参与的部分，其他时间都是 DMA 与 I/O 交互

因此 CPU 参与 I/O 的时间为 2000ns = 2 μs

I/O 的总时间为：1000B/50KB+1000ns+2000ns=20ms+3 μs=20.003ms

则占比为：0.002ms/20.003=0.000099985=0.0001=0.01%

- d) 如果设备的速度提高到 40Mbps，则上述 3 种方式中，哪些是不可行的？为什么？对于可行的方式，计算出 CPU 花在该设备 I/O 操作上的时间占整个处理器时间的百分比？

1000 字节传输时间为：1K/5M=1K/5000K=0.2*10⁻³s=0.2ms

1 个字节传输时间为：0.2 μs

(a) 查询到第一个字节后，距离下一个字节时长为 1000 周期的缓冲期加 60 周期的状态查询时间，因此间隔时间为 1060ns=1.060 μs

间隔时间远大于一个字节的传输时间，于是在间隔期间内，可以有多个数据到达数据缓冲区，可能会有数据溢出或丢失的问题，所以不可行

(b) 中断响应和中断服务程序的执行一共需要 1202 个时钟周期，即 1.202 μs，因此响应第二个中断至少需要 1.202 μs，又远大于 0.2 μs。同上会有数据溢出或者丢失的问题，所以不可行

(c) 初始化和后处理的 2000 周期，即 2 μs 的时间是 CPU 参与的时间，数据在传输过程中不会由于中断响应等限制而丢失

I/O 的总时间就为：数据传输时间+最后一位进入缓冲区的时间+CPU 参与时间
所以总时间为：0.2ms+0.003ms=0.2003ms
但是 DMA 接受第一个数据的时间+把所有数据存入主存的时间+CPU 参与时间为
 $0.2\mu s + 1000\mu s + 2\mu s = 1002.2\mu s = 1.0022\text{ms} > 0.2003$
所以 CPU 在 I/O 上时间占所有时间的百分比
为： $0.002/1.0022 = 0.0019956 = 0.002 = 0.2\%$