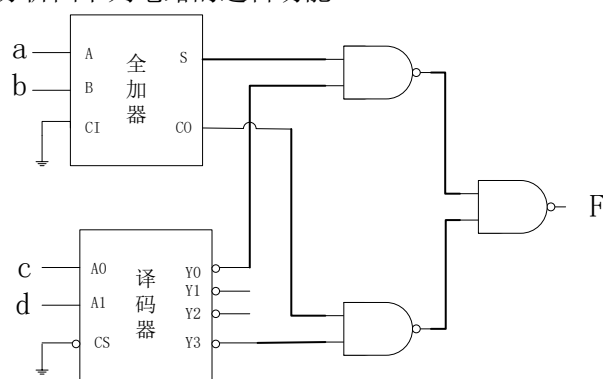
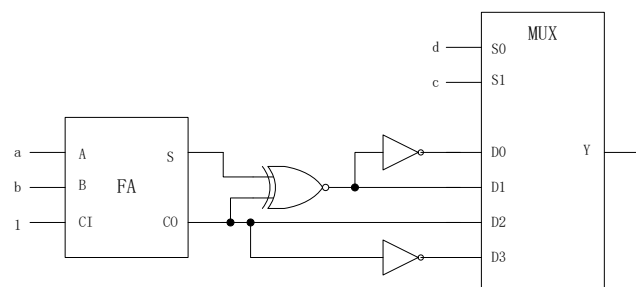


数字电路与数字系统复习思考题

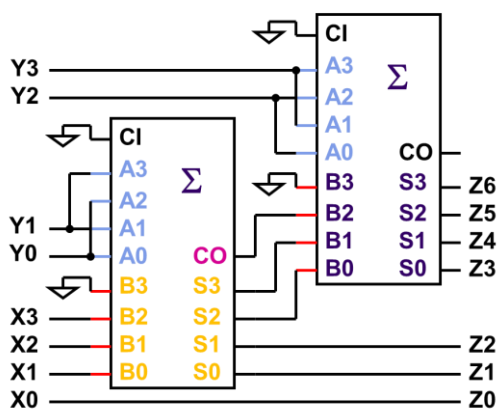
- 1、分别使用布尔代数、卡诺图和QM算法化简下列逻辑表达式,给出最简与或逻辑表达式SOP,判断是否存在冒险现象,如果存在则消除冒险,并利用与非门和查找表LUT两种方法实现该逻辑表达式。 $f(A,B,C,D) = \sum m(2, 5, 7, 8, 10, 12, 13, 15)$
- 2、设计一个1位二进制数的全减器电路: 其中 A_0 、 B_0 分别为被减数和减数, C_0 为低位借位; S_0 为差, C_1 为借位。要求: 列出真值表, 化简输出函数, 并画出使用基本门电路实现的电路图。
- 3、分析图下列电路的逻辑功能。



(1)

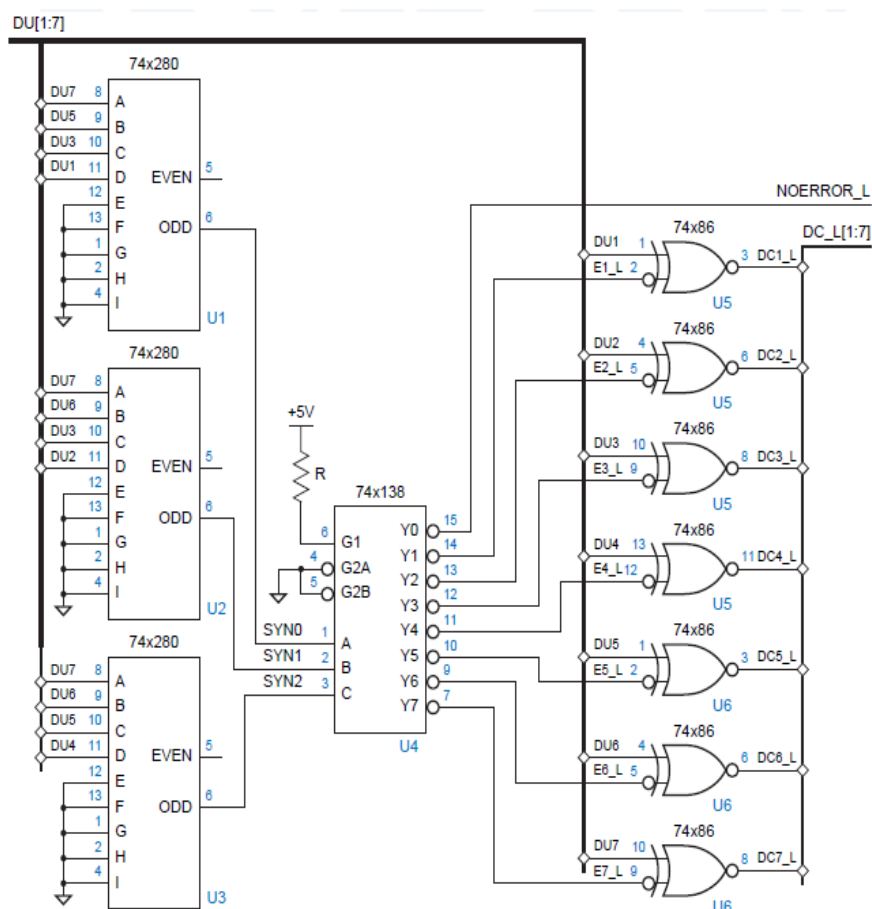


(2)



(3)

- 4、分析题。下图是 7 位汉明码校验电路，请分析其工作原理：解释每一个器件的功能和在整个设计中的作用，说明工作过程；说说实现这个电路需要几种型号器件，各需要多少个？若输入 DU[1:7]是 1010001，请给出其输出值。



- 5、请用一片 3-8 译码器 74x138 和尽可能少的与非门实现下面的函数：
 $f(a,b,c,d) = \sum m(1,3,7,9,15)$ ，画出框图。

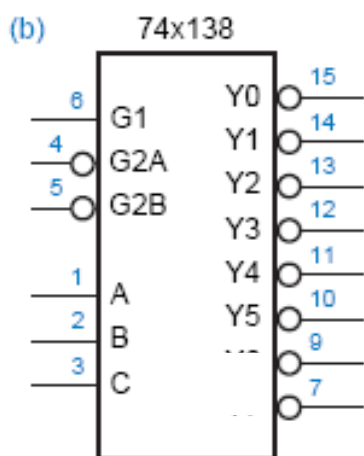
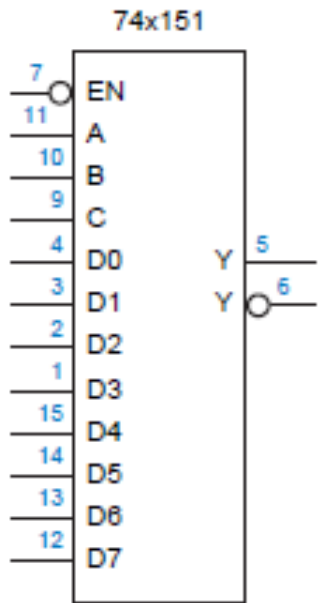


Table 5-7 Truth table for a 74x138 3-to-8 decoder.

Inputs						Outputs							
G1	G2A_L	G2B_L	C	B	A	Y7_L	Y6_L	Y5_L	Y4_L	Y3_L	Y2_L	Y1_L	Y0_L
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

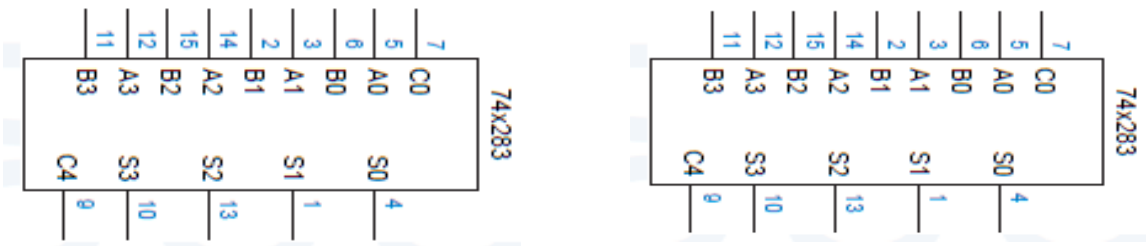
6、用一片 8 选 1 数据选择器 74x151，实现下面的函数：

$$F(w,x,y,z)=\sum m(0,1,5,7,8,10,13,14,15)$$



Inputs				Outputs	
EN_L	C	B	A	Y	Y_L
1	x	x	x	0	1
0	0	0	0	D0	D0'
0	0	0	1	D1	D1'
0	0	1	0	D2	D2'
0	0	1	1	D3	D3'
0	1	0	0	D4	D4'
0	1	0	1	D5	D5'
0	1	1	0	D6	D6'
0	1	1	1	D7	D7'

7、利用两片 4 位先行进位加法器 74x283 和少量与非门,实现两个 4 位 8421BCD 码加法器。分析解题过程，并利用给出的电路图画出实现电路。

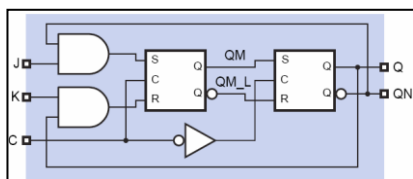


8、请利用一片 3-8 译码器 74x138、4 片 8 选 1 数据选择器 74x151 和尽可能少的门电路，构建 32 输入、1 位数据选择器，请画出电路图，并标注芯片、信号名称。

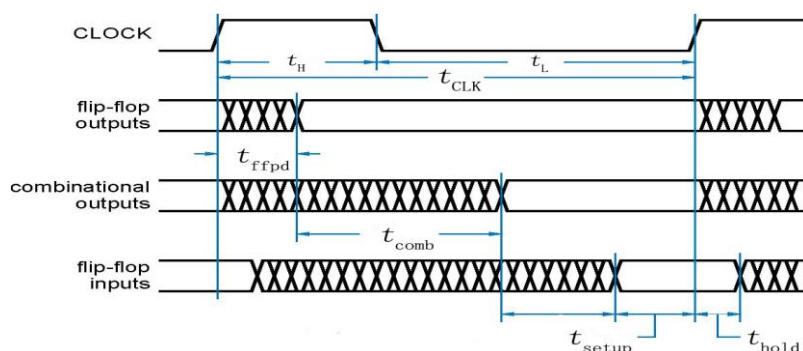
9、使用少量逻辑门电路和一片 8 选 1 数据选择器 74x151，设计 1 位二进制数的算术逻辑单元 ALU，其功能选择如下：

选 择 开 关 s2s1s0	000	001	010	011	100	101	110	111
输出 Y	a 加 b	a-b	ab	a 或 b	$a \oplus b$	\bar{a}	\bar{b}	a

- 10、 画出主从式 JK 触发器的时序图，并说明在什么情况下可能会发生“0 钳位”和“1 钳位”问题。



- 11、 请根据下图所示的某同步时序电路时延情况，解释什么是建立时间容限和保持时间容限。

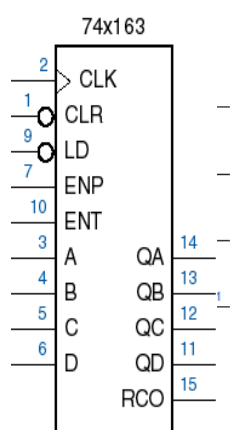


- 12、 SSI 设计题

分别利用三片四位二进制加法计数器 74x163 和 74x161 及少量 74x00 芯片，设计一个模 116 的十进制计数器，要求：计数范围从 1、2、3、...、114、115、116，写出设计过程，画出电路图，并按标准文档要求标示 IC 类型、参考标识符和引脚编号等内容。

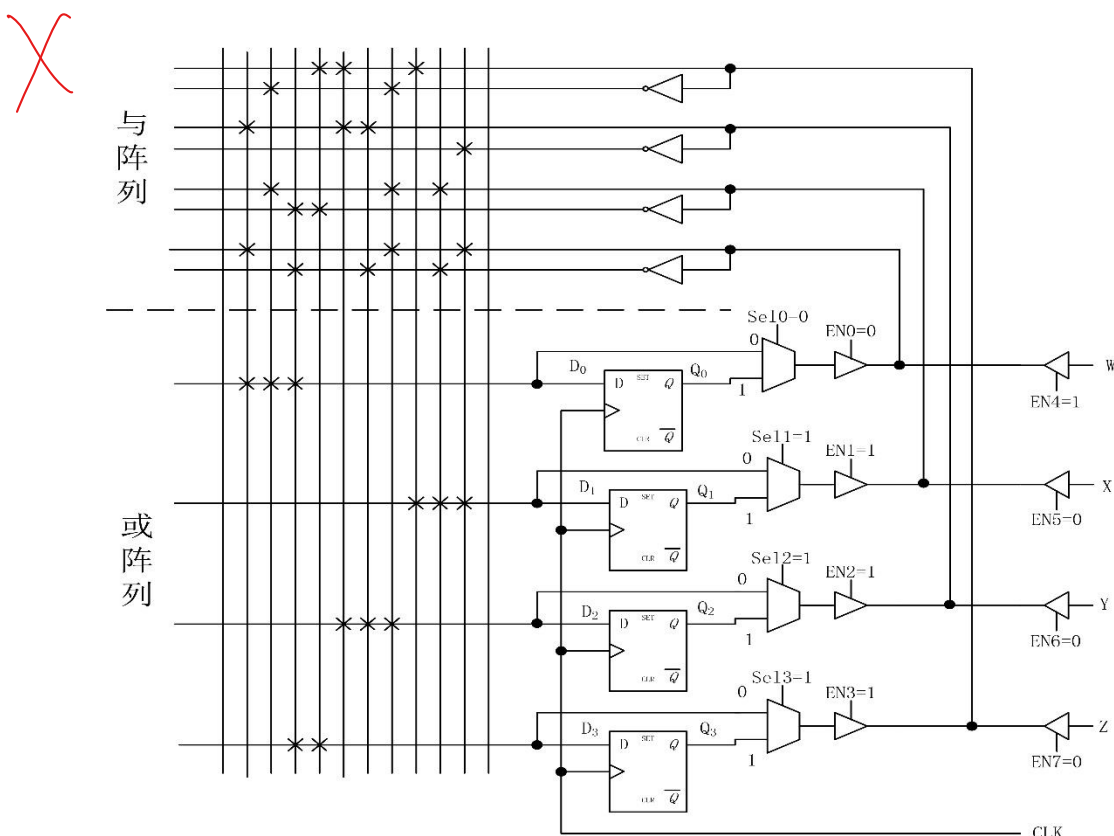
74x161: 4 位二进制**异步清零同步置数**计数器；

74x163: 4 位二进制**同步清零同步置数**计数器



74x163 的功能表					
CLK	CLR	LD	ENP	ENT	工作状态
↑	0	×	×	×	同步清零
↑	1	0	×	×	同步置数
x	1	1	0	1	保持
x	1	1	×	0	保持, RCO=0
↑	1	1	1	1	计数

13、 分析下列可编程时序电路，画出状态转移图，说明电路功能。



要求：

- (1) 写出各触发器的驱动方程；
- (2) 写出各触发器的状态方程；
- (3) 列出状态表；
- (4) 画出状态转移图。

14、 教学楼里有一台自动售货机，假设该自动售货机只能接受 5 角和 1 元的硬币，每件商品的价格为 2 元，该售货机不找零。请利用 D 触发器，设计一个 同步时序电路 实现该售货机控制器。提示：该电路有两个 传感器输入信号 和两个 输出信号（一个满足金额输出信号和一个等待继续投币信号）。

要求：1、写出原始状态图（表）

- 2、化简
- 3、状态分配
- 4、写出激励方程和输出方程
- 5、画出电路图



15、 采用一片 4 位通用移位寄存器 74HC194 和最少的独立逻辑门电路实现一个 10 位序列发生器 “0110001111”。

- 16、 在许多通信和网络系统中，在通信线路上传输的信号采用不归零（NRZ）格式。USB 采用一种特殊的版本，称为翻转不归零（NRZI）。现在要设计一个电路，把任何的 0 和 1 组成的消息序列转换为 NRZI 格式的消息序列。这个电路的映射方式为：

(a) 如果消息位为 0，NRZI 消息发生翻转，从 1 变 0 或从 0 变 1，这取决于当前 NRZI 消息值。

(b) 如果消息位为 1，NRZI 消息保持为 0 或 1，这取决于当前 NRZI 消息值。

转换示例如下，假设 NRZI 消息初始值为 1：

消 息：10001110011010

NRZI 消息：10100001000110

要求：给出该电路的模型状态图，给出电路的状态表并进行状态赋值、推导出激励函数并化简，使用 D 触发器图逻辑门实现该电路的原理图。

- 17、 使用尽可能少的 D 触发器和少量逻辑门设计一个电路，检测到输入变量 X 中出现“11001”序列时，输出 Z 为 1，否则为 0，序列可以重叠检测。要求画出状态图、推导出激励函数并化简，画出电路图。

- 18、 使用尽可能少的 D 触发器和少量逻辑门设计一个电路，模 10 的可逆计数器。要求画出状态图、推导出激励函数并化简，画出电路图。

- 19、 分析下列时序电路：1、不考虑延迟和转换时间的情况下，画出 $Q_0Q_1Q_2Q_3$ 的波形图，2：假设 D 触发器 $t_{\text{setup}} = 0.6 \text{ ns}$ ， $t_{\text{hold}} = 0.4 \text{ ns}$ ， $0.8 \text{ ns} \leq t_{\text{ffpd}} \leq 1.0 \text{ ns}$ ，与门和异或门 $t_{\text{pd}} = 0.6 \text{ ns}$ ，计算出该电路的最高工作频率。3、为提高工作频率，在实现同样功能的情况下，对该电路进行改进。

