

6.9 根据表6-2, 在最坏情况下, 对于74LS00
 $t_{pLH} = t_{pHL} = 15 \text{ ns}$

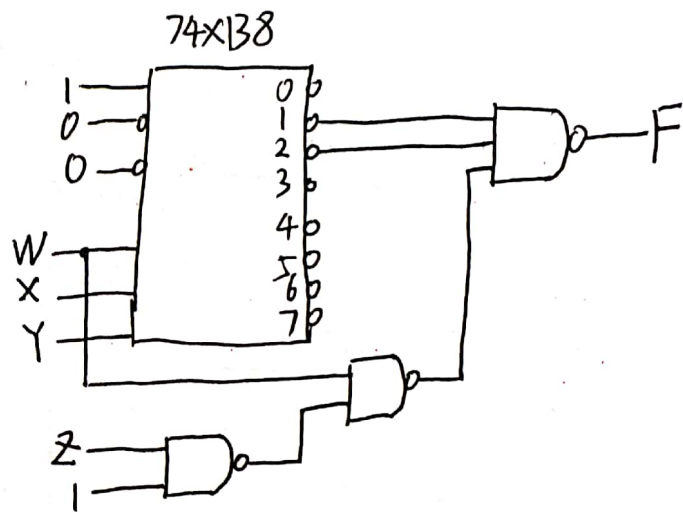
∴ 对于该电路而言, 从低态到高态和高态到低态的转换
 最大传播延迟都是 $15 \times 6 = 90 \text{ ns}$

6.16 低电平有效输出的译码器更快
 因为CMOS反相门一般要比非反相门速度快

6.20 (d)

WX \ YZ	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

电路



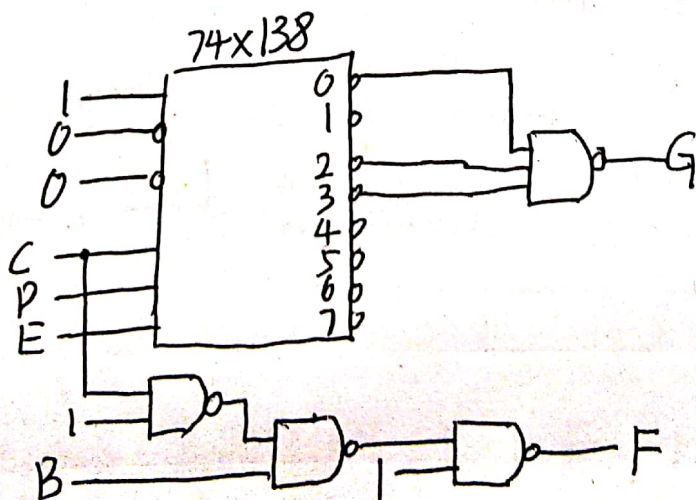
$$F = W \cdot Z' + W' \cdot X \cdot Y' + W' \cdot X' \cdot Y$$

$$(f) F = A'B'C' + A'B \cdot C' = B \cdot C'$$

$$G = \cancel{A \cdot B \cdot C} + \cancel{A \cdot B \cdot C} + \cancel{A} = C'E' + C'D \cdot E$$

$$C'D'E' + C'D \cdot E' + C'D \cdot E$$

电路

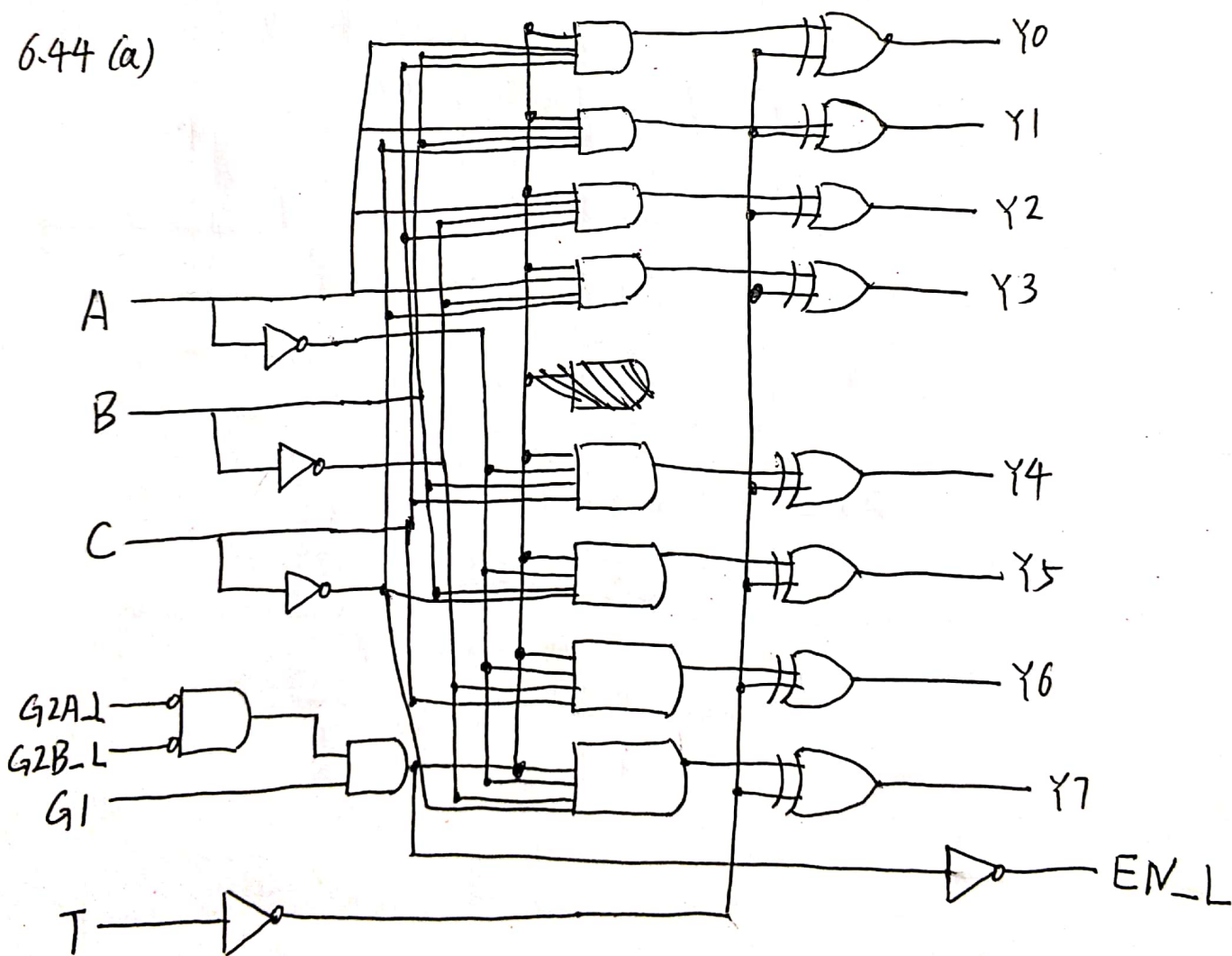


6.21 错误: 两个2-4译码器的使能端的输入是同一个, 这样两个译码器可同时开始工作, 导致1位同线上可能有两个输入

消障方法: 给某一个译码器使能端加反向器, 这样可以保证在任何时刻, 2个译码器仅有1个在工作

6.26 最大传播延迟 = $50 + 41 + 30 = 121 \text{ ns}$

6.44 (a)



$G1, G2A-L, G2B-L$ 是使能信号,三者同时有效时,输出才有效

ENL 指示使能端是否有效

A, B, C 代表输入码字, Y_0-Y_7 是输出, T 为 0 时, 输出低位有效, T 为 1 时输出高位有效



6.50

输入

输出

I	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	1	1	0
9	1	1	1	1

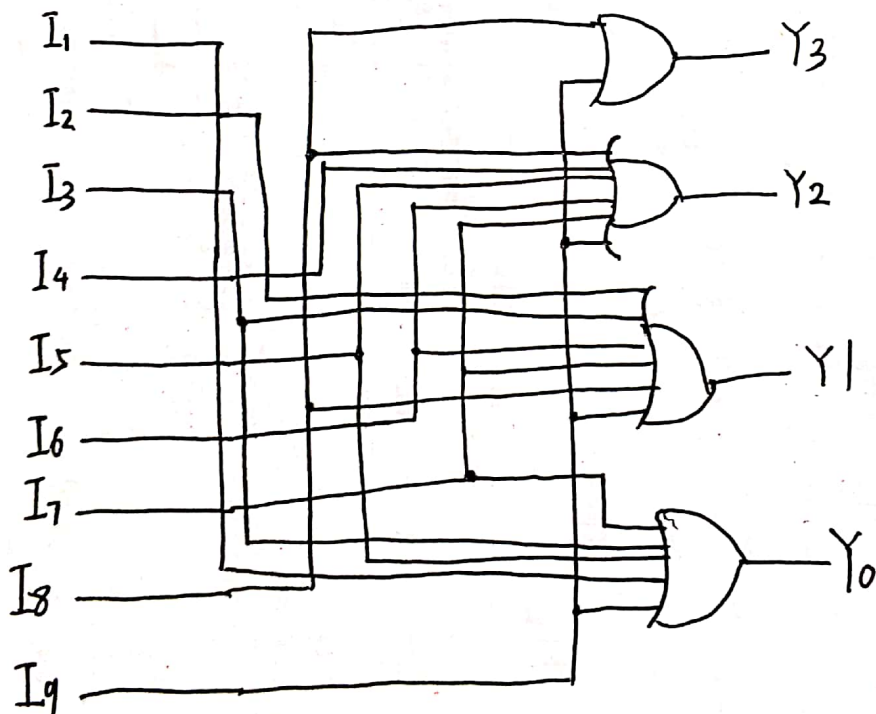
$$Y_3 = I_8 + I_9$$

$$Y_2 = I_4 + I_5 + I_6 + I_7 + I_8 + I_9$$

$$Y_1 = I_2 + I_3 + I_6 + I_7 + I_8 + I_9$$

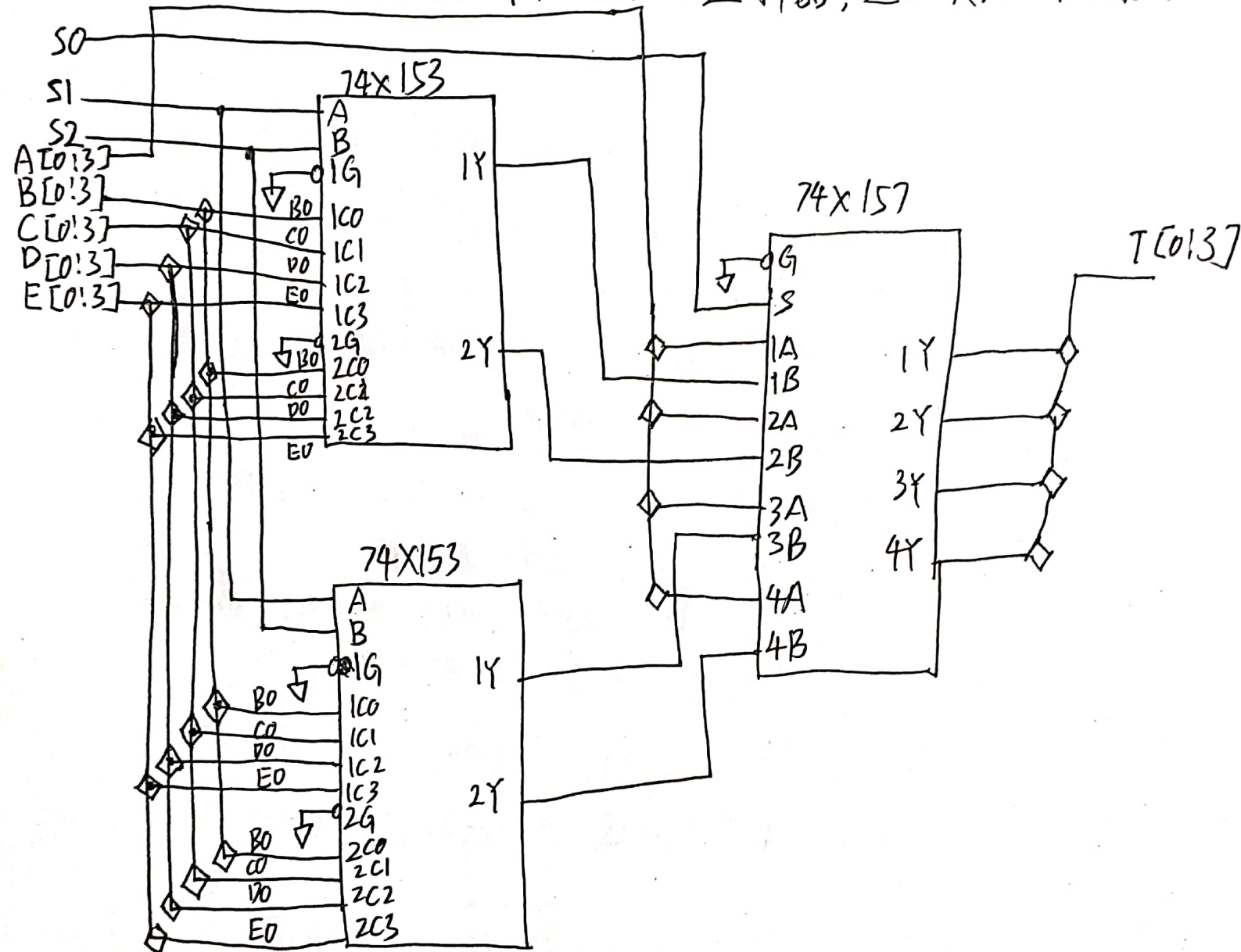
$$Y_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

电路



扫描全能王 创建

6.77 使用4个 4-1多路选择器选出 B.C.D.E 中的一个4位输入
与A的输入连接在4个 2-1多路选择器, 选出最终的输入



6.80 ① 使用 74x08 时

检错时, RD 为 1, 所有 74x280 的输入 I 与存储器输出 POUT 相等
ERROR 取值与 74x280 输出 ODD 相等

D[0:7] 与 POUT 组合, 保证共有偶数个 1, 所以 ERROR 正常为 0
当 D[0:7] 中有 1 位翻转时, 共有奇数个 1, ERROR 是 1

② 使用 74x00 时, I 在非读操作时为 1

检错时, RD 为 1, 所以 $I = \overline{POUT}$

$$ERROR = \overline{ODD}$$

在没有错误时, D[0:7] 与 POUT 组合, 保证有奇数个 1

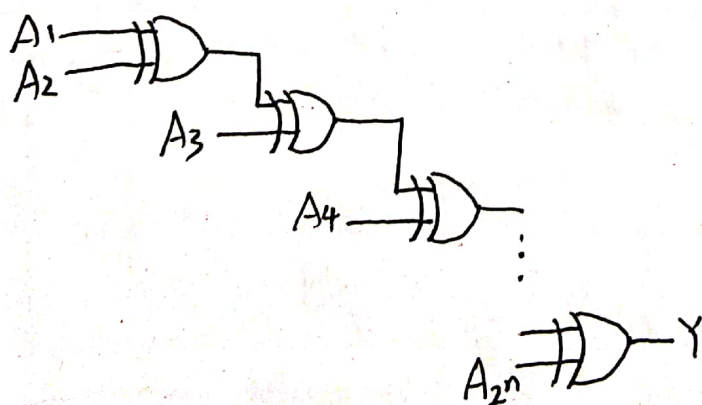
又因为 $I = \overline{POUT}$, 所以 ODD 为 0, ERROR = 1

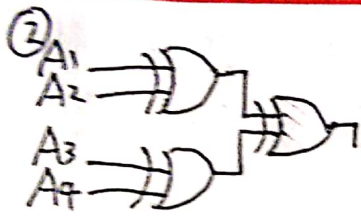
发生 1 位翻转时, D[0:7] 与 POUT 中有偶数个 1

74x280 输入中有奇数个 1

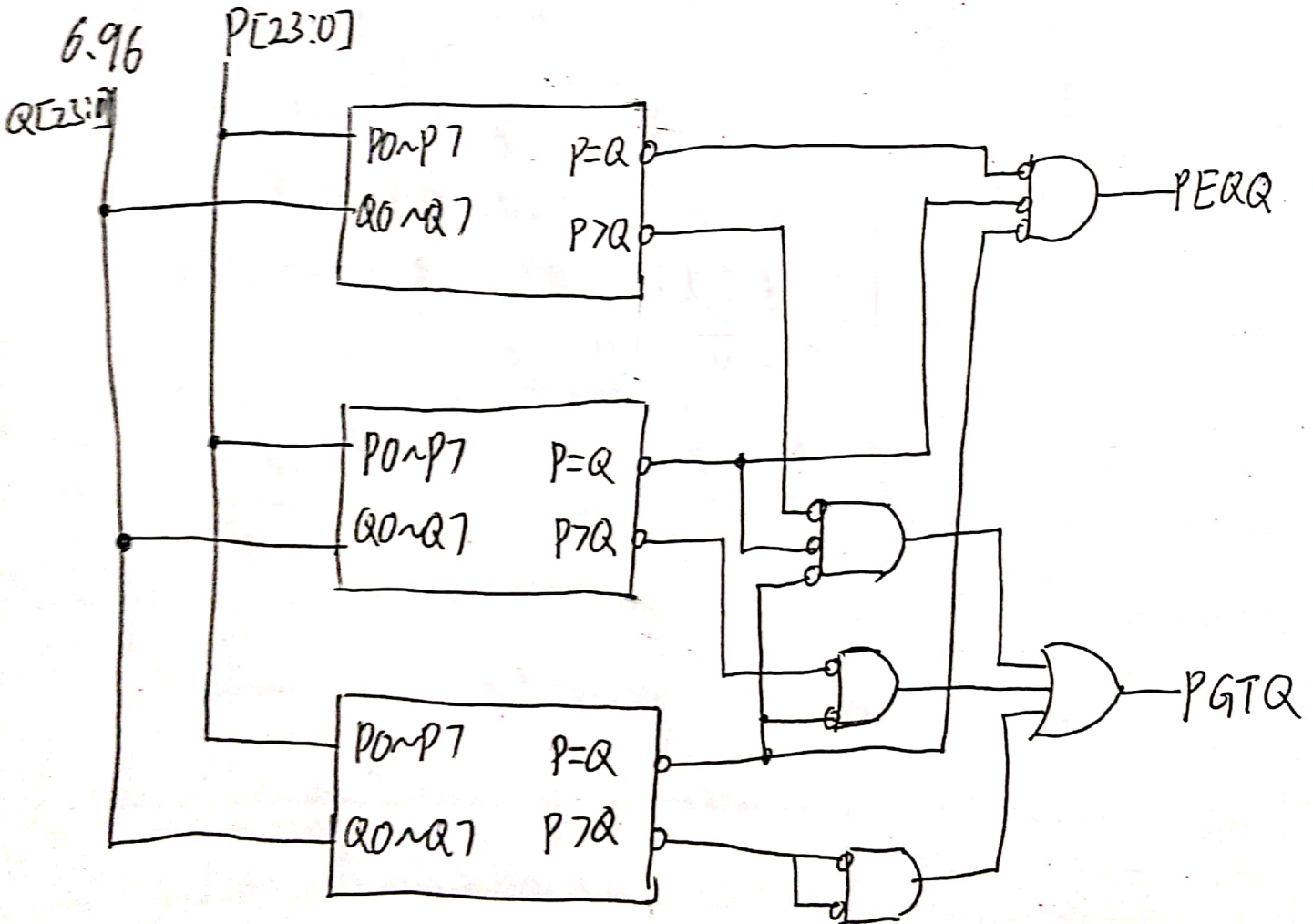
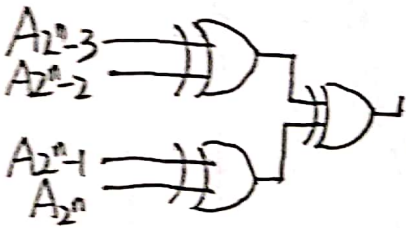
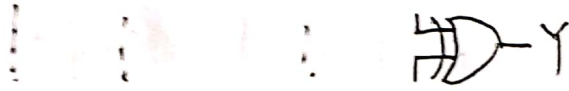
$$ERROR = \overline{ODD} = 0$$

6.82 ① 最大传播延迟, 延迟量为: $(2^n - 1) * \text{异或门延迟量}$





最坏传播延迟, 延迟量为 $\log_2 2^n * \text{异或门延迟量}$
 $= n * \text{异或门延迟量}$



6.100 ~~3.3~~

$$\text{令 } A = \overline{A_3 \cdot B_3} \cdot (A_3 + B_3)$$

$$B = A_2 + B_2$$

$$C = (A_2 \cdot B_2) + (A_1 + B_1)$$

$$D = (A_1 \cdot B_1) + (A_2 \cdot B_2) + (A_0 + B_0)$$

$$E = (A_0 \cdot B_0) + (A_1 \cdot B_1) + (A_2 \cdot B_2)$$

$$\text{则 } S_3 = A \oplus (B \cdot C \cdot D \cdot E)$$

证明：对 S_3 展开式进行化简，若化简后是 $A_3 \oplus B_3 \oplus C_3$ 即可

$$A = \overline{A_3 \cdot B_3} \cdot (A_3 + B_3) = \overline{A_3} \cdot B_3 + A_3 \cdot \overline{B_3} = A_3 \oplus B_3$$

∴ 只需证 $B \cdot C \cdot D \cdot E = C_3$ 即可

根据进位产生信号 g_i 与进位传递信号 p_i



$$C_3 = P_2 \cdot (g_2 + C_2)$$

$$= P_2 \cdot (g_2 + P_1 \cdot (g_1 + C_1))$$

$$= P_2 \cdot (g_2 + P_1 \cdot (g_1 + P_0 \cdot g_0))$$

$$= P_2 \cdot g_2 + P_1 \cdot P_2 \cdot g_1 + P_0 \cdot P_1 \cdot P_2 \cdot g_0$$

$$= P_2 \cdot (g_2 + P_1 \cdot (g_1 + g_0)) \cdot (g_2 + g_1 + g_0)$$

$$\therefore B = P_2, C = g_2 + P_1, D = g_1 + g_2 + P_0, E = g_0 + g_1 + g_2$$

$$\therefore B \cdot C \cdot D \cdot E = C_3$$

得证

6.10) 估计 C_{32} 有 33 项积之和

令 n_i 表示 C_i 的积之和项数

$$\text{设 } C_{31} = X_1 \cdot X_2 \cdots X_n$$

$$C_{32} = P_{31} \cdot (g_{31} + C_{31})$$

$$= P_{31} \cdot (g_{31} + X_1) \cdot (g_{31} + X_2) \cdots (g_{31} + X_n)$$

$$\therefore n_{32} = 1 + n_{31}$$

$$n_{32} = 31 + n_1 = 31 + 2 = 33 \text{ 项}$$

