

面包板实验 2 组合电路实验

一、实验目的

1. 掌握利用基本门电路实现组合逻辑电路的方法
2. 掌握使用组合器件实现组合逻辑电路的方法
3. 掌握组合器件的级联扩展的方法。

二、实验设备和环境

1. 数字电路实验箱 1 个
2. 数字万用表 1 个
3. 集成电路

74HC00	四路 2 输入与非门	4 片
74HC02	四路 2 输入或非门	2 片
74HC04	六路反向器	1 片
74HC10	三路 3 输入与非门	1 片
74HC86	四路 2 输入端异或门	1 片
74HC20	2 路 4 输入与非门	1 片
74HC04	反相器	1 片
74HC139	2-4 译码器	1 片
74HC153	双四选一数据选择器	1 片

三、实验内容和步骤

1. 利用基本逻辑门电路器件实现 1 位二进制数的全加器
(1)、列出真值表，化简后分别写出求和位和进位的逻辑表达式。

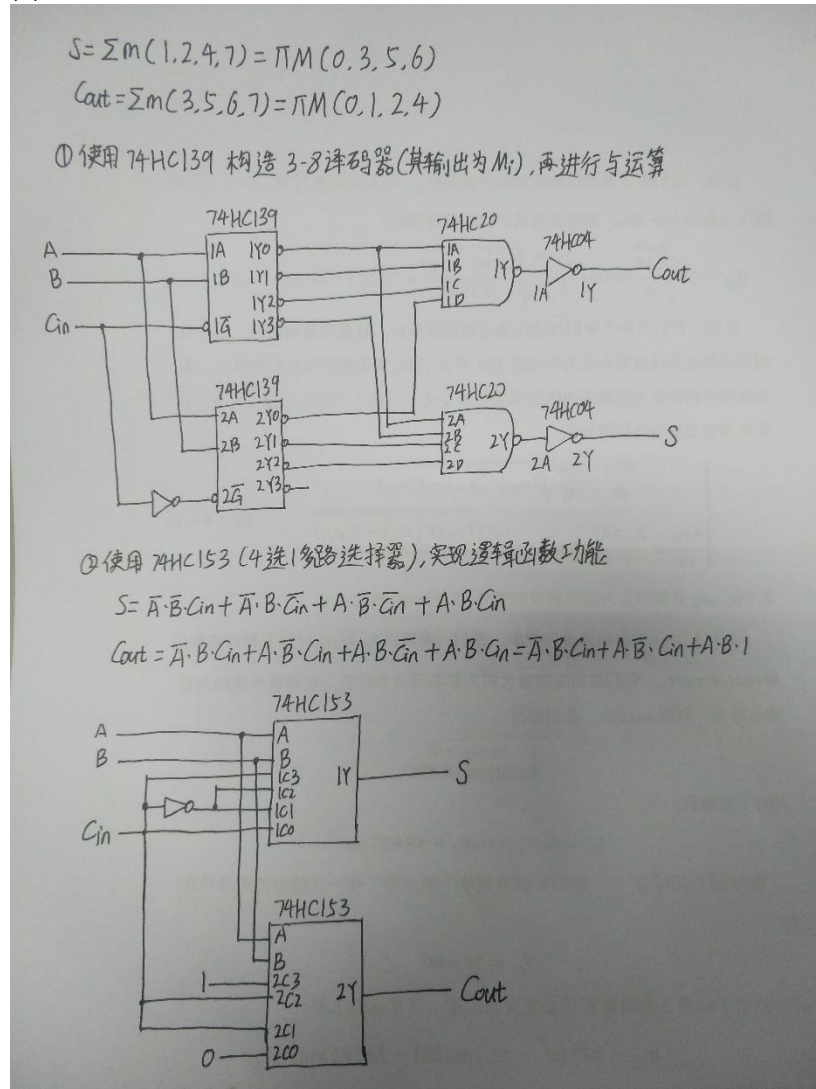
(1)

A	B	C _{in}	S	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{aligned} S &= \bar{A} \cdot \bar{B} \cdot C_{in} + \bar{A} \cdot B \cdot \bar{C}_{in} + A \cdot \bar{B} \cdot \bar{C}_{in} + A \cdot B \cdot C_{in} \\ &= \bar{A} \cdot (\bar{B} C_{in} + B \cdot \bar{C}_{in}) + A \cdot (\bar{B} \cdot \bar{C}_{in} + B \cdot C_{in}) \\ &= \bar{A} \cdot (B \oplus C_{in}) + A \cdot (\overline{B \oplus C_{in}}) \\ &= A \oplus (B \oplus C_{in}) = (A \oplus B) \oplus C_{in} \\ C_{out} &= \bar{A} \cdot B \cdot C_{in} + A \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot \bar{C}_{in} + A \cdot B \cdot C_{in} \\ &= (A \oplus B) \cdot C_{in} + A \cdot B \end{aligned}$$

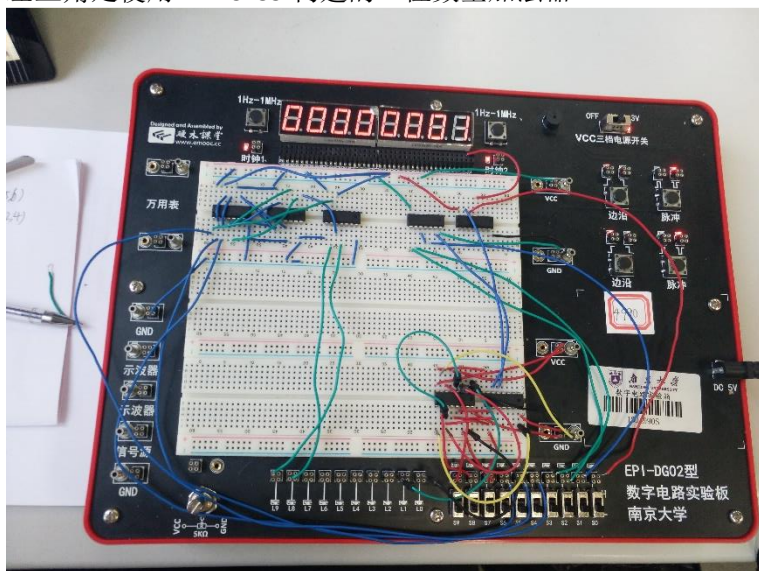
2、分别以 1 片 2-4 译码器 74HC139 和 1 片 4 选 1 多路选择器 74HC153 为主加上尽可能少的逻辑门电路实现一位二进制数全加器。

(1)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。

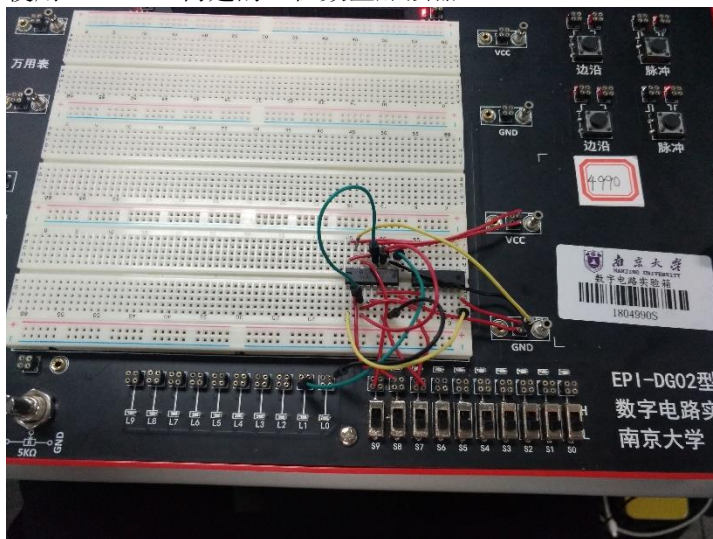


(2)、在面包板实验箱上实现该电路，填写真值表。

左上角是使用 74HC139 构建的一位数全加法器



使用 74HC153 构建的一位数全加法器



根据实现的电路填写真值表：

输入			输出	
A	B	C _{in}	S	C _{out}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

3、利用基本逻辑门电路设计一个 4 位二进制数的检测电路，当输入无符号二进制数为 2、3、5 的倍数时，输出 1。将输入、输出端分别接入到 1 只 7 段数码显示管上，当输出为 1 时，数码管显示 1，输出为 0 时，数码管显示 0。

要求：设计出最简的逻辑电路图。并在 Logisim 中实现，保存电路设计文件、导出电路图，并粘贴到实验报告中；在面包板实验箱中实现该电路，列出真值表，验证设计电路的逻辑功能（提示可以使用 4 输入与非门 74X20）。

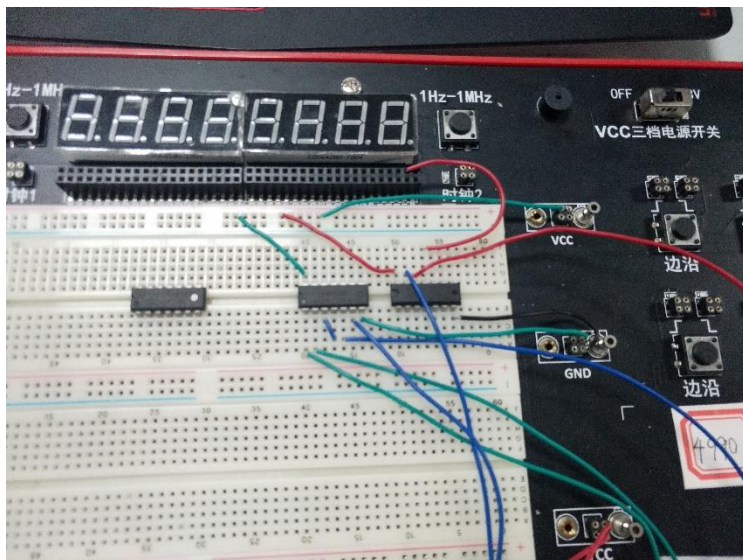
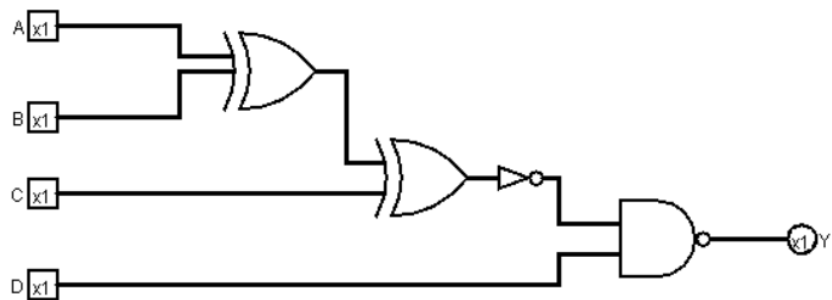
A	B	C	D	Y
0	0	0	0	0
1	0	0	0	0
2	0	0	1	1
3	0	0	1	1
4	0	1	0	1
5	0	1	0	1
6	0	1	1	0
7	0	1	1	0
8	1	0	0	1
9	1	0	0	1
10	1	0	1	1
11	1	0	1	0
12	1	1	0	1
13	1	1	0	0
14	1	1	1	1
15	1	1	1	1

$$Y = \overline{C}D + C\overline{D}$$

$$Y = \overline{D} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}B\overline{C} + ABC$$

$$= \overline{D} + ((A \oplus B) \oplus C)$$

$$= \overline{D} \cdot ((A \oplus B) \oplus C)$$

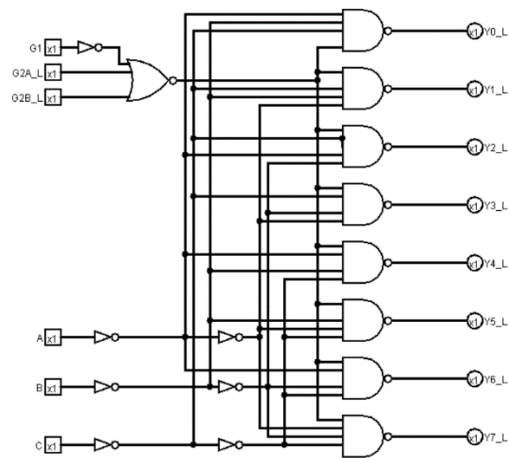


真值表：

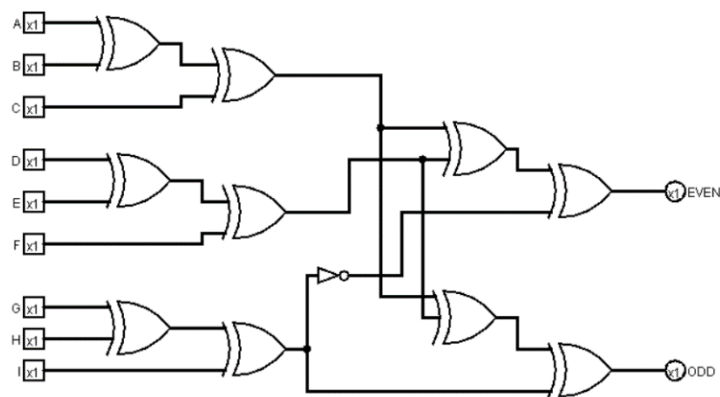
输入				输出
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

4、利用 logisim 实现课本图 6-73 的 7 位汉明码纠错电路，要求：输入一个错误汉明码验证电路正确性，保存电路设计源文件，导出电路图到实验报告中。

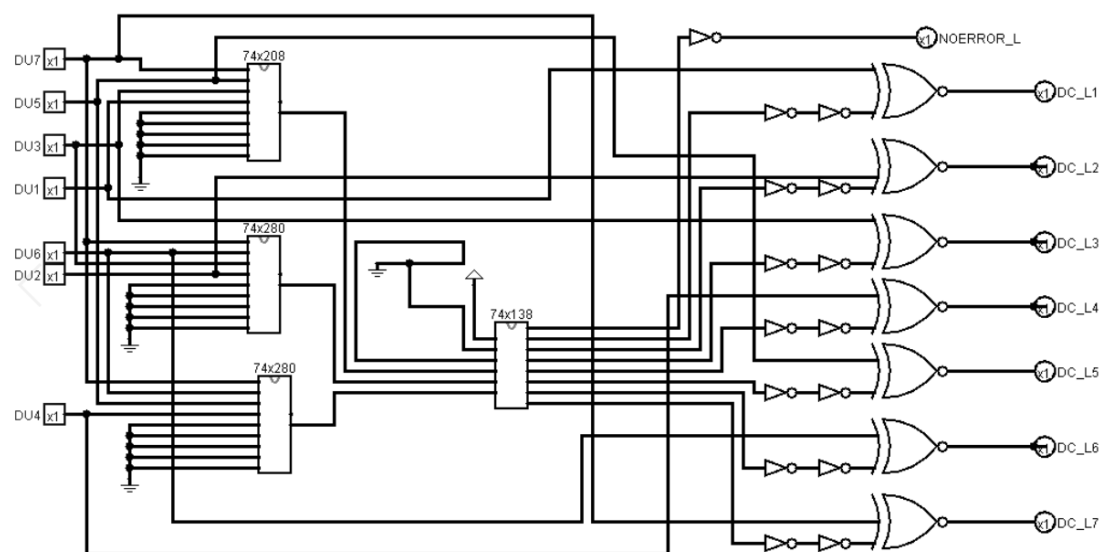
74x138:



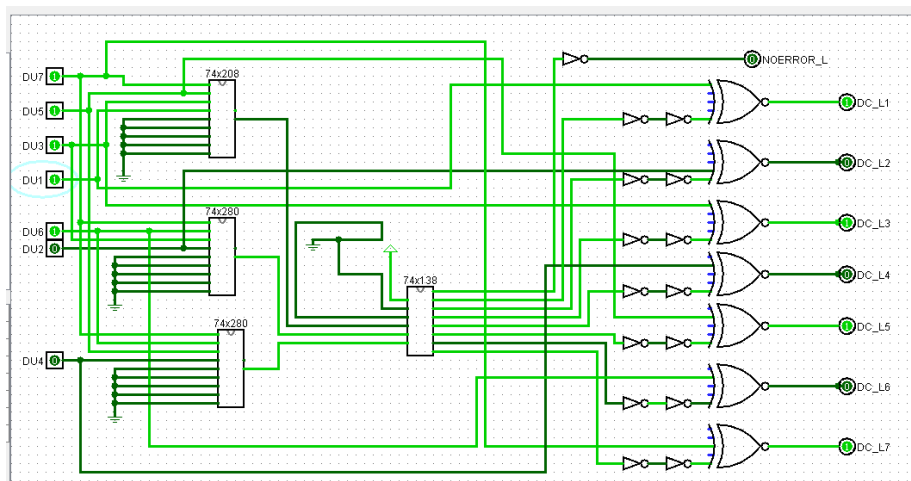
74x280:



汉明码纠错电路:



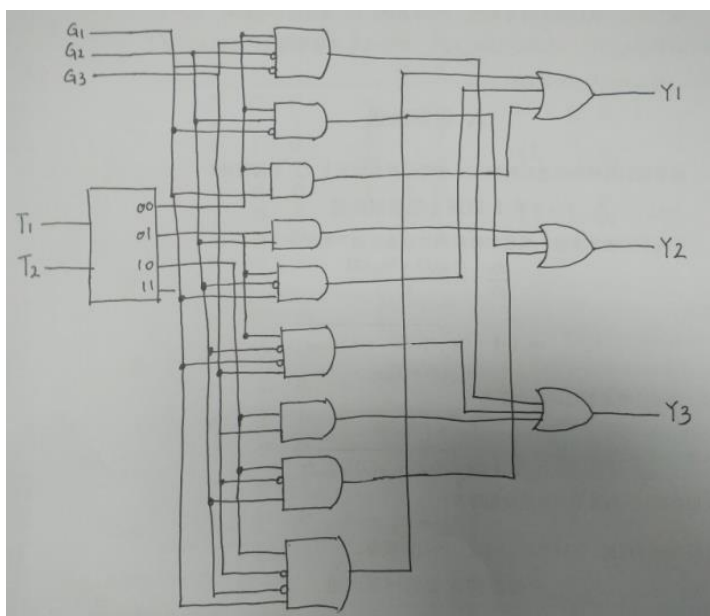
进行验证：输入 1110101，第 6 位有错，在输出中被纠正



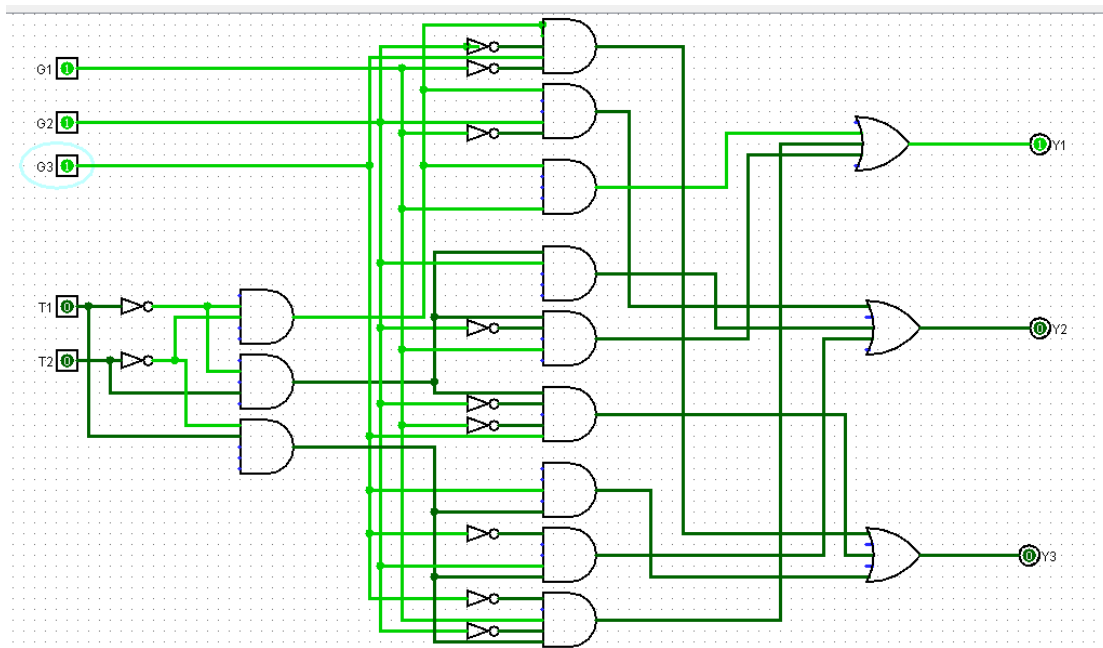
5、设计一公用计算机房的分时上机控制电路。此控制电路策略如下：用 A、B 两个控制端表示时间段，00：表示上午，01：表示下午，10：表示晚上。有三个年级的学生需要上机，但在不同的时间段，他们上机的优先顺序不同：上午为 1 年级>2 年级>3 年级，下午为 2 年级>1 年级>3 年级，晚上为 3 年级>2 年级>1 年级。电路的输出 Y1、Y2 和 Y3 为 1 时分别表示 1 年级、2 年级和 3 年级学生能上机。采用合适组合逻辑实现该电路，要求写出设计全过程，并画出逻辑电路图。（选做）

T	G ₁	G ₂	G ₃	Y1	Y2	Y3	
00	0	0	0	0	0	0	$Y1 = T_0 G_1$
	0	0	1	0	0	1	$Y2 = T_0 \overline{G_1} \cdot G_2$
	0	1	0	0	1	0	$Y3 = T_0 \overline{G_1} \cdot \overline{G_2} \cdot G_3$
	0	1	1	0	1	0	
	1	0	0	1	0	0	
	1	0	1	1	0	0	
	1	1	0	1	0	0	
	1	1	1	1	0	0	
01	0	0	0	0	0	0	$Y1 = T_1 \cdot \overline{G_2} \cdot G_1$
	0	0	1	0	0	1	$Y2 = T_1 \cdot G_2$
	0	1	0	0	1	0	$Y3 = T_1 \cdot \overline{G_2} \cdot \overline{G_1} \cdot G_3$
	0	1	1	0	1	0	
	1	0	0	1	0	0	
	1	0	1	1	0	0	
	1	1	0	0	1	0	
	1	1	1	0	1	0	
10	0	0	0	0	0	0	$Y1 = T_2 G_1 \cdot \overline{G_2} \cdot \overline{G_3}$
	0	0	1	0	0	1	$Y2 = T_2 G_2 \cdot \overline{G_3}$
	0	1	0	0	1	0	$Y3 = T_2 G_3$
	0	1	1	0	0	1	
	1	0	0	1	0	0	
	1	0	1	0	0	1	
	1	1	0	0	1	0	
	1	1	1	0	0	1	

2-4 译码器
使用 4 选 1 数据选择器 选择 T
G₁, G₂, G₃ 代表 3 个年级



已在 logisim 中进行验证：



四、思考题

- 总结组合逻辑电路的分析和设计方法。
 - (1)分析：由给定电路得到逻辑表达式，由输入端逐级写出各门输出，进而写出完整的逻辑表达式；或者使用真值表写出函数的最小项表示，再进行化简。
 - (2)设计：根据需求列出真值表，使用卡诺图或者 QM 算法进行化简。
- 说说组合器件级联扩展的实现方法。

分析不同元器件的特性，了解不同元器件输入输出和基本功能，利用一个元器件的输出作为另一个元器件的输入。充分利用封装好的元器件的功能，构建组合逻辑电路。