

# 数字电路与数字系统实验报告

## 实验三：时序逻辑电路

院系：人工智能学院

姓名：张运吉

学号：211300063

班级：21 级人工智能学院 AI2 班

邮箱：211300063@smail.nju.edu.cn

时间：2022 年 4 月 24 日

# 目录

|                |    |
|----------------|----|
| 1 实验目的:        | 3  |
| 2 实验环境         | 3  |
| 3 实验内容:        | 3  |
| 3.1 D 触发器      | 3  |
| 3.1.1 实验背景和原理  | 3  |
| 3.1.2 实验步骤     | 4  |
| 3.1.3 实验结果     | 5  |
| 3.2 4 位行波加法计数器 | 5  |
| 3.2.1 实验背景和原理  | 5  |
| 3.2.2 实验步骤     | 6  |
| 3.2.3 实验结果     | 7  |
| 3.3 4 位通用移位寄存器 | 7  |
| 3.3.1 实验背景和原理  | 7  |
| 3.3.2 实验步骤     | 8  |
| 3.3.3 实验结果     | 9  |
| 4 总结与思考:       | 10 |

## 1 实验目的：

- a. 掌握使用Logisim软件设计、实现时序逻辑电路的方法
- b. 掌握触发器、计数器的设计方法和实现步骤
- c. 学习寄存器和寄存器堆的设计和实现方法
- d. 学习移位寄存器的设计原理和实现方法

## 2 实验环境

- a. Logisim 2.7

<http://www.cburch.com/logisim/>

- b. 头歌线上评测平台

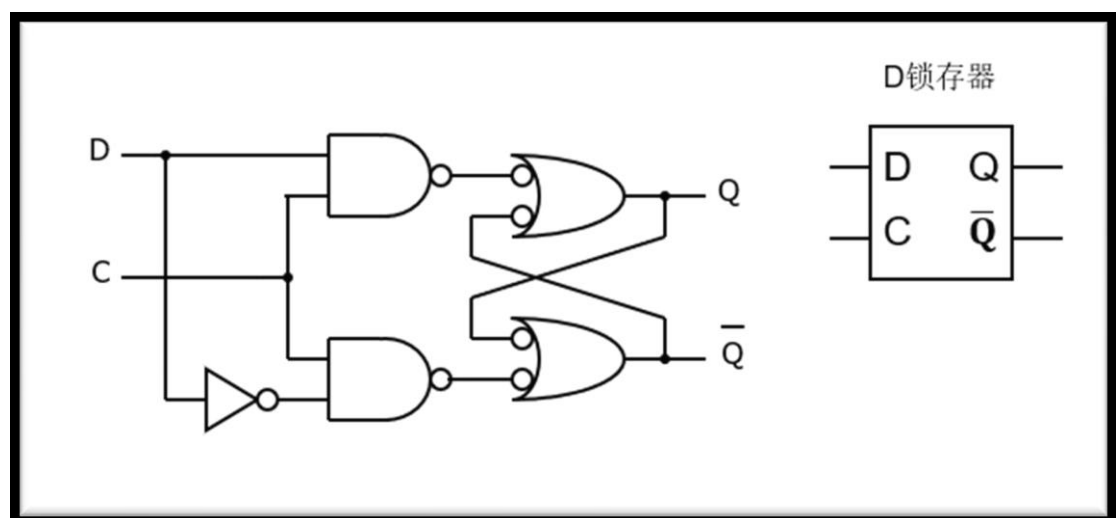
<https://www.educoder.net/classrooms/9WBKOH3C?code=OVNB8>

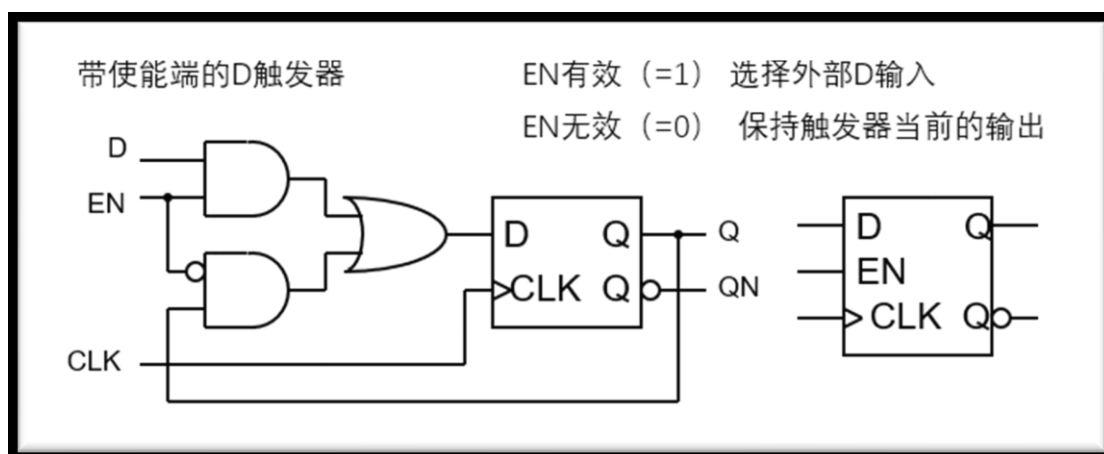
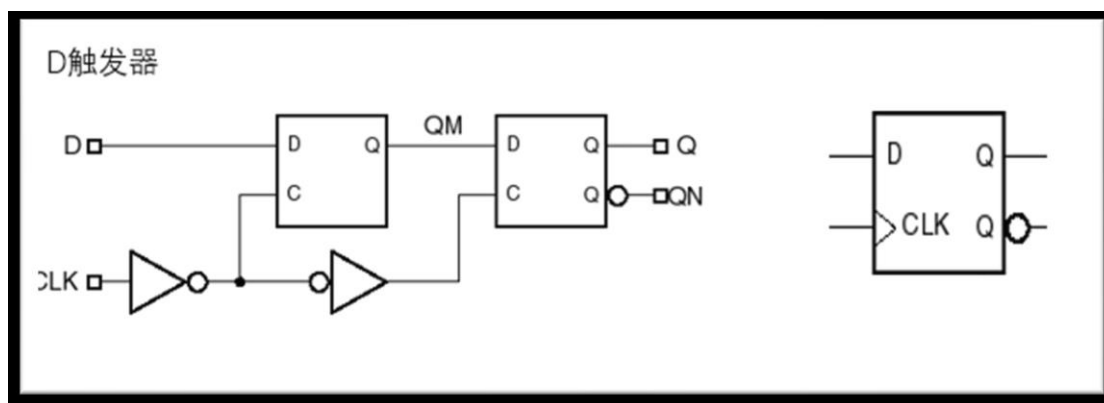
## 3 实验内容：

### 3.1 D 触发器

#### 3.1.1 实验背景和原理

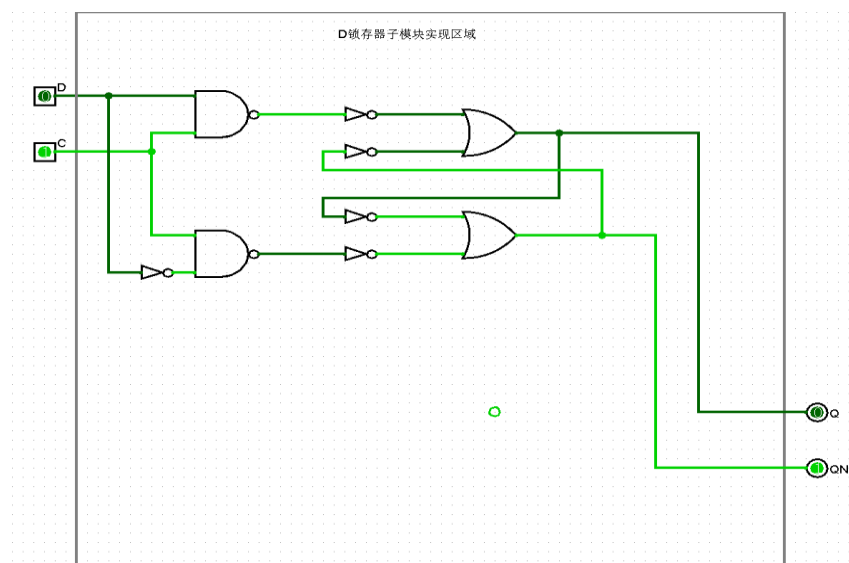
D触发器是一种典型的时序逻辑部件，其采用时钟边沿触发机制，可以大大提高状态的稳定性。D触发器可以用两个D锁存器构建，下图分别给出了D锁存器，D触发器和带使能端的D触发器的原理图。输入信号有D（数据输入端）、EN（高电平有效）、CLK；输出信号有Q、QN。



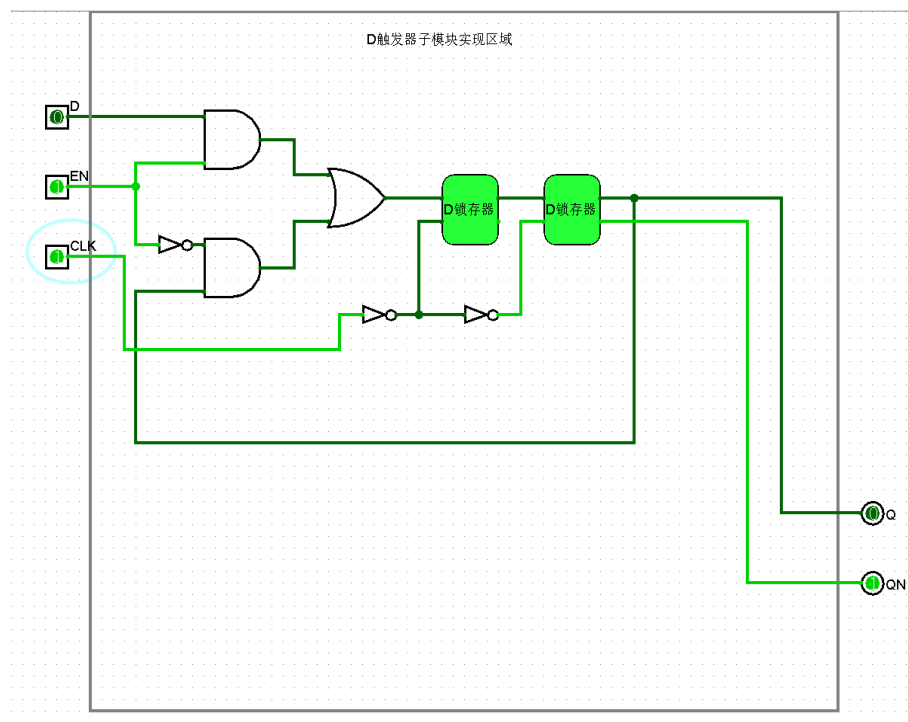


### 3.1.2 实验步骤

(1). 首先按照原理图在logisim中构建出D锁存器。如图所示：



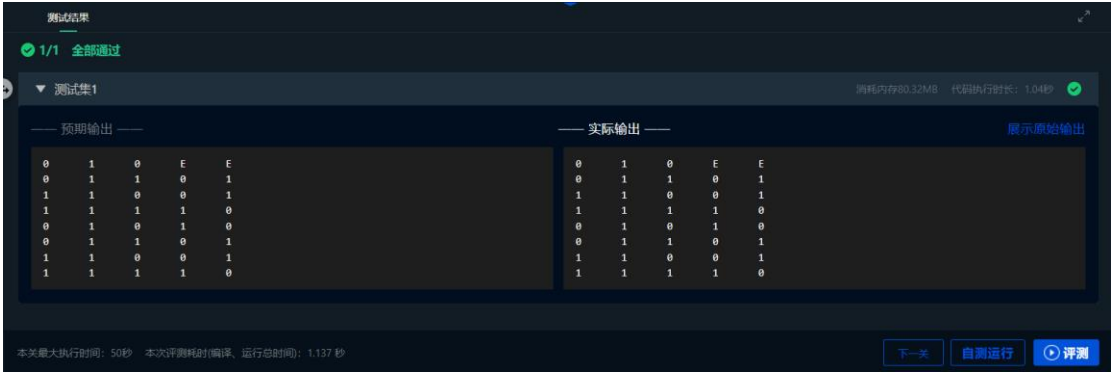
(2). 使用封装好的D锁存器构造带有使能端的D触发器。如图所示：



(3). 进入仿真测试，改变输入的值，记录输出的值，并验证输出结果是否符合功能逻辑。

### 3.1.3 实验结果

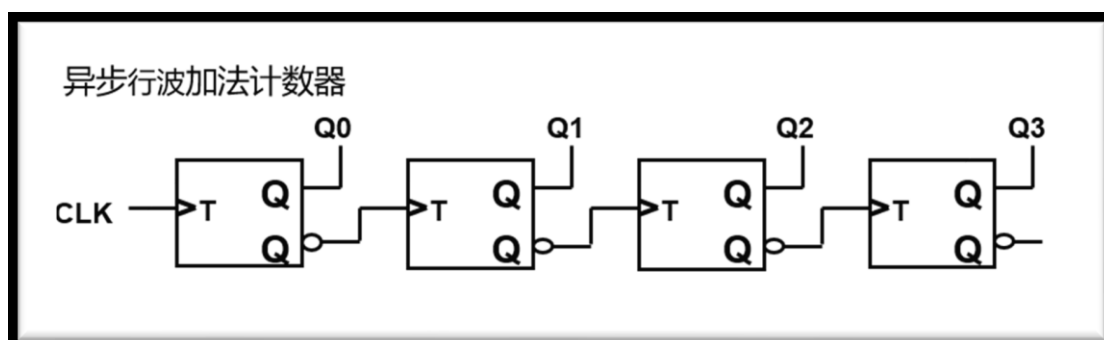
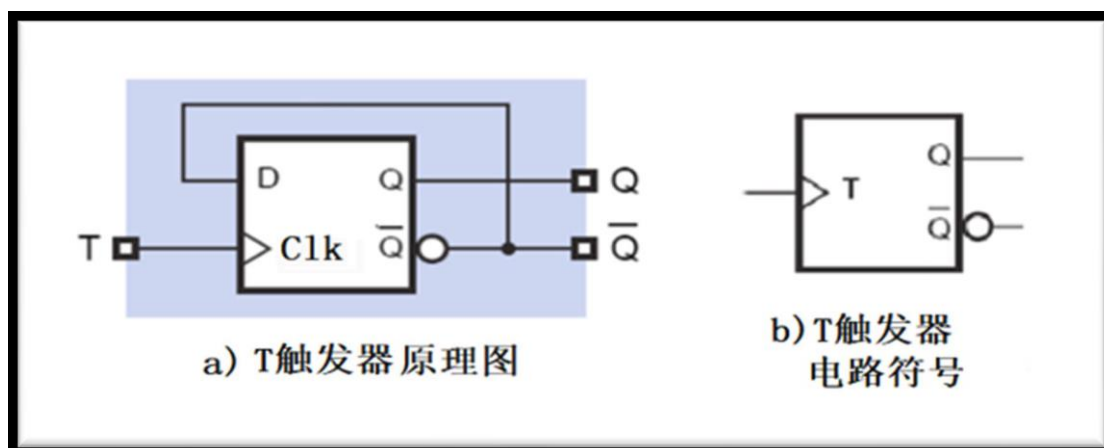
将circ文件提交到头歌测试平台，得到实验结果。如下图所示：



## 3.2 4 位行波加法计数器

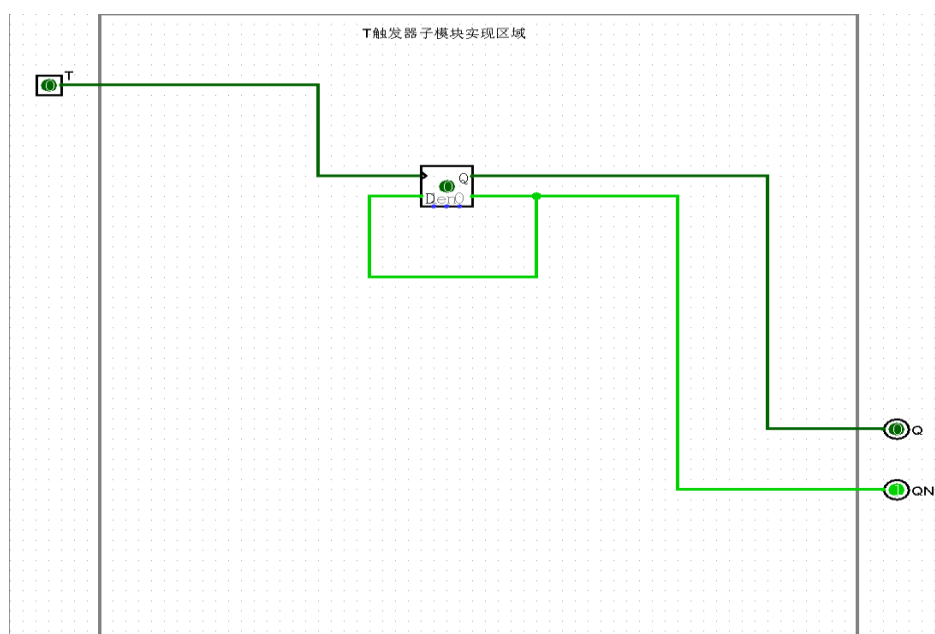
### 3.2.1 实验背景和原理

行波加法计数器的进位像波浪一样由低位向高位串行传送。模 16 行波加法计数器可由 4 个T触发器组成。下图分别给出了T触发器和 4 位行波加法计数器的实现原理图。计数器的输入信号为CLK，输出信号为Q0、Q1、Q2、Q3。

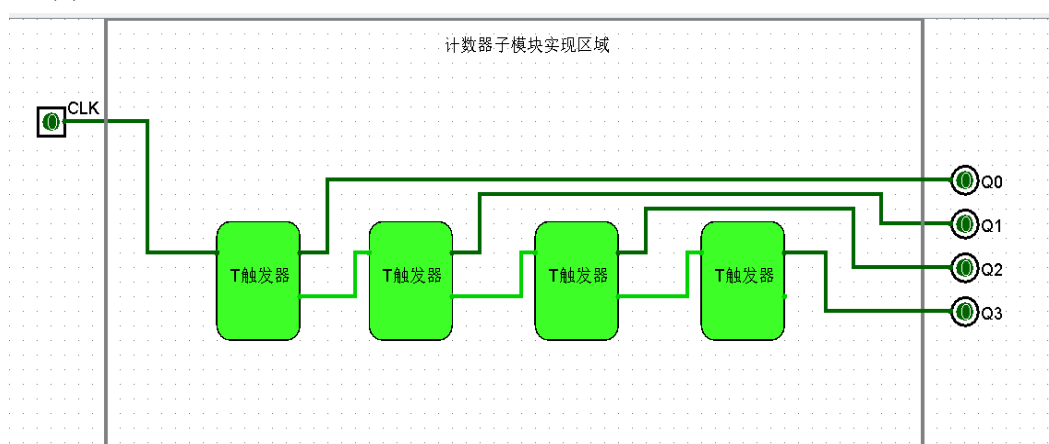


### 3.2.2 实验步骤

(1). 在logisim中构造T触发器，只需将D触发器的输出端notQ接到输入端。如图所示：



(2). 级联四个T触发器，实现加法计数器。如图所示：



(3). 进入仿真测试，改变输入的值，记录输出的值，并验证输出结果是否符合功能逻辑。

### 3.2.3 实验结果

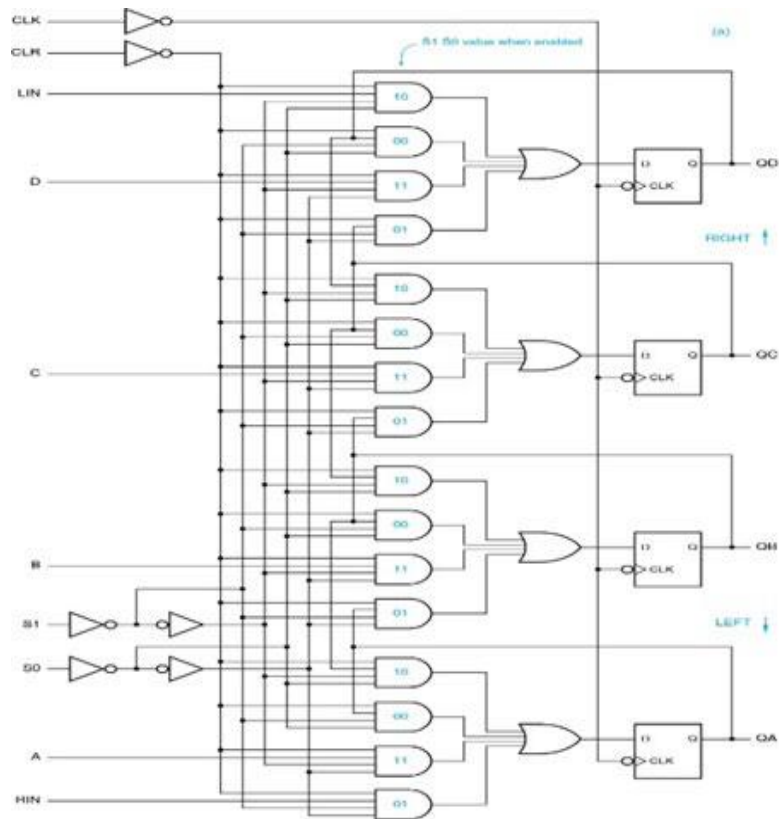
将circ文件提交到头歌测试平台，得到实验结果。如下图所示：

| 测试结果                       |   |   |   |   |      |   |   |   |   |
|----------------------------|---|---|---|---|------|---|---|---|---|
| 1/1 全部通过                   |   |   |   |   |      |   |   |   |   |
| 测试集1                       |   |   |   |   |      |   |   |   |   |
| 消耗内存232.66MB 代码执行时长: 1.26秒 |   |   |   |   |      |   |   |   |   |
| 预期输出                       |   |   |   |   | 实际输出 |   |   |   |   |
| 0                          | 0 | 0 | 0 | 0 | 0    | 0 | 0 | 0 | 0 |
| 1                          | 0 | 0 | 0 | 0 | 1    | 0 | 0 | 0 | 0 |
| 0                          | 1 | 0 | 0 | 0 | 0    | 1 | 0 | 0 | 0 |
| 1                          | 1 | 0 | 0 | 0 | 1    | 1 | 0 | 0 | 0 |
| 0                          | 0 | 1 | 0 | 0 | 0    | 0 | 1 | 0 | 0 |
| 1                          | 0 | 1 | 0 | 0 | 1    | 0 | 1 | 0 | 0 |
| 0                          | 1 | 1 | 0 | 0 | 0    | 1 | 1 | 0 | 0 |
| 1                          | 1 | 1 | 0 | 0 | 1    | 1 | 1 | 0 | 0 |
| 0                          | 0 | 0 | 0 | 1 | 0    | 0 | 0 | 0 | 1 |
| 1                          | 0 | 0 | 0 | 1 | 1    | 0 | 0 | 0 | 1 |
| 0                          | 1 | 0 | 0 | 1 | 0    | 1 | 0 | 0 | 1 |
| 1                          | 1 | 0 | 0 | 1 | 1    | 1 | 0 | 0 | 1 |
| 0                          | 0 | 1 | 1 | 1 | 0    | 0 | 1 | 1 | 1 |
| 1                          | 0 | 1 | 1 | 1 | 1    | 0 | 1 | 1 | 1 |

## 3.3 4 位通用移位寄存器

### 3.3.1 实验背景和原理

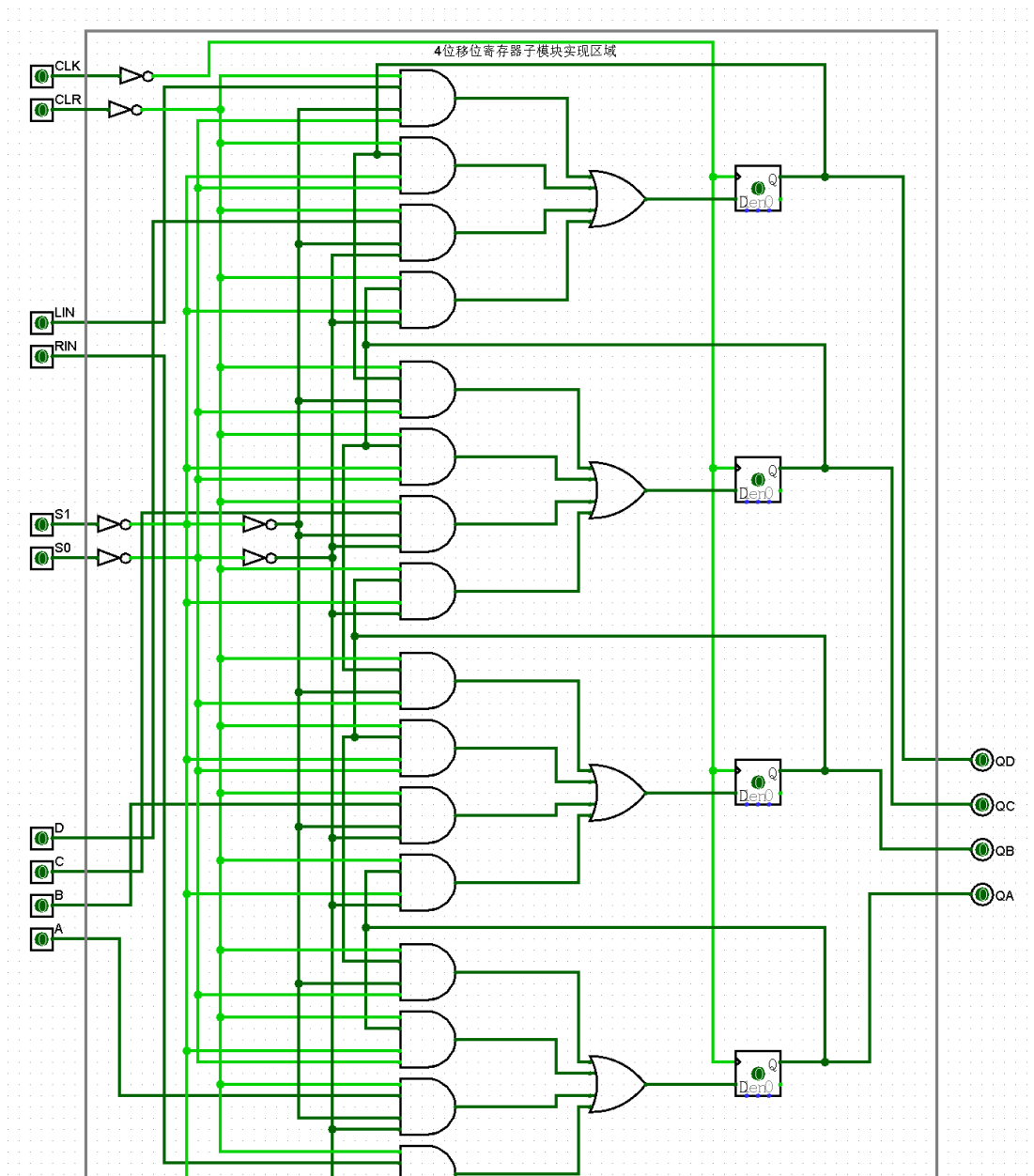
通用移位寄存器能够实现数据左移、数据右移、数据保持和数据载入功能。下图给出了实现原理图。输入端为A、B、C、D、CLK、CLR、LIN、RIN、S0、S1，输出端为QA、QB、QC、QD（请注意在移位时，QA为最左端，QD为最右端）。当做右移操作时，在最左端上补位RIN，当做左移操作时，在最右端上补位LIN。



### 3.3.2 实验步骤

(1). 在logisim中按照上图依次选择器件并且连接好。如图所示：





(2). 进入仿真测试，验证此电路图的功能。

### 3.3.3 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：

