



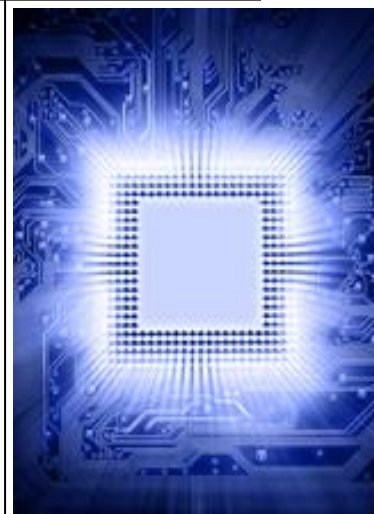
数字系统设计基础

教材：《数字逻辑与计算机组成》

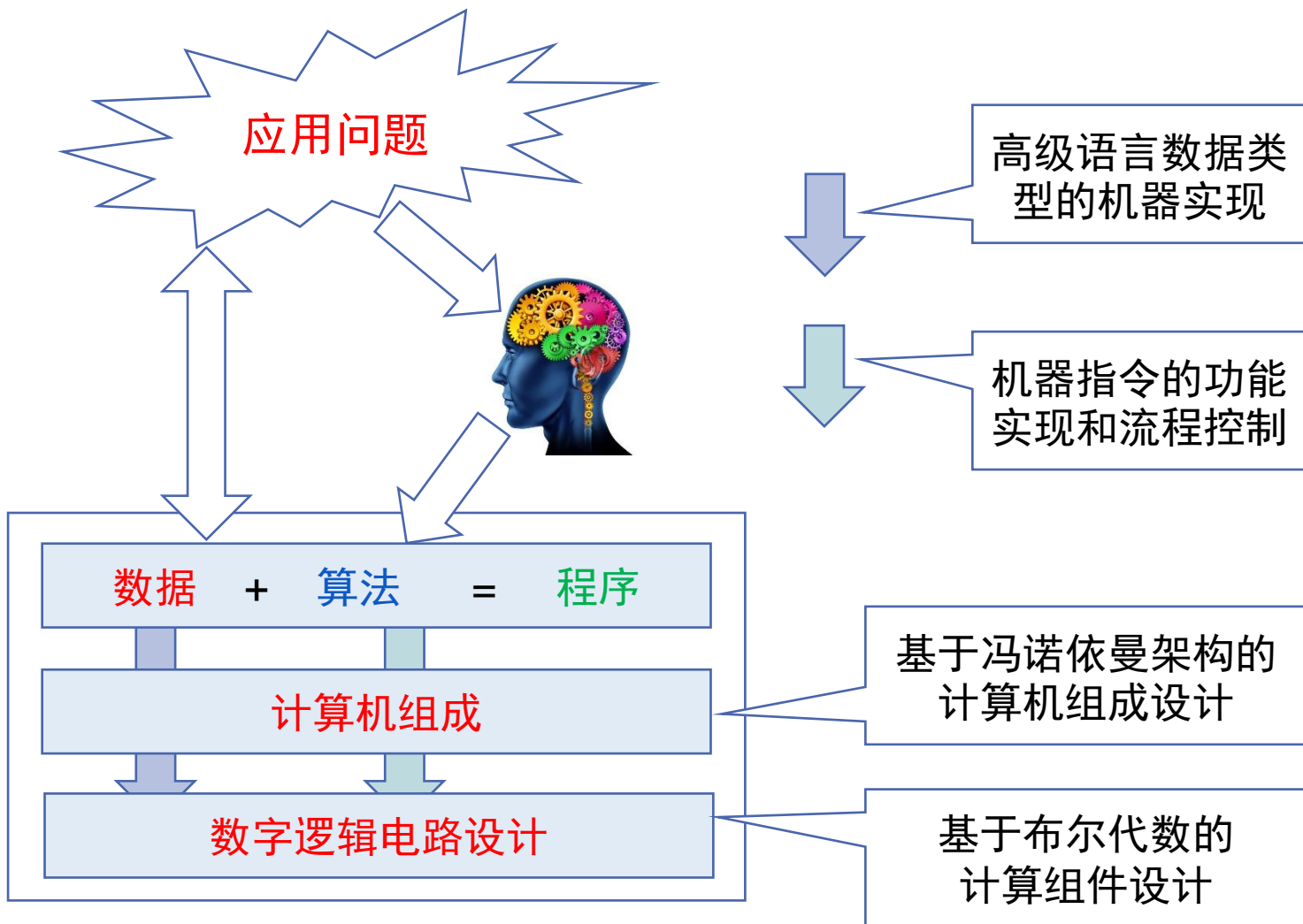
DLCO

武港山

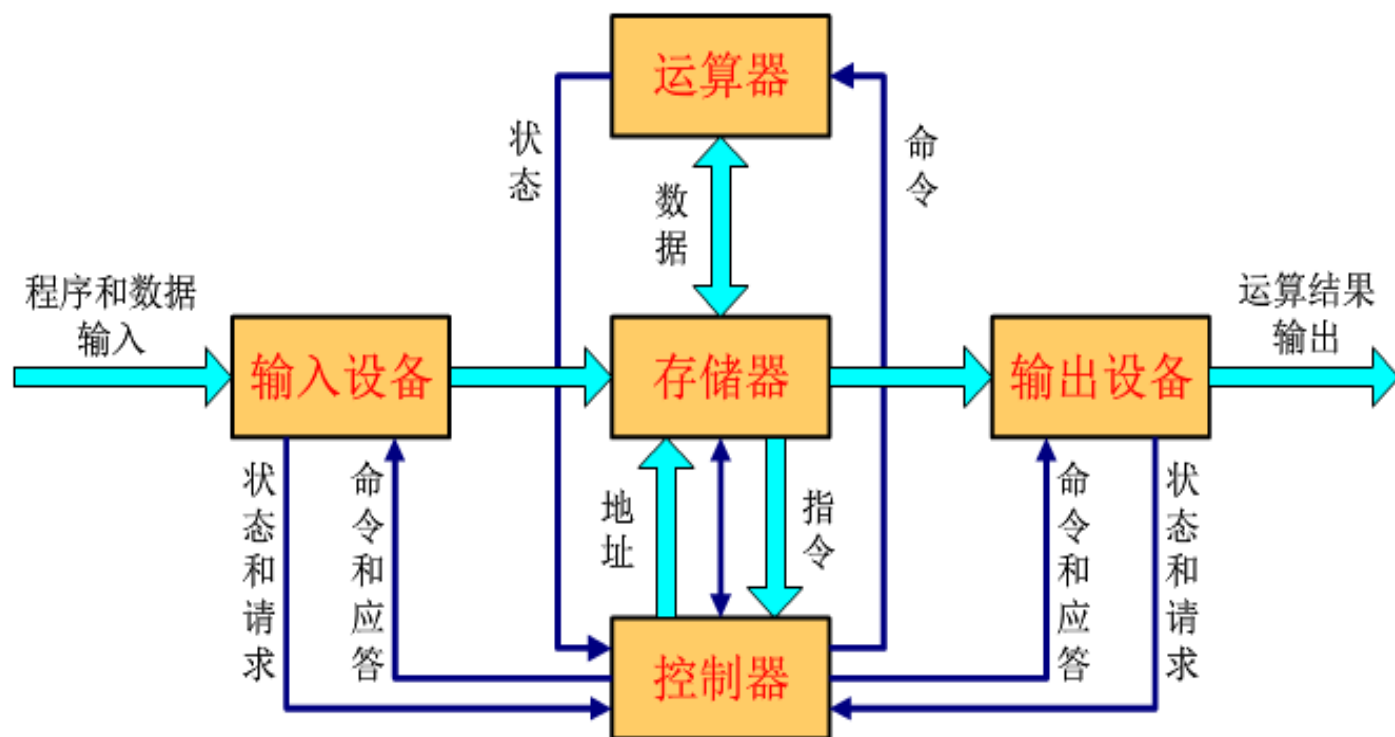
南京大学人工智能学院



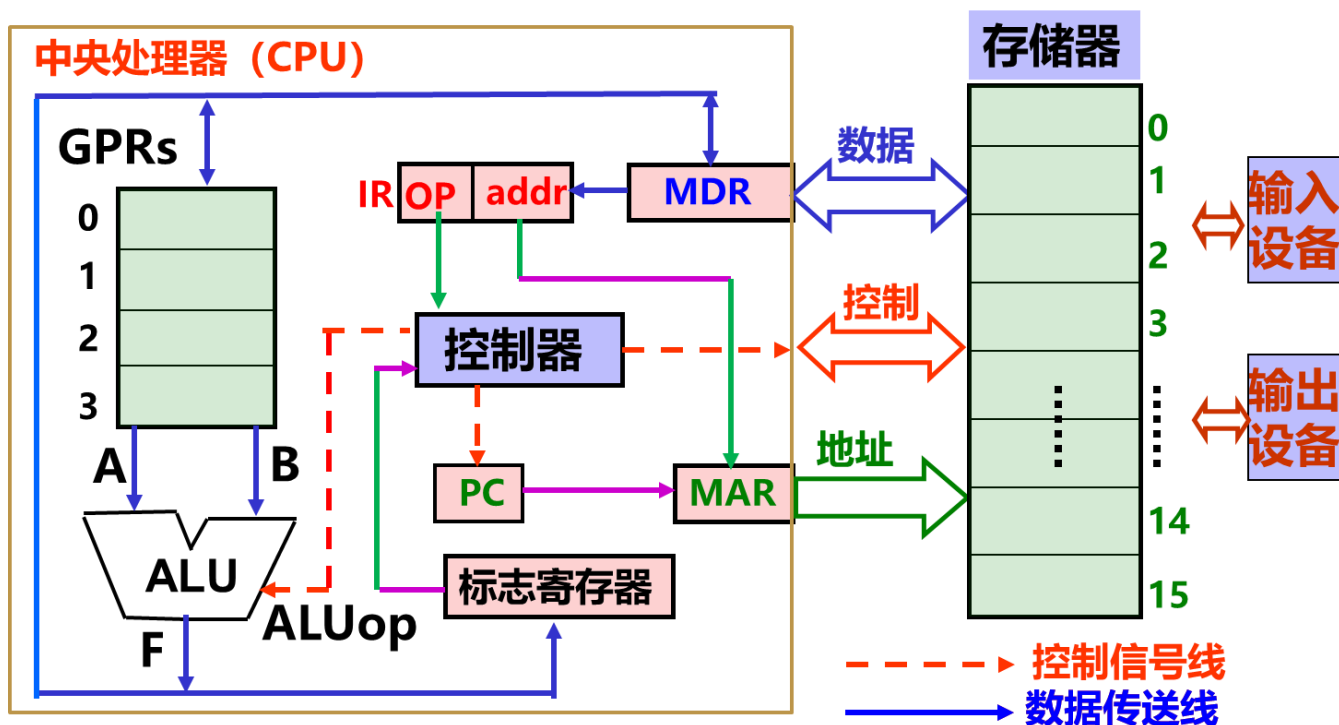
课程内容



- 0 概论：
 - 冯诺依曼计算模型



- 0 概论：
 - 冯诺依曼计算模型
 - 计算组件及其工作机制



- 0 概论：
 - 冯诺依曼计算模型
 - 计算组件及其工作机制
 - 指令集体系结构
 - ◆ ISA是一种规约 (Specification) , 它规定了**如何使用硬件**
 - 可执行的指令的集合, 包括**指令格式**、**操作种类**以及每种操作对应的操作数的相应规定;
 - 指令可以接受的**操作数的类型**;
 - 操作数所能存放的寄存器组的结构, 包括每个寄存器的名称、编号、长度和用途;
 - 操作数所能存放的**存储空间的大小和编址方式**;
 - 操作数在存储空间存放时按照**大端还是小端方式**存放;
 - 指令获取操作数的方式, 即**寻址方式**;
 - 指令执行过程的控制方式, 包括**程序计数器**、**条件码定义**等。

- 1 二进制信息表示：
 - 进位计数制
 - 数值数据编码表示：格式、范围、运算
 - 定点数、浮点数、BCD码
 - 高级语言基本数据类型的机器表示
 - 非数值数据的编码表示
 - 编码对象、编码方式、计算方式
 - 常用非数值数据编码
 - 数据的存储方式
 - 宽度
 - 大端、小端

● 2 基于布尔代数的计算组件：

可编程逻辑
器件原理

● 基本原理

- 布尔代数、逻辑门与数字抽象
- 逻辑关系：逻辑函数的表示、化简、变换和分析

● 组合逻辑电路设计

- 基本分析和设计方法
- 常规组件的功能设计：编解码、多选多配、加法器
- 时序分析：时延、竞争冒险

● 时序逻辑电路设计

- 基本状态存储器件：触发/锁存；D、T触发器
- 同步时序逻辑：状态图/表、电路分析设计、时序分析
- 计数器、寄存器和移位寄存器

- 3 计算机组成设计：基础
 - 运算组件
 - 加法器：CLA加法器、带标志加法器、ALU
 - 定点数运算方法：（基于加法器的实现）
 - 定点数加减法：补码、原码、移码
 - 定点数乘法：原码、补码
 - 定点数除法：思路
 - 浮点数运算方法：
 - 浮点数加减法：会做
 - 定点数乘除法：了解
 - 特殊处理：舍入、异常、精度

- 3 计算机组成设计：指令集架构
 - 指令集架构设计的基本原则
 - 指令集架构设计的主要内容
 - 操作数类型和存储方式
 - 寻址方式：立即/直接/间接/寄存器(直接/间接)/偏移/栈
 - 操作类型：
 - 算术逻辑运算/移位/数据传送/顺序控制/系统控制/IO操作
 - 操作码编码：定长/扩展码
 - 条件测试方式
 - 指令设计风格：
 - 操作数风格：累加器/堆栈/通用寄存器/装入存储型
 - 复杂度：RISC/CISC

- 3 计算机组成设计：指令集架构
 - 异常和中断：了解
 - RISC-V指令系统
 - 设计目标、思路
 - 熟悉RISC-V的指令格式
 - R-型为寄存器操作数指令
 - I-型为短立即数或装入（Load）指令
 - S-型为存储（Store）指令
 - B-型为条件跳转指令
 - U-型为长立即数操作指令
 - J-型为无条件跳转指令

- 3 计算机组成设计：CPU设计
 - 指令的执行过程
 - CPU的基本组成
 - 数据通路与时序控制
 - CPU性能的定量分析
 - 单周期CPU的数据通路设计
 - 基本组件的设计
 - 九条RISC-V指令的数据通路设计
 - 单周期CPU的控制器设计与分析
 - 多周期CPU设计方法：了解
 - 流水线CPU设计方法：了解

- 时间地点：
 - 6月24日：14:00-16:00，地点待定
- 形式：
 - 闭卷考试
- 题型：
 - 填空题： 预计20分
 - 简答题： 预计15分
 - 分析与设计(若干)： 预计70分
 - ? 组合逻辑10分、时序逻辑15分、组成设计40分