

## 实验 2：组合逻辑电路

### 实验目的

1. 掌握使用 Logisim 软件设计、实现组合逻辑电路的方法
2. 熟练应用 Logisim 输入、输出部件
3. 掌握译码器、编码器、多路选择器的设计方法和实现步骤
4. 学习组合逻辑电路的级联方法

### 实验环境

Logisim 2.7

<http://www.cburch.com/logisim/>

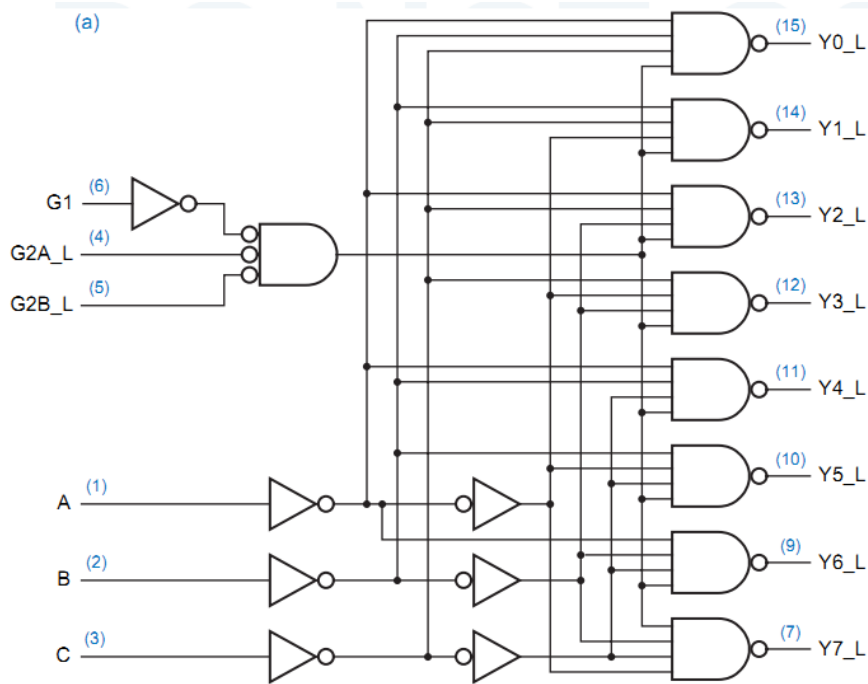
头歌线上评测平台

<https://www.educoder.net/classrooms/9WBKOH3C?code=OVNB8>

### 实验内容

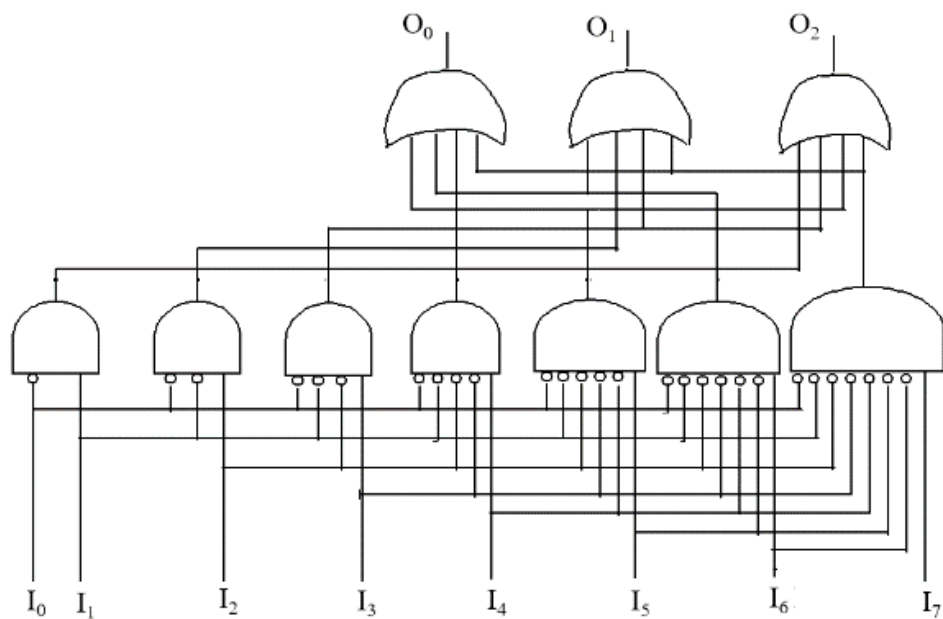
#### 1. 3-8 译码器

下图所示的是 3-8 译码器原理图，请参考该电路图，使用基础门电路设计并实现 3-8 译码器。输入信号 G1、G2A\_L、G2B\_L 为使能端，其中 G1 为高电平有效，G2A\_L、G2B\_L 为低电平有效；输入信号 A、B、C 为二进制编码，最高位为 C、最低位为 A，高电平有效。输出信号 Y0\_L 至 Y7\_L 可以视为数字 0-7 的指示位，低电平有效。



## 2. 8-3 优先编码器

参考下图给出的电路图，使用基础逻辑门电路实现一个 8 线路（输入）至 3 线路（输出）的 8-3 优先编码器。其中，输入信号从  $I_0$  至  $I_7$  为高电平有效，可以视作数字 0 至数字 7 的指示位。输出信号为二进制编码结果，编码的最高位为  $O_0$ ，最低位为  $O_2$ 。



### 3. 4 选 1 多路选择器

利用基础逻辑门电路，我们可以构造复杂的数字电路系统，在本次实验中，我们的目标是实现一位的三路多数表决器（投票器），输入的表决信号（使用 0 或 1 指示）经过我们设计的数字电路，实现输出多数表决结果（使用 0 或 1 指示）的功能。请同学们首先在 2 选 1 的子电路区域完成 2 选 1 选择器的设计，然后再在 4 选 1 的子电路区域完成 4 选 1 选择器，最后将项目文件上传到线上评测网站提交评测。提示：4 选 1 选择器可以由多个 2 选 1 选择器组成，并且这种级联可以继续扩展。