

数字电路与数字系统实验报告

实验四：算术逻辑部件

院系：人工智能学院

姓名：张运吉

学号：211300063

班级：21 级人工智能学院 AI2 班

邮箱：211300063@smail.nju.edu.cn

时间：2022 年 5 月 7 日

目录

1 实验目的:	3
2 实验环境	3
3 实验内容:	3
3.1 4 位先行进位加法器	3
3.1.1 实验背景和原理	3
3.1.2 实验步骤	3
3.1.3 实验结果	5
3.2 16 位先行进位加法器	6
3.2.1 实验背景和原理	6
3.2.2 实验步骤	6
3.2.3 实验结果	8
3.3 算术逻辑部件 (ALU)	8
3.3.1 实验背景和原理	8
3.3.2 实验步骤	8
3.3.3 实验结果	9
4 总结与思考:	10

1 实验目的：

1. 掌握使用Logisim软件设计、实现算术逻辑部件的方法
2. 学习 4 位先行进位加法器CLA，和先行进位逻辑单元CLU的设计原理和实现方法
3. 学习 16 位先行进位加法器及相关标志位的设计原理和实现方法
4. 学习基本算术逻辑部件的设计原理和实现方法，实现支持 6 种操作的ALU

2 实验环境

a. Logisim 2.7

<http://www.cburch.com/logisim/>

b. 头歌线上评测平台

<https://www.educoder.net/classrooms/9WBKOH3C?code=OVNB8>

3 实验内容：

3.1 4 位先行进位加法器

3.1.1 实验背景和原理

先行进位加法器，各级的进位彼此是独立产生，只与输入数据A，B和Cin有关，将各级间的进位级联传播给去掉了，这样就可以减小进位产生的延时。每个等式与只有三级延迟的电路对应，第一级延迟对应进位产生信号和进位传递信号，后两级延迟对应上面的积之和。通过这种进位方式实现的加法器称为超前进位加法器。因为各个进位是并行产生的，所以是一种并行进位加法器。

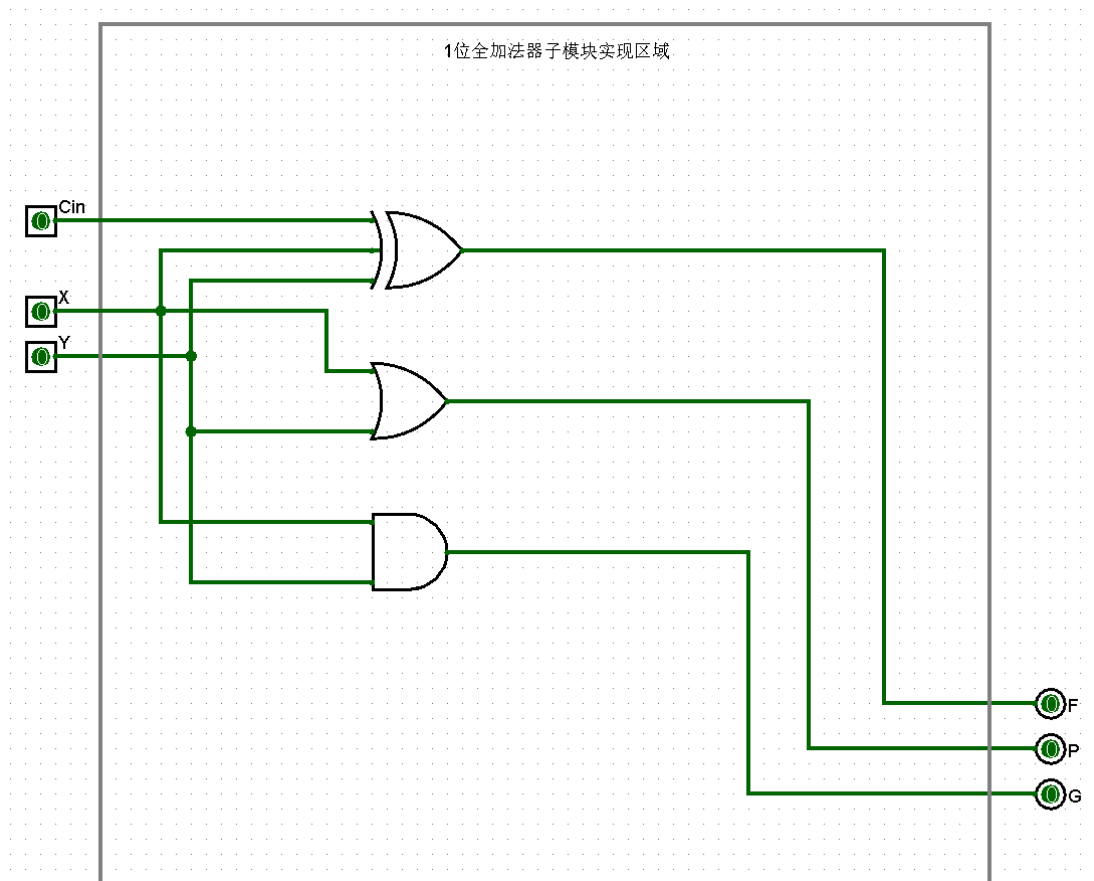
3.1.2 实验步骤

(1). 根据下列表达式在子电路实现 1 位全加器，两个位输入X、Y和进位输入Cin，输出加法计算结果F、进位传递位P和进位生成位G。

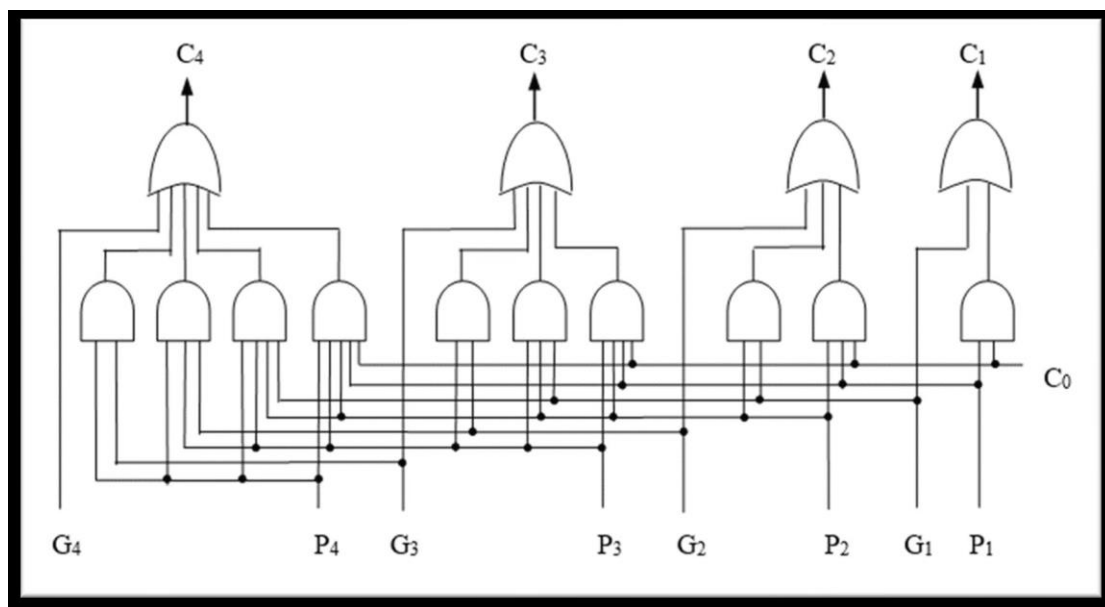
$$F=X \oplus Y \oplus C_{in}$$

$$P=X \oplus Y$$

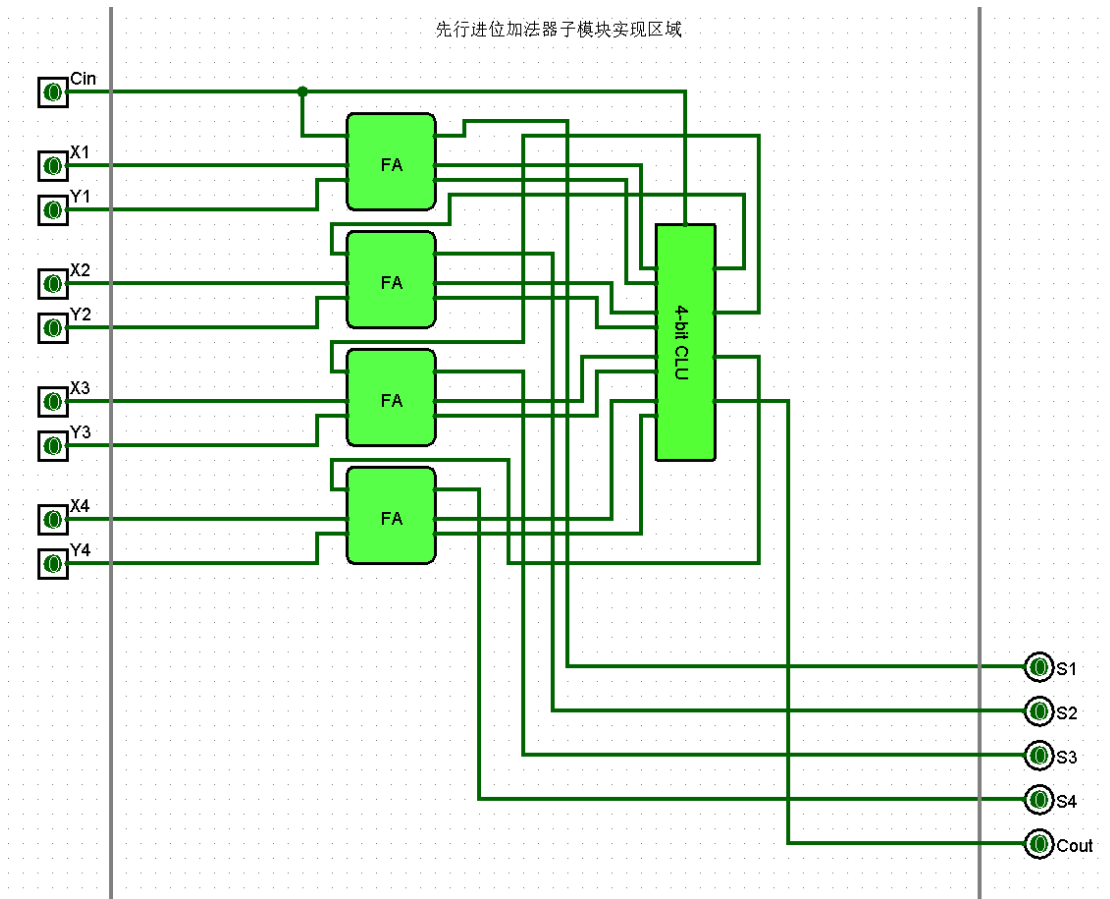
$$G=X \& Y$$



(2). 根据下图在子电路中实现 4 位的组内先行进位部件 (CLU)，其输入为 4 位进位传递信号P1、P2、P3、P4，4 位进位生成信号G1、G2、G3、G4，和一位进位输入Cin (同C0)；其输出为四位进位信号C1、C2、C3、C4。



(3). 根据先行进行加法器原理图，思考并在子电路中完成 4 位CLA的实现，其输入为一位Cin、四位操作数X1~X4、四位操作数Y1~Y4，输出为最高位进位Cout、四位计算结果S1~S4。



3.1.3 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：

1/1 全部通过

测试集1 消耗内存111.24MB 代码执行时长: 2.61秒

预期输出					实际输出				
0	1010	0000	1010	0	0	1010	0000	1010	0
1	0000	0001	0010	0	1	0000	0001	0010	0
0	0000	0001	0001	0	0	0000	0001	0001	0
1	0001	0010	0100	0	1	0001	0010	0100	0
0	0001	0010	0011	0	0	0001	0010	0011	0
1	0010	0011	0110	0	1	0010	0011	0110	0
0	0010	0011	0101	0	0	0010	0011	0101	0
1	0011	0100	1000	0	1	0011	0100	1000	0
0	0011	0100	0111	0	0	0011	0100	0111	0
1	1010	0101	0000	1	1	1010	0101	0000	1
0	1010	0101	1111	0	0	1010	0101	1111	0
1	1011	0110	0010	1	1	1011	0110	0010	1
0	1011	0110	0001	1	0	1011	0110	0001	1
1	1100	0111	0100	1	1	1100	0111	0100	1
0	1100	0111	0011	1	0	1100	0111	0011	1
1	1101	1000	0110	1	1	1101	1000	0110	1
0	1101	1000	0101	1	0	1101	1000	0101	1
1	1111	1001	1001	1	1	1111	1001	1001	1
0	1111	1001	1000	1	0	1111	1001	1000	1
1	1110	1010	1001	1	1	1110	1010	1001	1
0	1110	1010	1000	1	0	1110	1010	1000	1
1	1101	1011	1001	1	1	1101	1011	1001	1
0	1101	1011	1000	1	0	1101	1011	1000	1
1	1100	1100	1001	1	1	1100	1100	1001	1

展示原始输出

3.2 16 位先行进位加法器

3.2.1 实验背景和原理

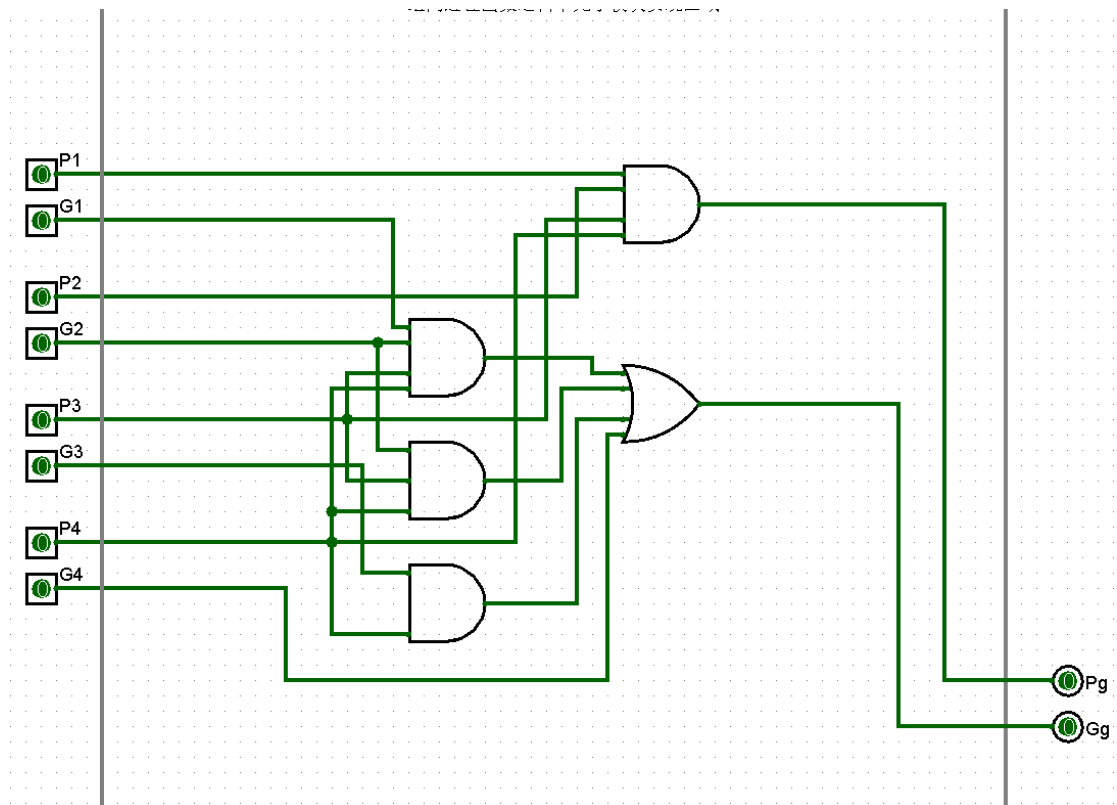
16 位先行进位加法器是对 4 位先行进位加法器的一种拓展，可以由 4 位先行进位加法器级联得到。

3.2.2 实验步骤

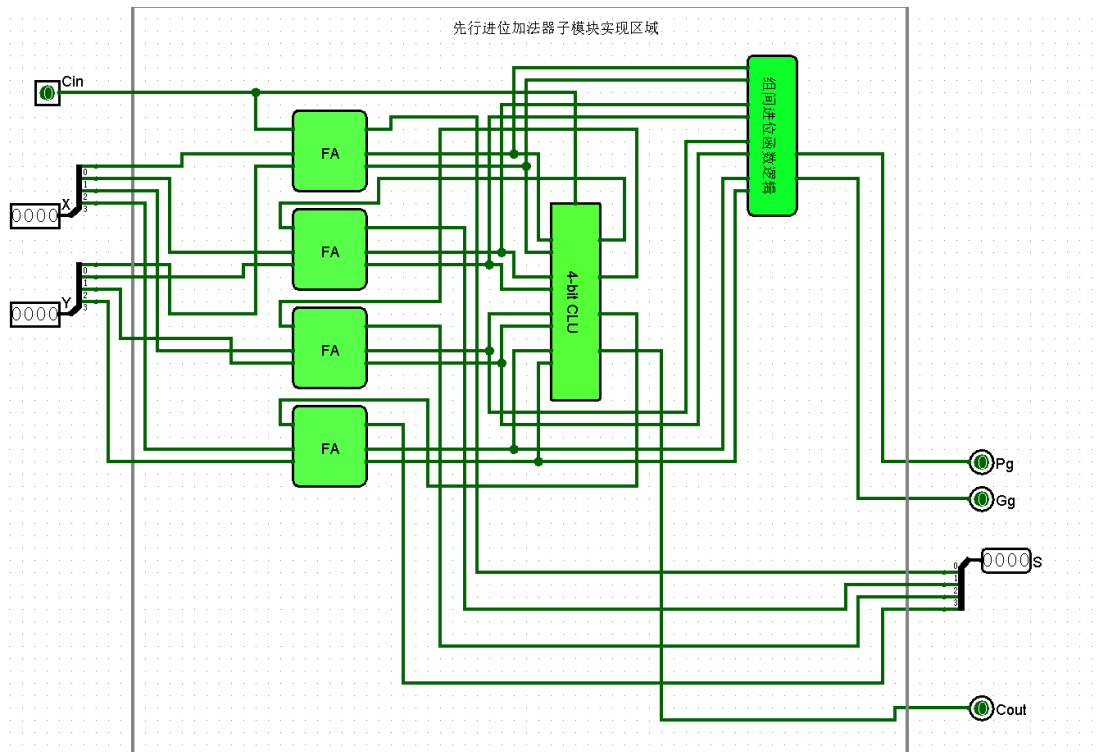
(1). 首先根据下面的表达式在子电路中实现组间先行进位函数逻辑单元，其输入为 4 位进位传递信号 P1、P2、P3、P4 和 4 位进位生成信号 G1、G2、G3、G4，输出为组间进位传递信号 Pg 和组间进位生成信号 Gg。

$$Gg = G4 + P4 \cdot G3 + P4 \cdot P3 \cdot G2 + P4 \cdot P3 \cdot P2 \cdot G1$$

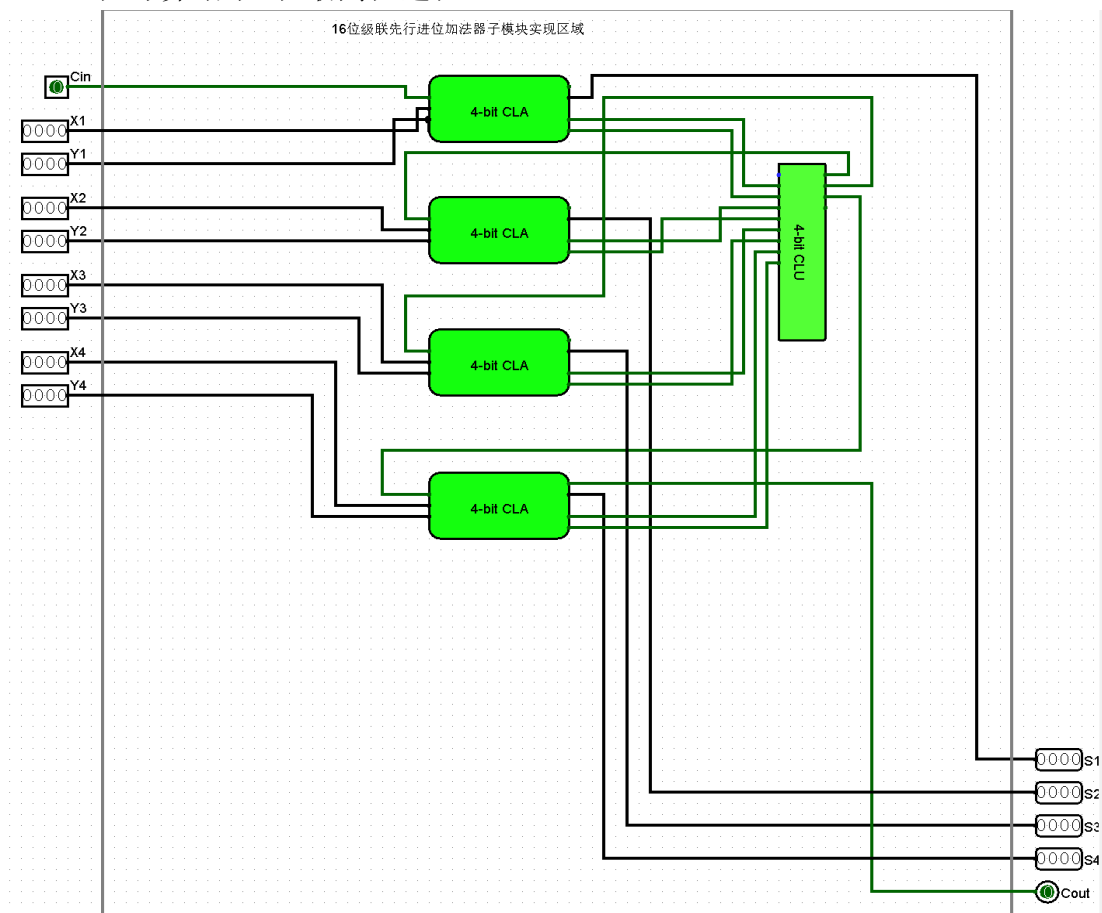
$$Pg = P4 \cdot P3 \cdot P2 \cdot P1$$



(2). 在“可级联的 4 位 CLA”子电路中对前一关卡中已经做过的 4 位 CLA 做出修改，使其能够支持组间级联（这里做的修改是增加了一个组件逻辑进位模块）。



(3). 在“16 位CLA”子电路中利用可级联的 4 位CLA实现一个 16 位CLA器件，级联后的 16 位CLA，输入为 4 组 4 位的操作数X、Y，一位进位Cin；输出为 16 位计算结果S和最高位进位Cout。



3.2.3 实验结果

进入仿真测试，经过多次实验，16 位加法结果准确。

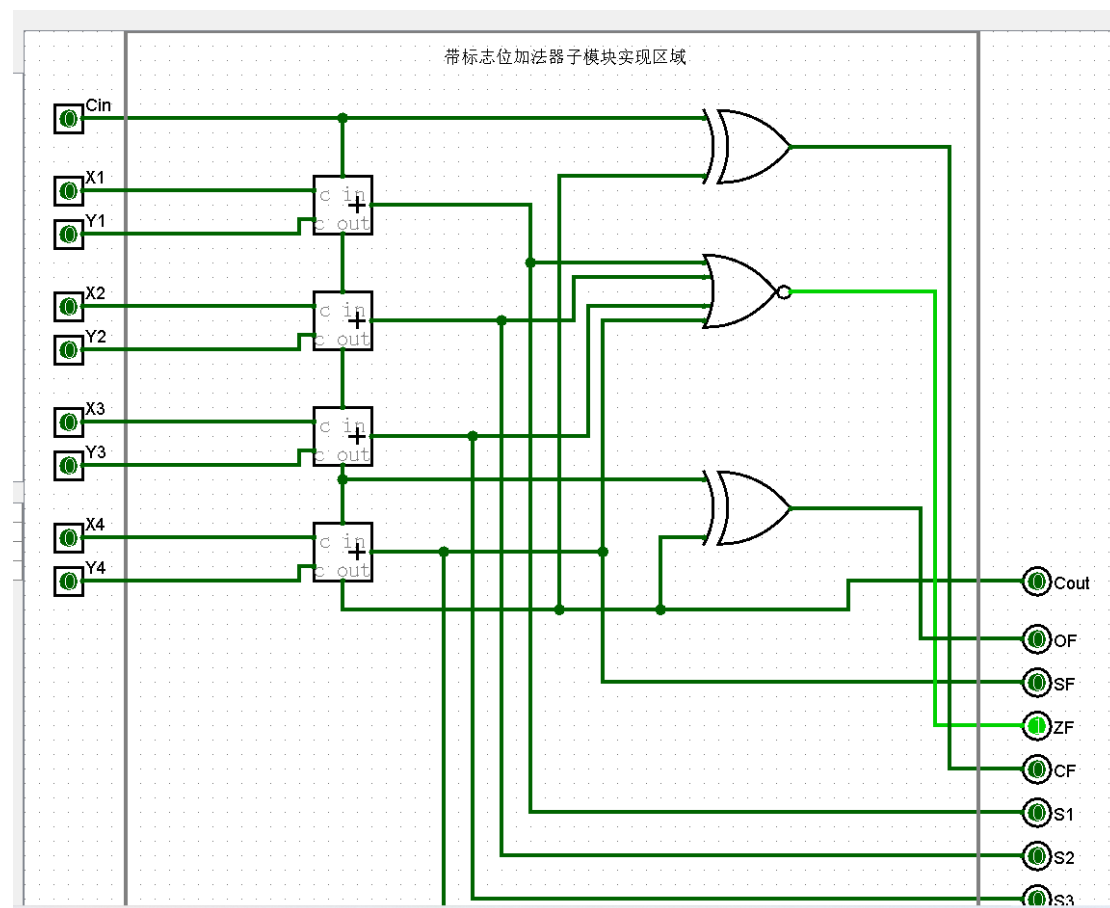
3.3 算术逻辑部件（ALU）

3.3.1 实验背景和原理

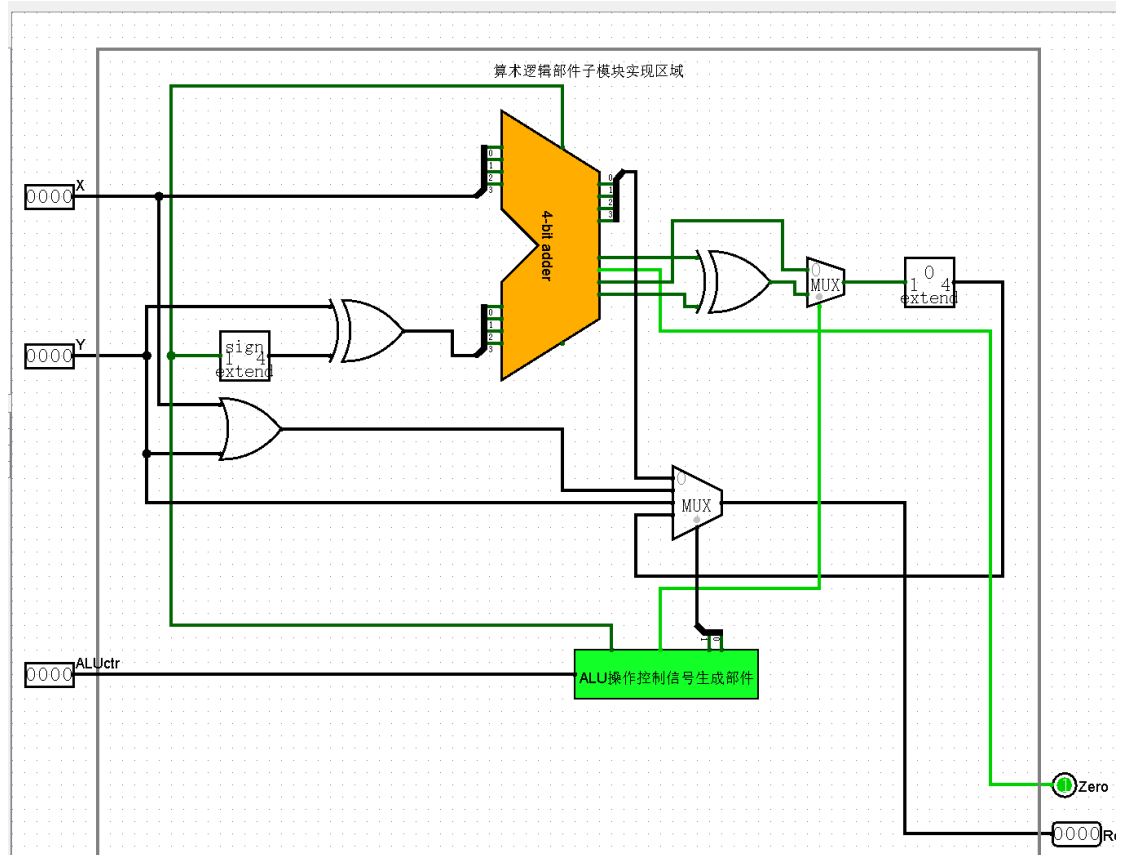
ALU是一种能进行多种算术运算与逻辑运算的组合逻辑电路，其核心部件是带标志加法器和控制器。

3.3.2 实验步骤

(1). 首先实现一个用于两个 4 位操作数的带标志位加法器件，其输入为两个 4 位操作数X1、X2、X3、X4，Y1、Y2、Y3、Y4（由低位到高位，同图中A0~A3、B0~B3），和进位位Cin；输出为 4 位计算结果S1、S2、S3、S4（同图中F0~F3），最高位进位位Cout，溢出标志位OF，符号标志位SF，零标志位ZF，进/借位标志位CF。



(2). 根据ALU设计原理图，利用已实现的加法器和控制器完成一个支持 6 种操作（add、slt、sltu、sub、or、srcB）的 4 位ALU。



3.3.3 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：

测试结果

1/1 全部通过

测试集1 消耗内存106.46MB 代码执行时长: 2.34秒

预期输出					实际输出				
0000	0001	0010	0	0011	0000	0001	0010	0	0011
0000	1010	1010	0	0100	0000	1010	1010	0	0100
0000	1111	0001	1	0000	0000	1111	0001	1	0000
0010	0011	0111	1	0001	0010	0011	0111	1	0001
0010	0011	1000	0	0000	0010	0011	1000	0	0000
0010	0000	1010	0	0000	0010	0000	1010	0	0000
0011	0011	0111	0	0001	0011	0011	0111	0	0001
0011	0011	1000	0	0001	0011	0011	1000	0	0001
0011	1010	1000	0	0000	0011	1010	1000	0	0000
0110	1111	0000	0	1111	0110	1111	0000	0	1111
0110	0000	0101	0	0101	0110	0000	0101	0	0101
0110	1010	1001	0	1011	0110	1010	1001	0	1011
1000	1111	0001	0	1110	1000	1111	0001	0	1110
1000	0011	0011	1	0000	1000	0011	0011	1	0000
1000	0001	0011	0	1110	1000	0001	0011	0	1110
1111	0011	0101	0	0101	1111	0011	0101	0	0101

展示原始输出

4 总结与思考：

本次实验课在logisim中实现了一些算术逻辑部件的功能，总的来说对于理论课上抽象的原理有了更加直观和清晰的理解，通过第一个实验，我认识到了先行进位和串行进位的差别，通过第二个实验，我明白了级联的原理，通过第三个实验，我明白了ALU的构造以及控制器是如何控制进行何种操作的。

本次实验也遇到了一些问题，第一个就是使用Logisim内置的多位异或门，没有修改它的属性，导致异或门的逻辑功能和预期不一致，经过老师的提醒才注意到异或门输出为 1 的对应行为，第二个问题就是不明白级联和ALU实现的原理，后来重新回顾了理论课的知识才想清楚。