数字电路与数字系统实验报告

实验二：组合逻辑电路

院系：人工智能学院

姓名：张运吉

学号：211300063

班级：21级人工智能学院AI2班

邮箱：211300063@smail.nju.edu.cn

时间：2022年4月1日

目录

[1 实验目的： 3](#_Toc100331047)

[2 实验环境 3](#_Toc100331048)

[3 实验内容： 3](#_Toc100331049)

[3.1 3-8译码器 3](#_Toc100331050)

[3.1.1 实验背景和原理 3](#_Toc100331051)

[3.1.2 实验步骤 4](#_Toc100331052)

[3.1.3 实验结果 5](#_Toc100331053)

[3.2 8-3优先编码器 5](#_Toc100331054)

[3.2.1 实验背景和原理 5](#_Toc100331055)

[3.2.2 实验步骤 6](#_Toc100331056)

[3.2.3 实验结果 7](#_Toc100331057)

[3.3 4选1多路选择器 7](#_Toc100331058)

[3.3.1 实验背景和原理 7](#_Toc100331059)

[3.3.2 实验步骤 8](#_Toc100331060)

[3.3.3 实验结果 10](#_Toc100331061)

[4 总结与思考： 10](#_Toc100331062)

1. 实验目的：

a.掌握使用Logisim软件设计、实现组合逻辑电路的方法

b.熟练应用Logisim输入、输出部件

c.掌握译码器、编码器、多路选择器的设计方法和实现步骤

d.学习组合逻辑电路的级联方法

1. 实验环境

a. Logisim 2.7

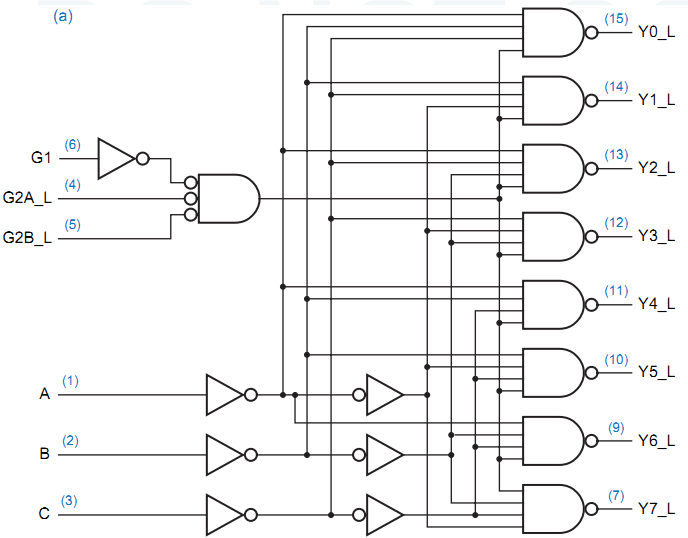
<http://www.cburch.com/logisim/>

b.头歌线上评测平台

<https://www.educoder.net/classrooms/9WBKOH3C?code=OVNB8>

1. 实验内容：
   1. 3-8译码器
      1. 实验背景和原理

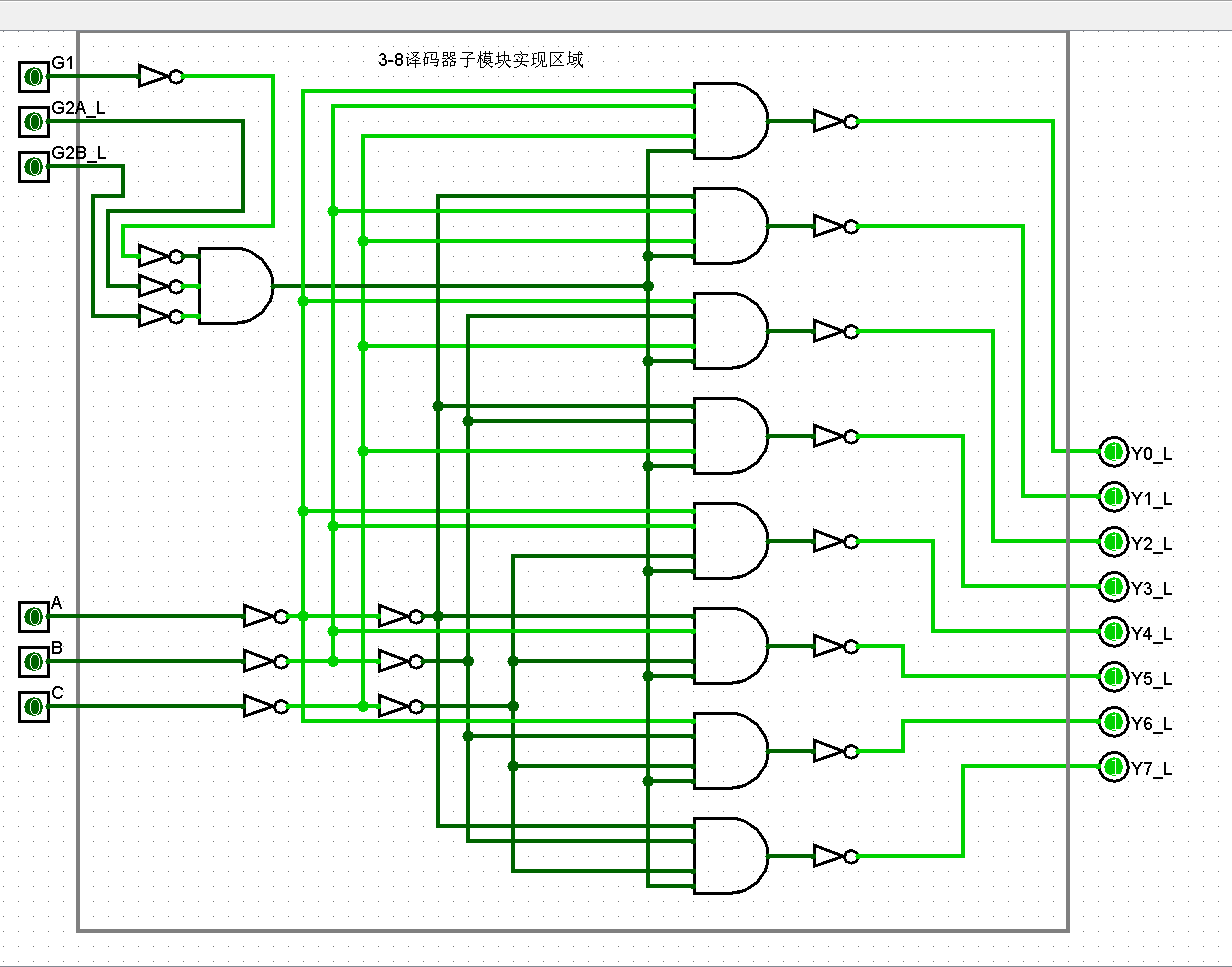
译码器从外部引脚来看是一种多输入端、多输出端电路，且输入端比输出端的个数少。译码器的输入输出关系是：若输入的二进制编码值是x，则第x条线输出线为1，其余输出全为0。下图所示的是3-8译码器原理图。输入信号G1、G2A\_L、G2B\_L为使能端，其中G1为高电平有效，G2A\_L、G2B\_L为低电平有效；输入信号A、B、C为二进制编码，最高位为C、最低位为A，高电平有效。输出信号Y0\_L至Y7\_L可以视为数字0-7的指示位，低电平有效。



* + 1. 实验步骤

(1). 明确需要的部件：18个非门、一个3输入与门、8个四输入与门。

(2). 在logisim中添加以上部件，并按照原理图连接好电路。如下图所示：



(3). 进入仿真测试，改变输入的值，记录输出的值，并验证输出结果是否符合功能逻辑。

* + 1. 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：



* 1. 8-3优先编码器
     1. 实验背景和原理

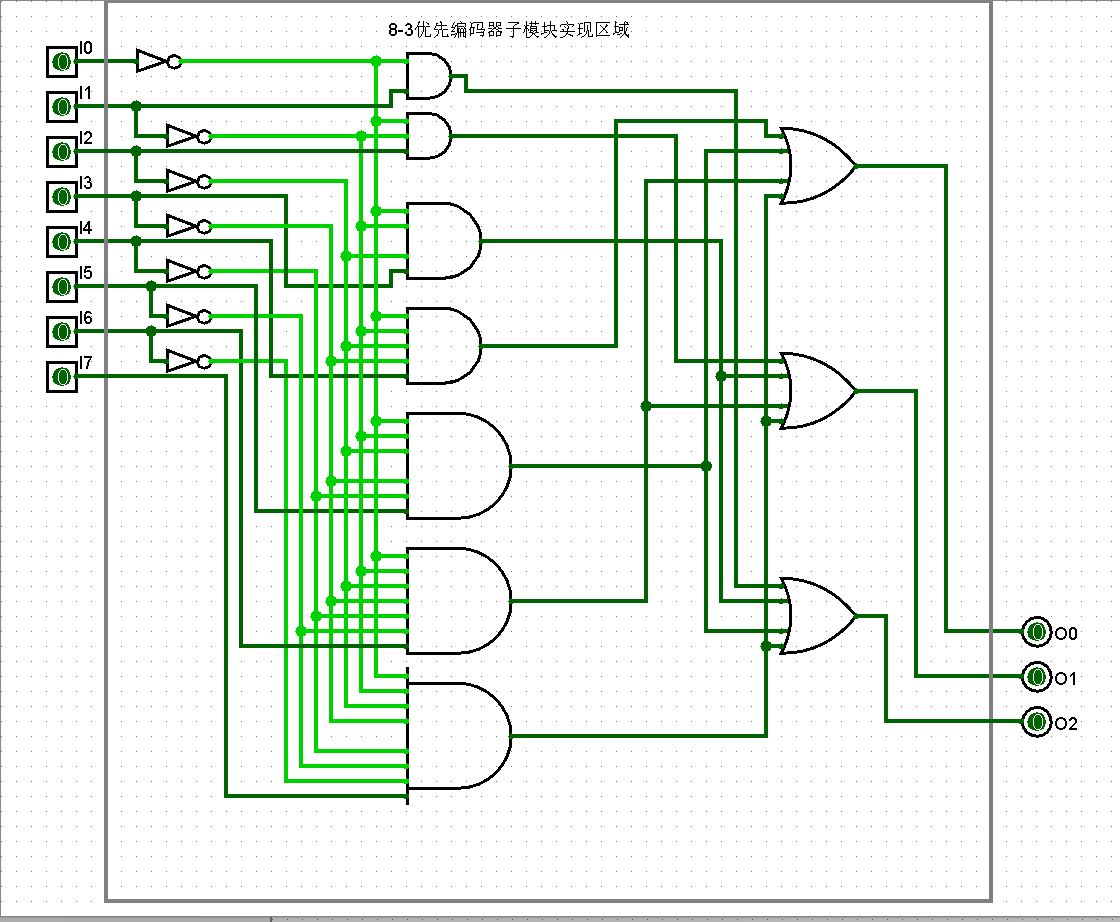
优先编码器实际上是一个优先级排队电路加一个编码器。优先编码器允许有多个输入同时为1，但只对优先级最高的输入进行编码输出。下图给出了8-3优先编码器的电路图，使用基础逻辑门电路实现一个8线路（输入）至3线路（输出）的8-3优先编码器。其中，输入信号从I0至I7为高电平有效，可以视作数字0至数字7的指示位。输出信号为二进制编码结果，编码的最高位为O0，最低位为O2。



* + 1. 实验步骤

(1). 明确需要的部件：28个非门、3个四输入与门、2输入3输入4输入5输入6输入7输入8输入与门各一个。

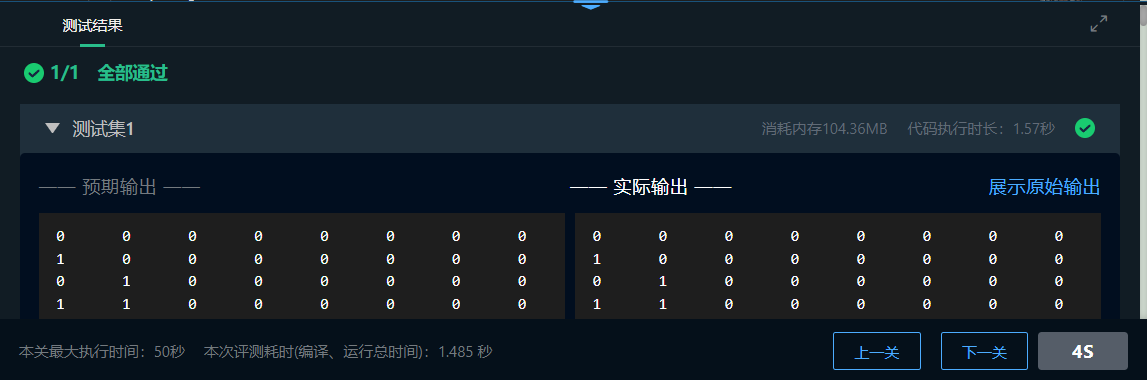
(2). 在logisim中添加以上部件，并按照原理图连接好电路。如下图所示：



(3). 进入仿真测试，改变输入的值，记录输出的值，并验证输出结果是否符合功能逻辑。

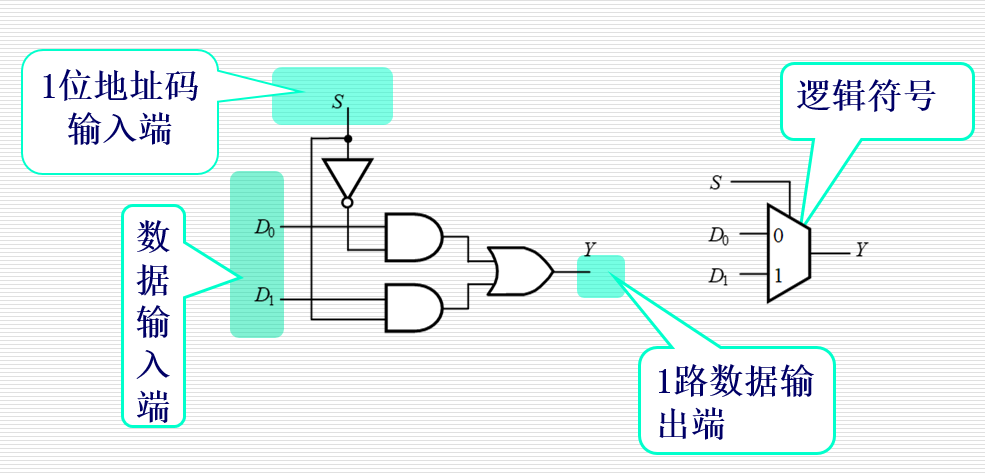
* + 1. 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：



* 1. 4选1多路选择器
     1. 实验背景和原理

多路选择器也称复用器或数据选择器，基本功能是，从多个可能的输入中选择一个直接输出。在本次实验中，我们的目标是实现4选1的多路选择功能。首先在2选1的子电路区域完成2选1选择器的设计，然后再在4选1的子电路区域完成4选1选择器，最后将项目文件上传到线上评测网站提交评测。



**二路选择器的逻辑电路图**

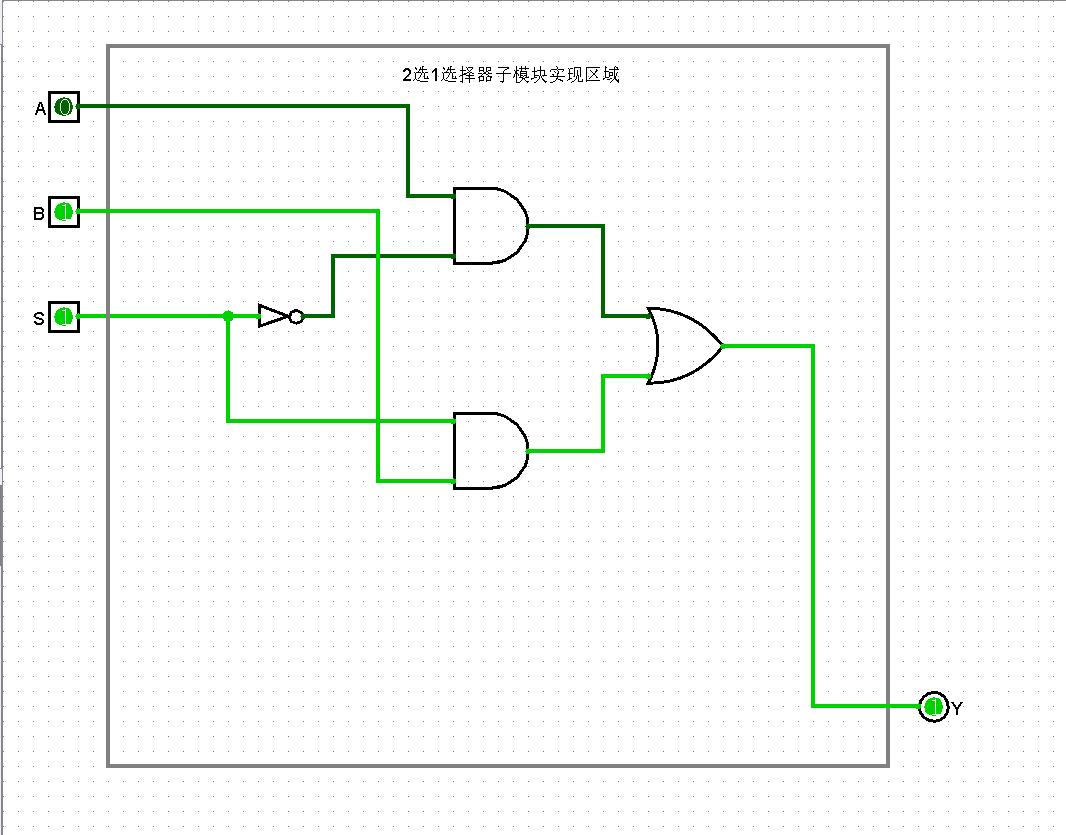


**二路选择器级联构成四路选择器**

* + 1. 实验步骤

(1). 先构造二路选择器。明确需要的部件：1个非门、1个二输入或门、2个二输入与门。

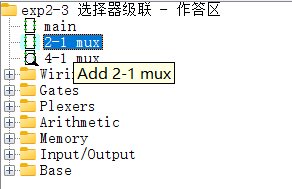
(2). 在logisim中按照二路选择器的逻辑电路图连接好电路图。如下图所示：



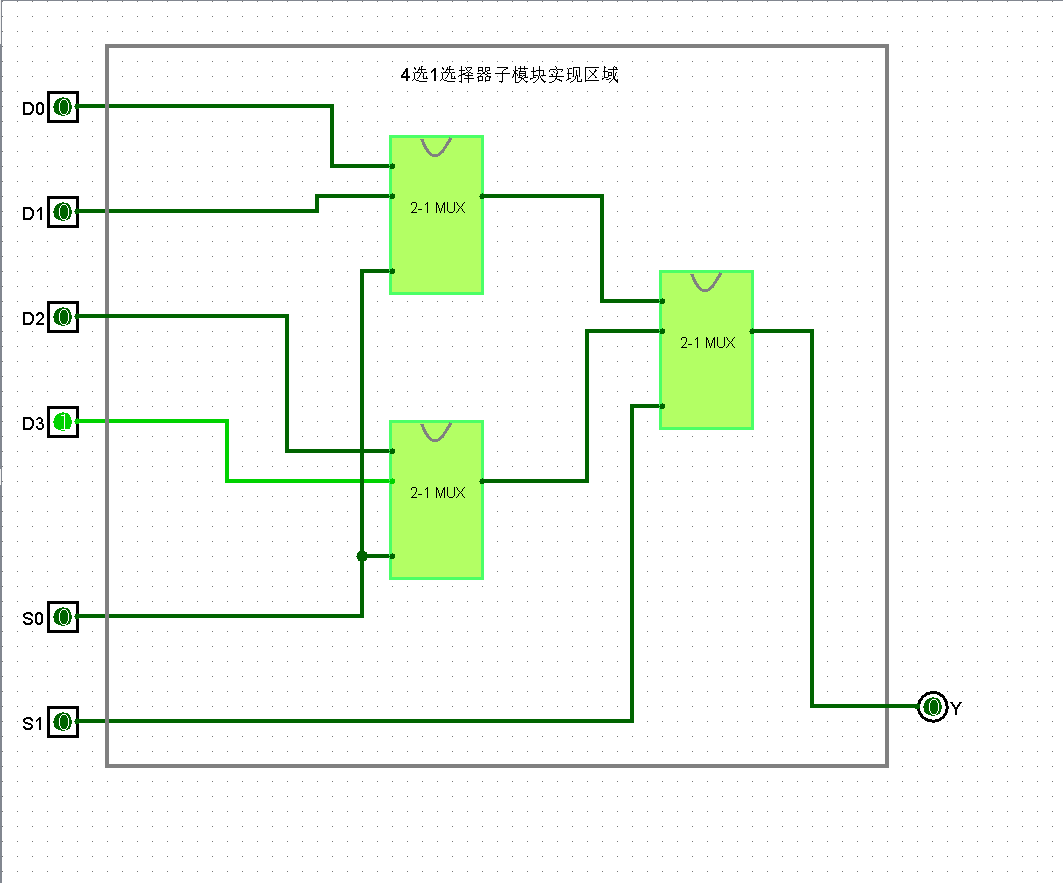
(3). 进入仿真测试，验证此电路图的功能。

(4). 利用二路选择器级联构造四路选择器。需要三个二路选择器。

(5). 拖动二路选择器的文件可以使用封装好的二路选择器。



(6). 正确连接电路。



(7). 进入仿真测试，改变输入的值，记录输出的值，并验证输出结果是否符合功能逻辑。

* + 1. 实验结果

将circ文件提交到头歌测试平台，得到实验结果。如下图所示：



1. 总结与思考：

这次实验实现了三种典型的组合逻辑器件：译码器，编码器和选择器，自己亲自动手实践了理论课上的知识