

Проектирование в Quartus II

Размещение и настройка выводов

I/O Planning

- Ввод настроек размещения выводов и связанных настроек
- Анализ
 - Процесс компиляции
 - Проверка размещения во время ввода (Live I/O checking)
 - Проверка помех при одновременных переключениях (Simultaneous Switching Noise - SSN)

Ввод настроек

Для ввода настроек, связанных с размещением выводов, обычно используются следующие средства:

- Pin Planner
- Импорт из таблиц в формате CSV
- Скрипты TCL
- Редактирование файла QSF в текстовом редакторе

Note: Other methods/tools are available in the Quartus II software to make I/O assignments. The above are the most common or recommended.

Pin Planner

- Интерактивный графический редактор для настройки размещения и параметров выводов
 - Поддержка размещения drag & drop
 - Установка стандарта и параметров элемента ввода-вывода
 - Резервирование выводов
- Три основных панели
 - Package View
 - Список выводов (All Pins)
 - Список групп (Groups)

**Меню
Assignments → Pin Planner
или папка
“Assign Constraints”
в панели Tasks**

Окно Pin Planner

Панель инструментов

Список Groups

Панель отчетов

Панель задач

Package View (Top или Bottom)

Список All Pins

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength
clk1	Input	IOBANK_7A	7A		2.5 V (d		12mA (default)
dataa[7]	Input	IOBANK_7A	7A		2.5 V (d		12mA (default)
dataa[6]	Input	IOBANK_7A	7A		2.5 V (d		12mA (default)
dataa[5]	Input	IOBANK_7A	7A		2.5 V (d		12mA (default)
dataa[4]	Input	IOBANK_7A	7A		2.5 V (d		12mA (default)

Окно Pin Planner

■ Package View

- Графическое представление корпуса
- Ввод настроек размещения выводов
- Определение взаимного расположения выводов
- Определение расположения служебных выводов (питание и конфигурация)

■ Список All Pins

- Вывод входных/выходных сигналов в соответствии с фильтром
- Позволяет редактировать размещение и другие свойства вывода

■ Список Groups

- Аналогичен списку All Pins, но отображает только группы и шины
- Используется для ввода настроек сразу на всю шину или группу
- Возможность создавать группы, определяемые пользователем

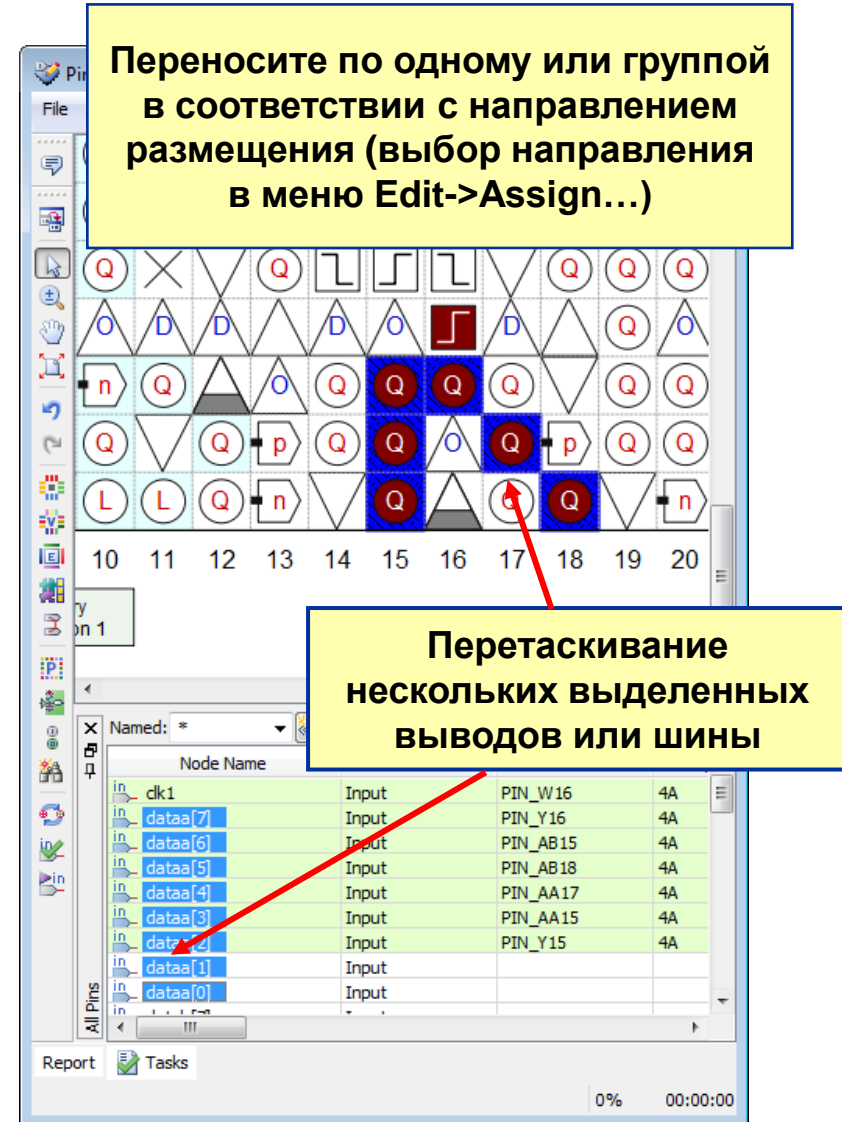
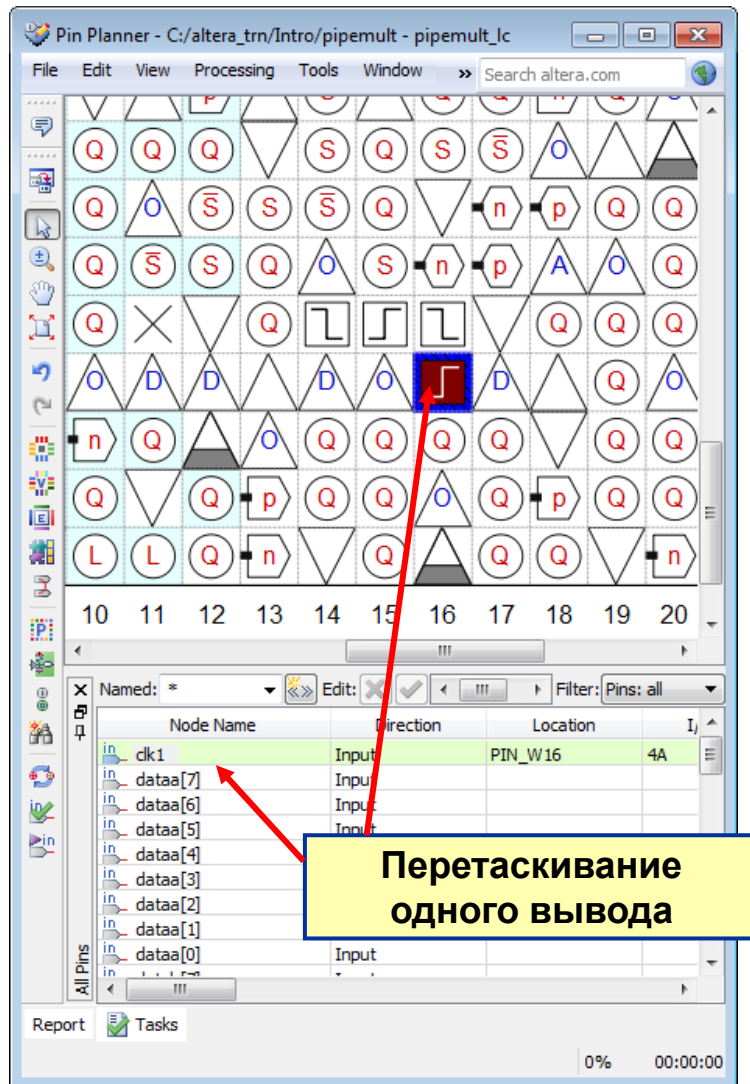
■ Панель задач

- Запуск задач, например, раннее планирование выводов (Early Pin Planning) и просмотр изменений

■ Панель отчетов

- Управление выводом результатов выполнения задач

Размещение выводов в Pin Planner



Размещение выводов в Pin Planner

Щелчок открывает
просмотр свойств
вывода

Можно перетащить
сюда для привязки
к банку. Также
можно привязать к
стороне кристалла
или VREF


The screenshot shows the Pin Planner interface. At the top, there are two boxes for IOBANK_6A (0 total) and IOBANK_7A (7 assigned/64 total). Below these is a grid of pins with various symbols (Q, n, p, D, X). A red arrow points from a pin in the grid to the properties panel on the right. The properties panel shows details for pin 7A, including VREF group B7A_N0, General function Column I/O, and Special function DIFFIO_TX_T14n. At the bottom, a table lists pins and their properties. A red arrow points from the 'Filter: Pins: all' dropdown to the table. Another red arrow points from the 'VREF Group' column to the 'B7A_N0' value in the first row of the table. A third red arrow points from the 'Filter: Pins: all' dropdown to the 'Filter: Pins: all' text.

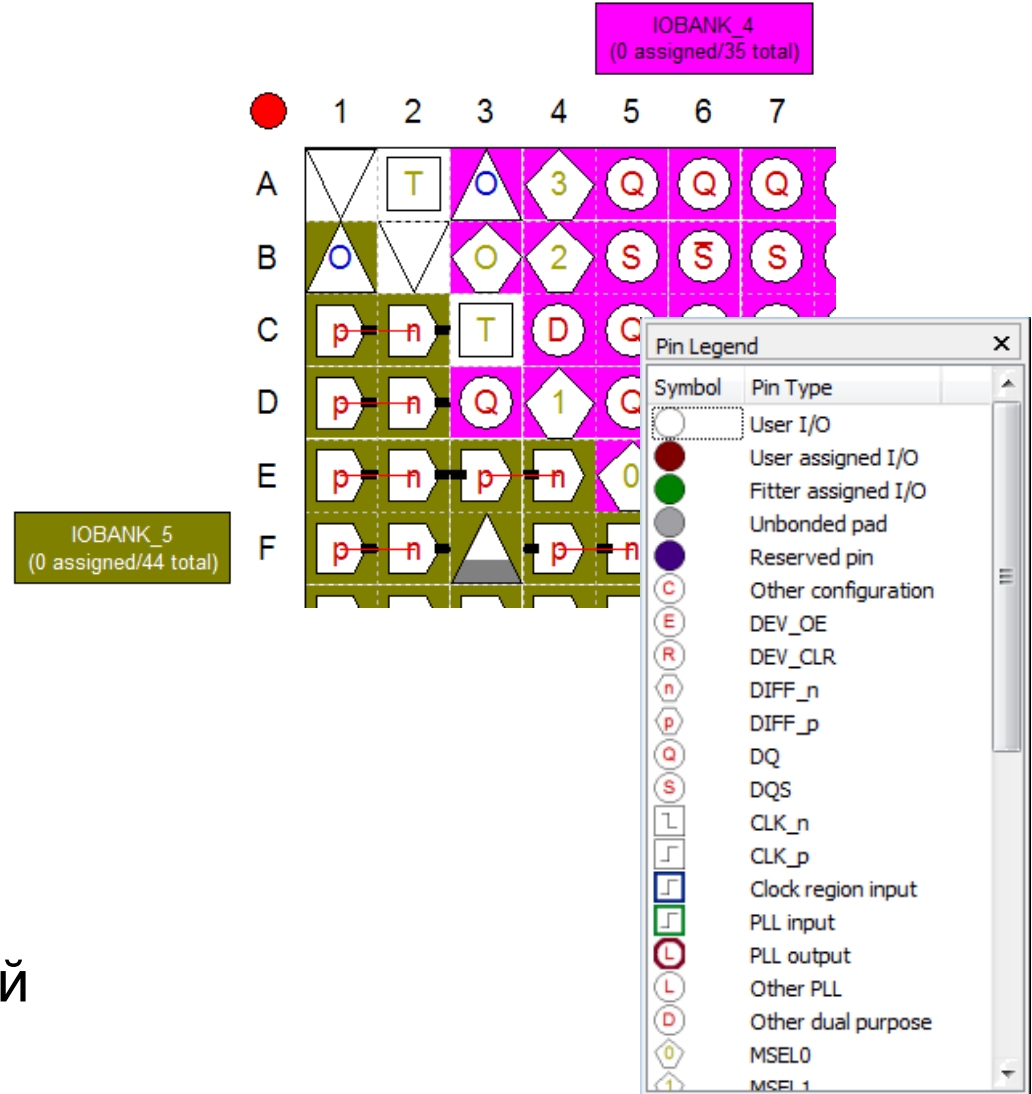
Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate	Differential
clk1	Input	PIN_W16	4A	B7A_N0	2.5 V (default)		12mA (default)		
dataa[7]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[6]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[5]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[4]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[3]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[2]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[1]	Input	IOBANK_7A	7A		2.5 V (default)				
dataa[0]	Input	IOBANK_7A	7A		2.5 V (default)				

Фильтр выводимых
узлов

Можно выбрать
расположение в
списке

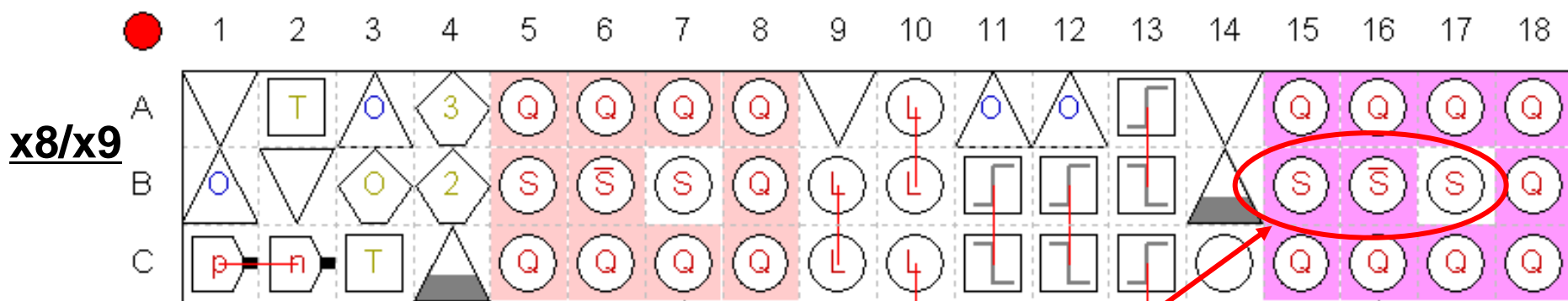
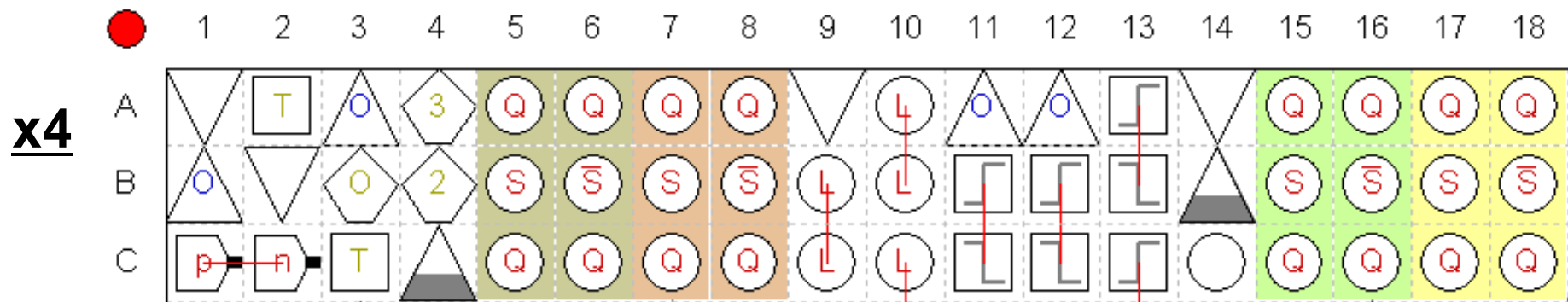
Другие возможности

- Различные режимы отображения
 - Стороны кристалла
 - Банки
 - Группы VREF
 - Диф. пары
 - Выводы DQ/DQS
- Переключение
 - меню **View** ⇒ **Show**
 - кнопки панели инструментов
 - Контекстное меню
- Вывод легенды с описанием обозначений
 - View → Pin Legend или кнопка 



Отображение выводов DQ/DQS

- View => Show => Show DQ/DQS Pins
- Вывод подсвеченных групп DQ/DQS в режимах x4, x8/x9, x16/x18 и x32/x36 для интерфейсов DDR



Выводы DQS
обозначаются буквой S

Просмотр Pin Migration

- Устройства для миграции должны быть выбраны в диалоге Assignments => Device
- Диалог View => Pin Migration отражает разницу в функциях выводов
- Package View блокирует несовместимые настройки размещения

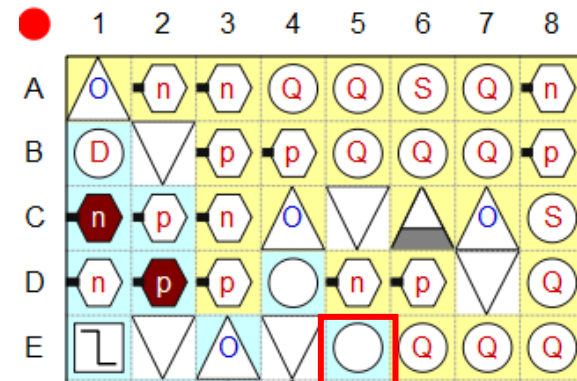
Pin Migration View

Current Device: EP4CE6F17C6

Pin Number	Migration Result			Migration Devices					
				EP4CE6F17C6			EP4CE22F17C6		
	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group
PIN_F6	GND			Column I/O	8	B8_N0	GND		
PIN_F5	VCCA3			Row I/O	1	B1_N0	VCCA3		
PIN_E5	GNDA3			Row I/O	1	B1_N0	GNDA3		
PIN_D4	VCCD_PLL3			Row I/O	1	B1_N0	VCCD_PLL3		
PIN_T8	Column I/O	3	B3_N0	Column I/O	3	B3_N0	Dedicated Clock	3	B3_N0
PIN_R8	Column I/O	3	B3_N0	Column I/O	3	B3_N0	Dedicated Clock	3	B3_N0
PIN_T9	Column I/O	4	B4_N0	Column I/O	4	B4_N0	Dedicated Clock	4	B4_N0
PIN_R9	Column I/O	4	B4_N0	Column I/O	4	B4_N0	Dedicated Clock	4	B4_N0
PIN_B9	Column I/O	7	B7_N0	Column I/O	7	B7_N0	Dedicated Clock	7	B7_N0
PIN_A9	Column I/O	7	B7_N0	Column I/O	7	B7_N0	Dedicated Clock	7	B7_N0
PIN_B8	Column I/O	8	B8_N0	Column I/O	8	B8_N0	Dedicated Clock	8	B8_N0
PIN_A8	Column I/O	8	B8_N0	Column I/O	8	B8_N0	Dedicated Clock	8	B8_N0

Device... Pin Finder... ☐ Show only highlighted pins ☒ Show migration differences Export... Help

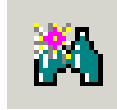
До выбора устройства для миграции



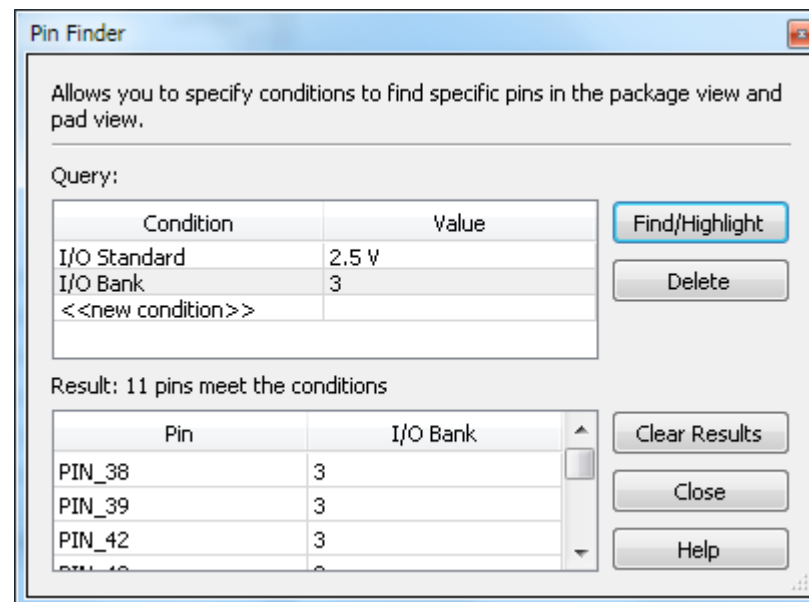
После выбора устройства для миграции

Дополнительные возможности (1)

■ Pin Finder



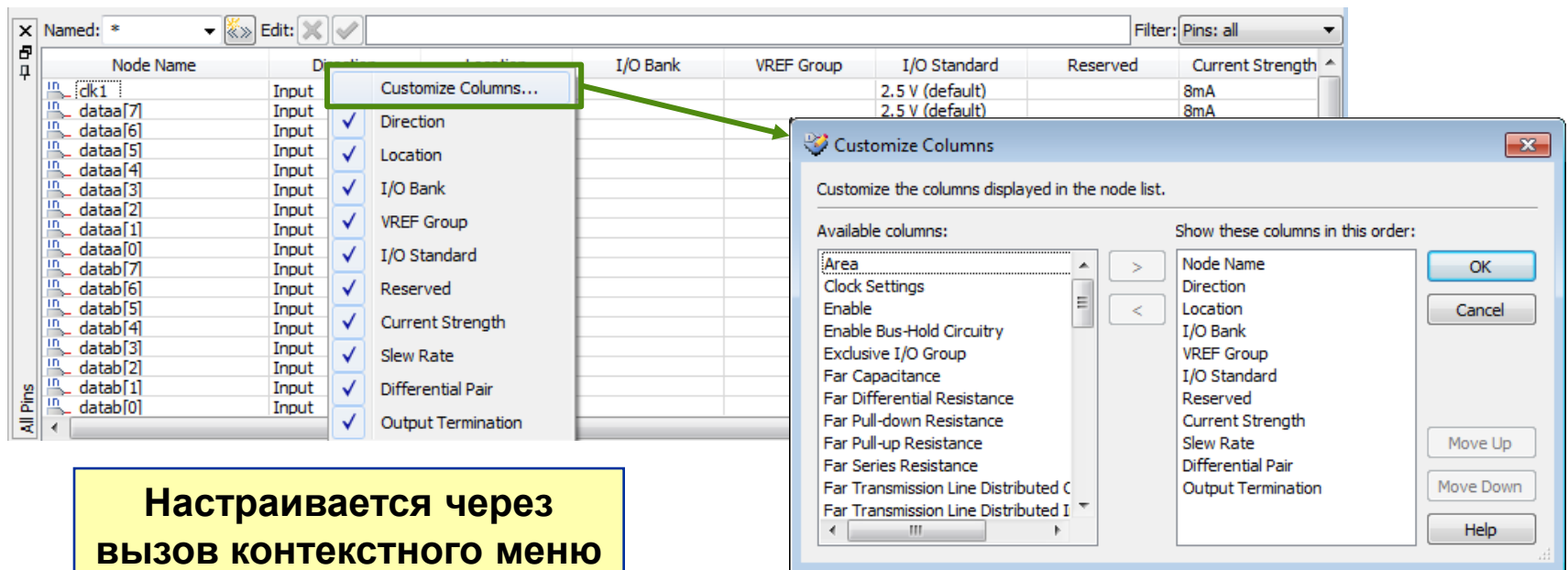
- Выбор выводов по критериям, заданным пользователем
- Используется для поиска совместимых выводов
- Найденные выводы подсвечиваются в Package View



Дополнительные возможности (2)

■ Настройка столбцов

- Выбор столбцов, выводимых в списке All Pins



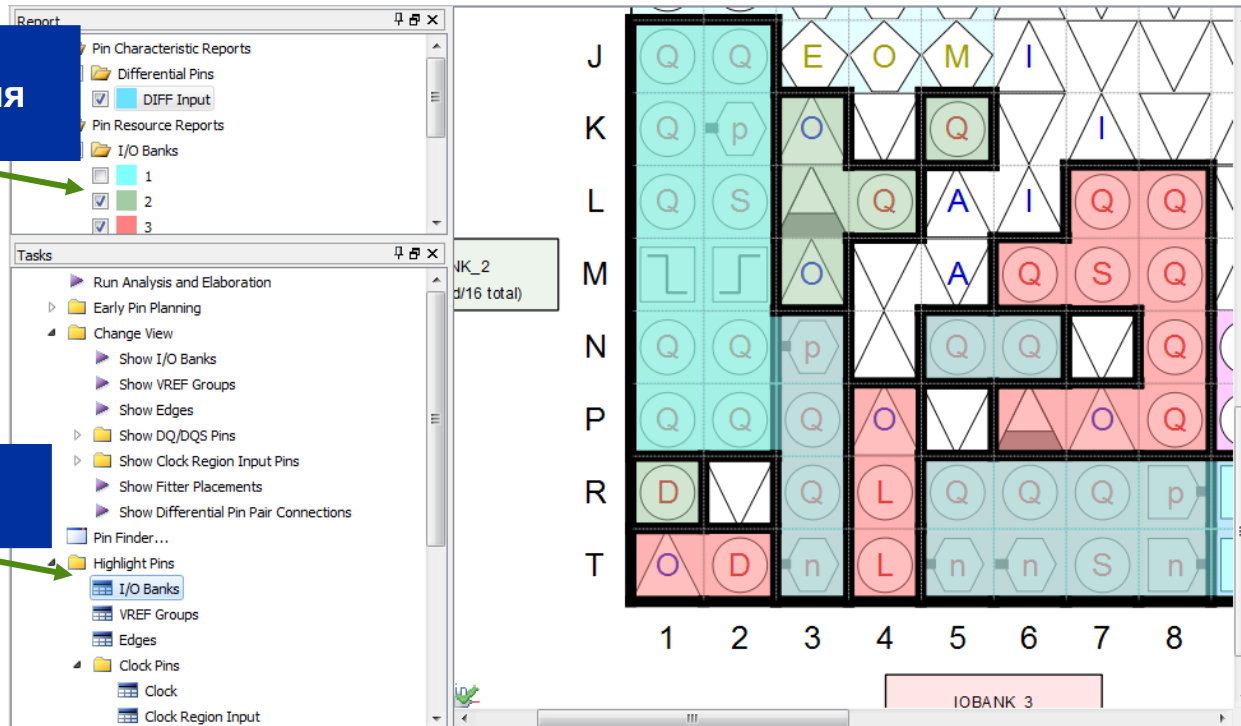
**Настраивается через
вызов контекстного меню
на заголовке столбца**

Панели Tasks и Report

- Используйте панель Tasks для выполнения типичных операций
- Папка **Change View** изменяет отображение (аналогично меню View)
- Папка **Highlight Pins** выполняет подсветку выводов в соответствии со сформированными отчетами

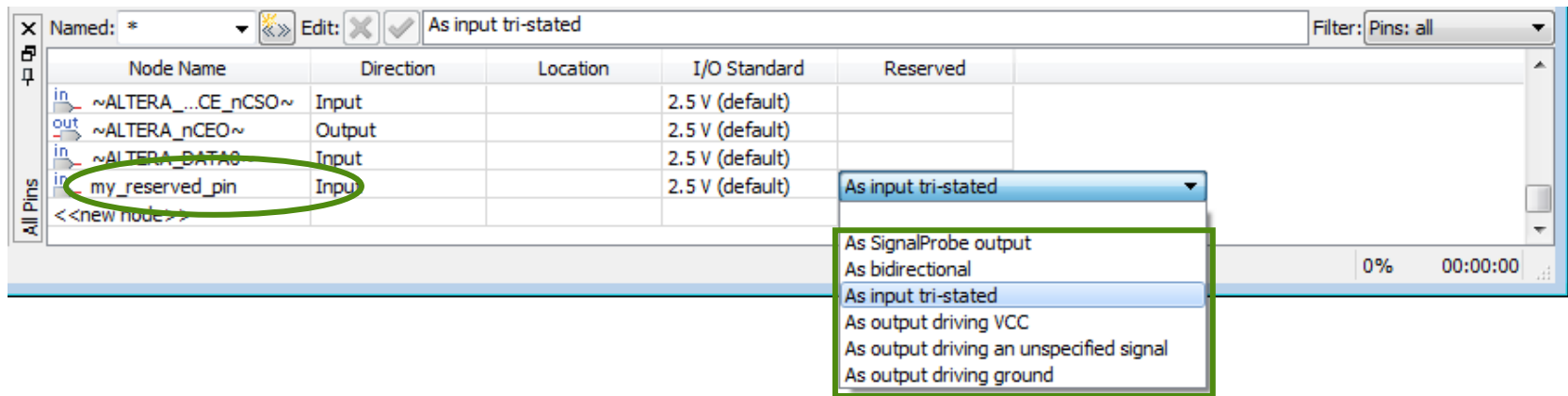
Вкл/выкл
подсветки для
банков

Подсветить
банки



Резервирование выводов

- В списке Pins щелкните по <<new node>> и введите имя
- В столбце Location укажите размещение
- В столбце Reserved выберите конфигурацию вывода

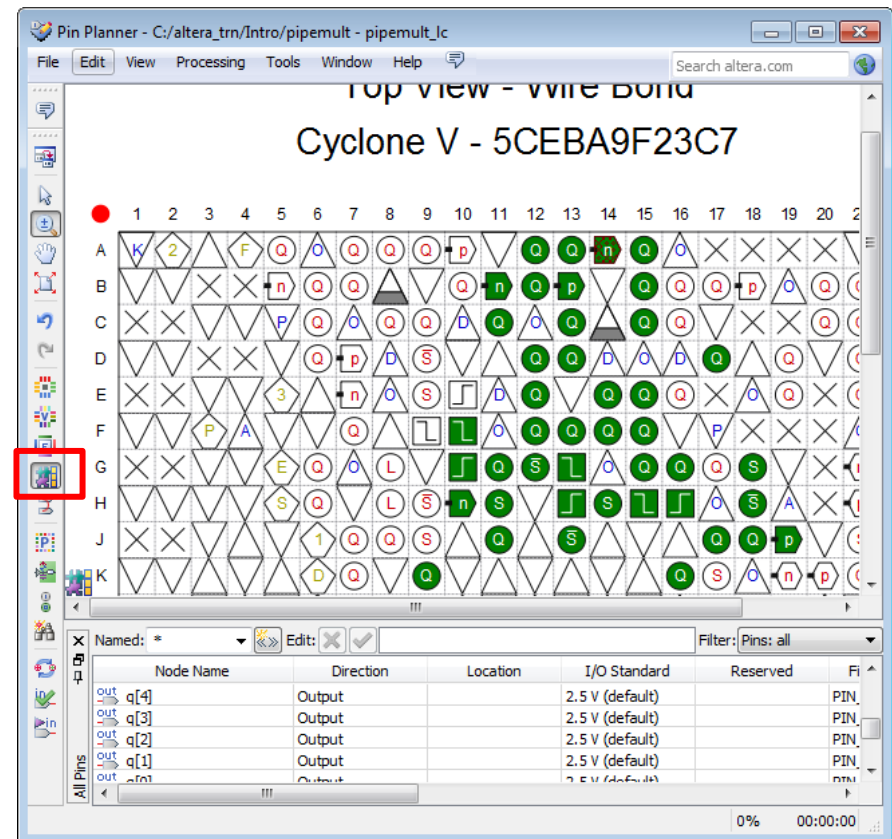


- Или вызовите контекстное меню на выводе в Package View и выберите **Reserve** → **As...**
 - Создается вывод с именем *user_reserve_<pin_number>*

Отображение настроек разводчика

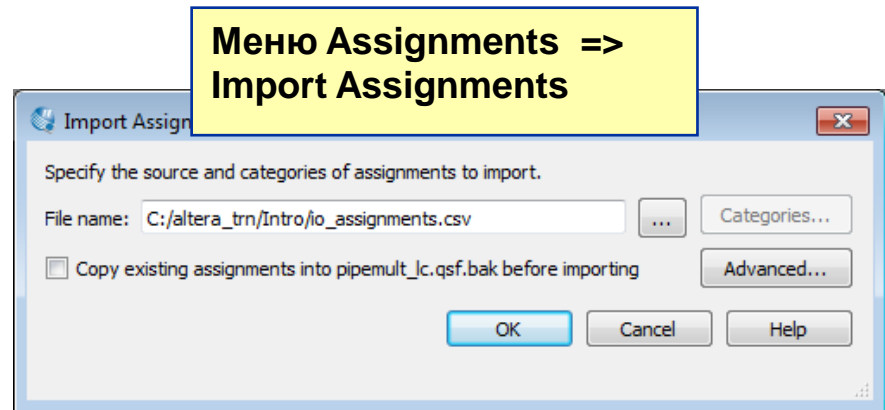
- Отображает размещение выводов после разводки
- Размещение может быть сохранено как постоянное через меню Assignments => Back-Annotate...

**View → Show →
Show Fitter
Placements
или кнопка**



Другие методы ввода настроек: импорт/экспорт из CSV

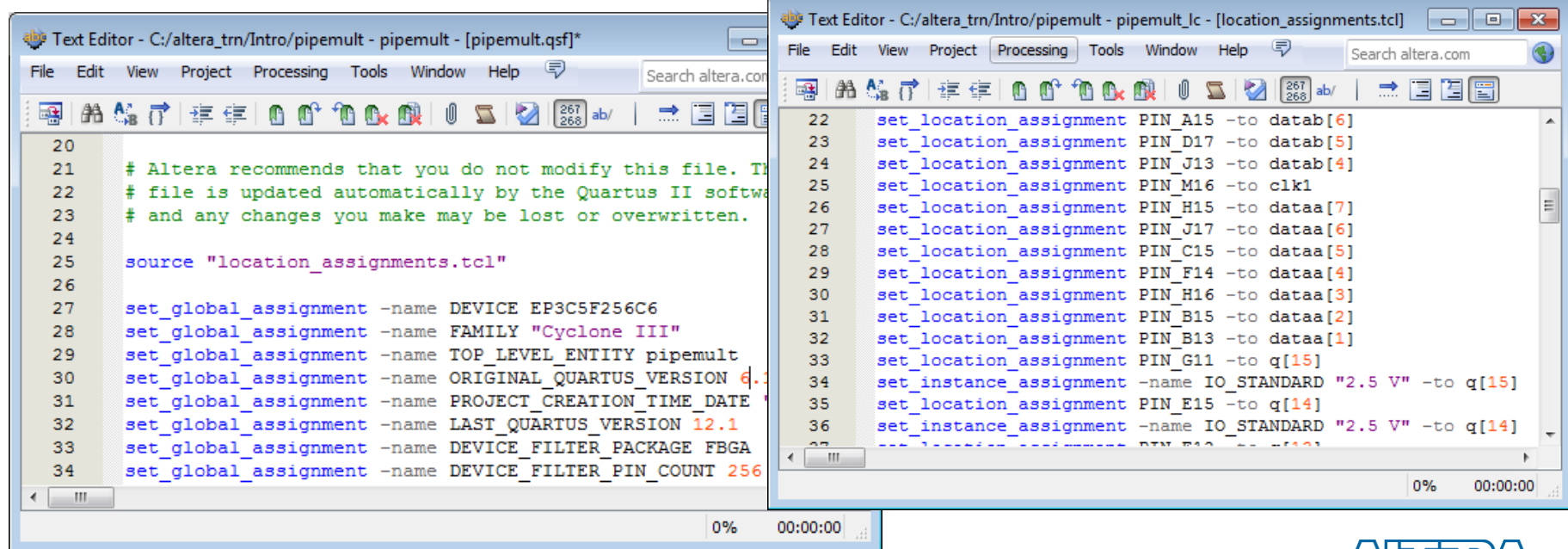
- Используйте формат с разделением запятыми (.CSV) для ввода или редактирования настроек размещения выводов
- Удобно использовать для переноса настроек между проектами и ревизиями
- Имена столбцов в CSV должны соответствовать именам столбцов Pin Planner



	A	B	C	D	E	F
1	To	Direction	Location	I/O Bank	VREF Group	I/O Standard
2	clk1	Input	PIN_E15	6 B6_N0		1.8 V
3	dataa[7]	Input	PIN_B14	7 B7_N0		2.5 V
4	dataa[6]	Input	PIN_A14	7 B7_N0		2.5 V
5	dataa[5]	Input	PIN_B13	7 B7_N0		2.5 V
6	dataa[4]	Input	PIN_A13	7 B7_N0		2.5 V

Другие методы ввода настроек: редактирование QSF и скрипты Tcl

- Ручное редактирование файла QSF
- Создание отдельного файла Tcl с настройками
 - Для записи настроек в QSF выполните скрипт Tcl через меню Tools => Tcl Scripts
 - Можно выполнить скрипт непосредственно в QSF



The image displays two overlapping text editor windows. The left window, titled 'Text Editor - C:/altera_trn/Intro/pipemult - pipemult - [pipemult.qsf]*', shows a QSF file with global and location assignments. The right window, titled 'Text Editor - C:/altera_trn/Intro/pipemult - pipemult_lc - [location_assignments.tcl]', shows a Tcl script with location and instance assignments.

```
20
21 # Altera recommends that you do not modify this file. The
22 # file is updated automatically by the Quartus II software
23 # and any changes you make may be lost or overwritten.
24
25 source "location_assignments.tcl"
26
27 set_global_assignment -name DEVICE EP3C5F256C6
28 set_global_assignment -name FAMILY "Cyclone III"
29 set_global_assignment -name TOP_LEVEL_ENTITY pipemult
30 set_global_assignment -name ORIGINAL_QUARTUS_VERSION 6.1
31 set_global_assignment -name PROJECT_CREATION_TIME_DATE "2007.08.01 10:00:00"
32 set_global_assignment -name LAST_QUARTUS_VERSION 12.1
33 set_global_assignment -name DEVICE_FILTER_PACKAGE FBGA
34 set_global_assignment -name DEVICE_FILTER_PIN_COUNT 256
```

```
22 set_location_assignment PIN_A15 -to datab[6]
23 set_location_assignment PIN_D17 -to datab[5]
24 set_location_assignment PIN_J13 -to datab[4]
25 set_location_assignment PIN_M16 -to clk1
26 set_location_assignment PIN_H15 -to dataa[7]
27 set_location_assignment PIN_J17 -to dataa[6]
28 set_location_assignment PIN_C15 -to dataa[5]
29 set_location_assignment PIN_F14 -to dataa[4]
30 set_location_assignment PIN_H16 -to dataa[3]
31 set_location_assignment PIN_B15 -to dataa[2]
32 set_location_assignment PIN_B13 -to dataa[1]
33 set_location_assignment PIN_G11 -to q[15]
34 set_instance_assignment -name IO_STANDARD "2.5 V" -to q[15]
35 set_location_assignment PIN_E15 -to q[14]
36 set_instance_assignment -name IO_STANDARD "2.5 V" -to q[14]
```

Проверка настроек размещения

■ I/O Assignment Analysis

- Проверяет корректность настроек без полной компиляции

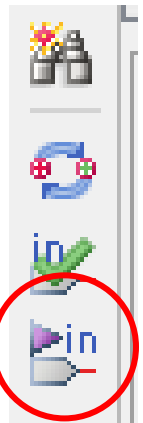
■ Необходимые требования к проекту

- Выводы должны быть объявлены
 - В исходных файлах проектов
 - Как зарезервированные
- Настройки на выводы
 - Стандарт ввода-вывода
 - Current strength
 - Размещение (вывод, банк, сторона)
 - Диод PCI
 - Частота переключения

Запуск из меню
Processing → Start → Start
I/O Assignment Analysis

или

Запуск из панели
инструментов Pin Planner



Проверка правил

■ Если внутренняя логика не реализована

- Проверяет корректность настройки взаимного расположения выводов и распределение по банкам
- Например, в одном банке должны быть выводы с одним напряжением питания

■ Если выводы связаны с логикой

- Дополнительно проверяет корректность связи с внутренними ресурсами
- Например, сигнал на PLL должен подаваться с входа тактовых импульсов
- При наличии внутренней логики требуется провести синтез до запуска I/O Assignment Analysis

Отчет I/O Assignment Analysis

Выводится в отчет компилятора (раздел Fitter)

В окне сообщений выводятся предупреждения и информация о допущениях компилятора

Pin/Rules	IO_000001	IO_000002	IO_000003	IO_000004	IO_000005	IO_000006
1 Total Pass	45	0	45	0	0	45
2 Total Unchecked	0	0	0	0	0	0
3 Total Inapplicable	0	45	0	45	45	0
4 Total Fail	0	0	0	0	0	0
5 q[15]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
6 q[14]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
7 q[13]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
8 q[12]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
9 q[11]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
10 q[10]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
11 q[9]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
12 q[8]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
13 q[7]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
14 q[6]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
15 q[5]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
16 q[4]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
17 q[3]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
18 q[2]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
19 q[1]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
20 q[0]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
21 clk1	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
22 reset	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
23 wren	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
24 wraddress[0]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
25 wraddress[1]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass
26 wraddress[2]	Pass	Inapplicable	Pass	Inapplicable	Inapplicable	Pass

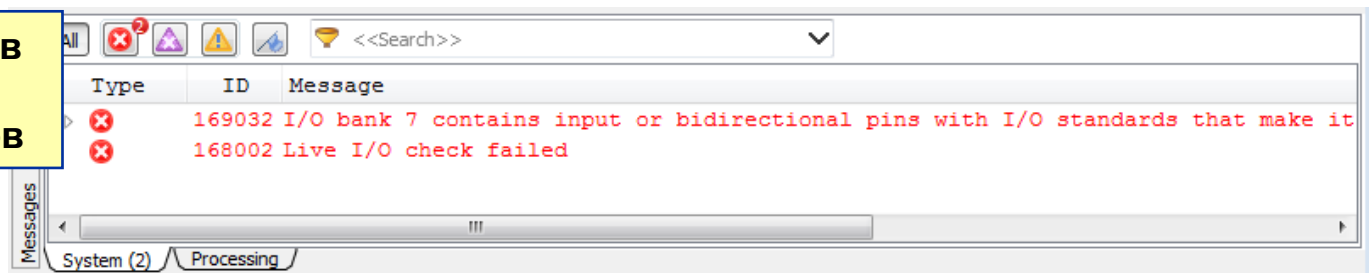
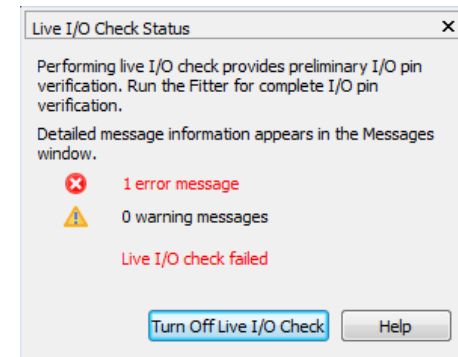
Проверка при вводе (Live I/O Checking)

- Возможна частичная проверка корректности при вводе настроек в Pin Planner
- Ошибки выводятся в окне сообщений
- Для полной проверки все равно нужно запустить I/O Assignment Analysis

Включается в меню
View → Live I/O Check
Status Window

или

Включается в
панели
инструментов

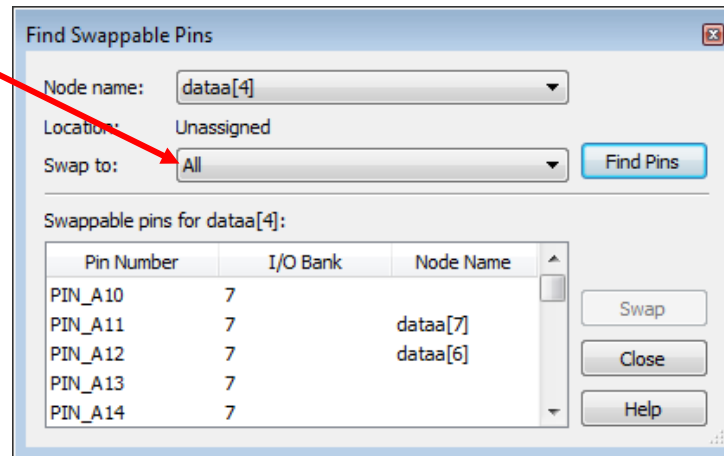


Swappable Pins

- Поиск совместимых выводов для обмена назначениями сигналов
- Сопрягается с Live I/O Check
 - Live I/O Check должна быть включена

Фильтр для
ограничения
области обмена

Выбранный вывод
подсвечивается в
Package View



Вызов из меню View →
Find Swappable Pins
или
панель инструментов



Проверка корректности настроек

- Для готового проекта
 - Запуск полной компиляции
 - Для ускорения проверки в меню Assignments => Settings => Compilation Process Settings включите опцию Run I/O Assignment Analysis before compilation
- Проект не завершен (не может быть откомпилирован)
 - Запустите Processing => Start => Run I/O Assignment Analysis
- Проект не завершен (нет файлов проекта)
 - Онлайн-тренинг [I/O System Design](http://www.altera.com/education/training/courses/ODSW1107)
(<http://www.altera.com/education/training/courses/ODSW1107>)
 - Онлайн-тренинг [Fast & Easy I/O System Design with BluePrint](http://www.altera.com/education/training/courses/OBLUEINTRO)
для Arria 10/Stratix 10
 - (<http://www.altera.com/education/training/courses/OBLUEINTRO>)

Резюме

- Настройки выводов могут осуществляться разными способами, с использованием графического интерфейса и текстовых файлов
- Средство Pin Planner предоставляет простой графический интерфейс для ввода настроек выводов и управления ими
- Режим компиляции I/O Assignment Analysis позволяет проверить назначения выводов без полной компиляции
- Режим Live I/O checking осуществляет проверку корректности во время ввода настроек
- Проверка корректности настроек выводов может быть осуществлена на любой стадии разработки проекта

Материалы по настройкам выводов

■ Главы Quartus II Handbook (Volume 2)

- *Managing Device I/O Pins*
- *Signal Integrity Analysis with Third-Party Tools*
- *Mentor Graphics PCB Design Tools Support*
- *Cadence PCB Design Tools Support*

■ Pin Connection Guidelines

■ Device Pin-Outs

■ Board Design Resource Center

- <https://www.altera.com/support/support-resources/support-centers/board-design-guidelines.html>

Проектирование в Quartus II

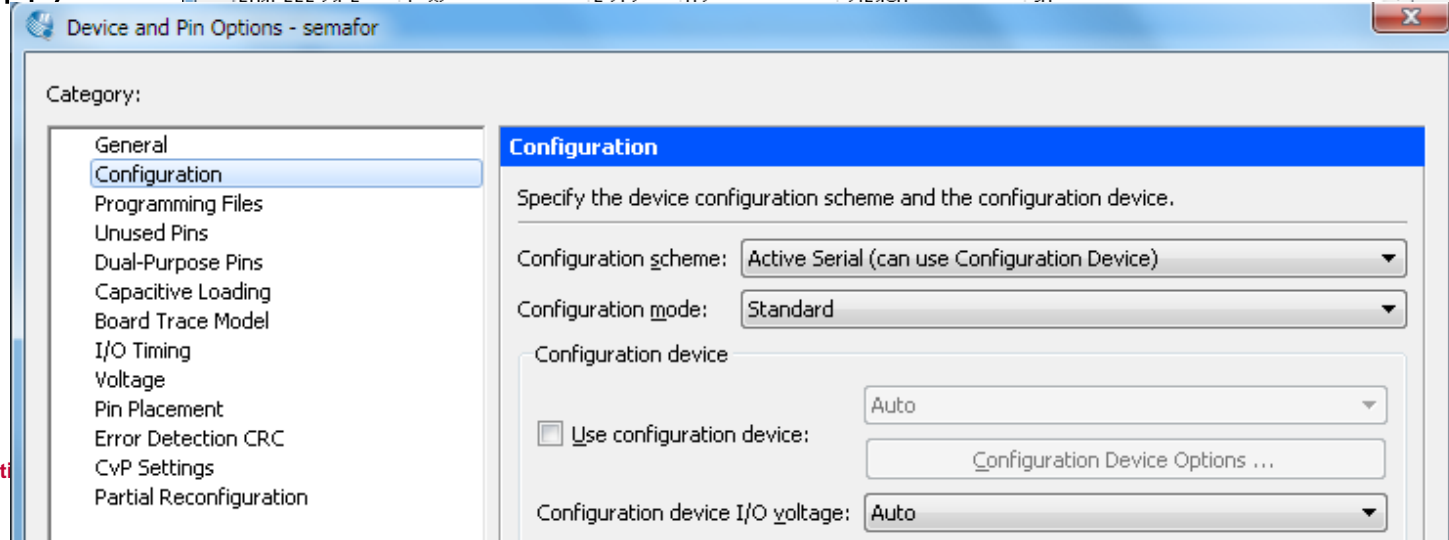
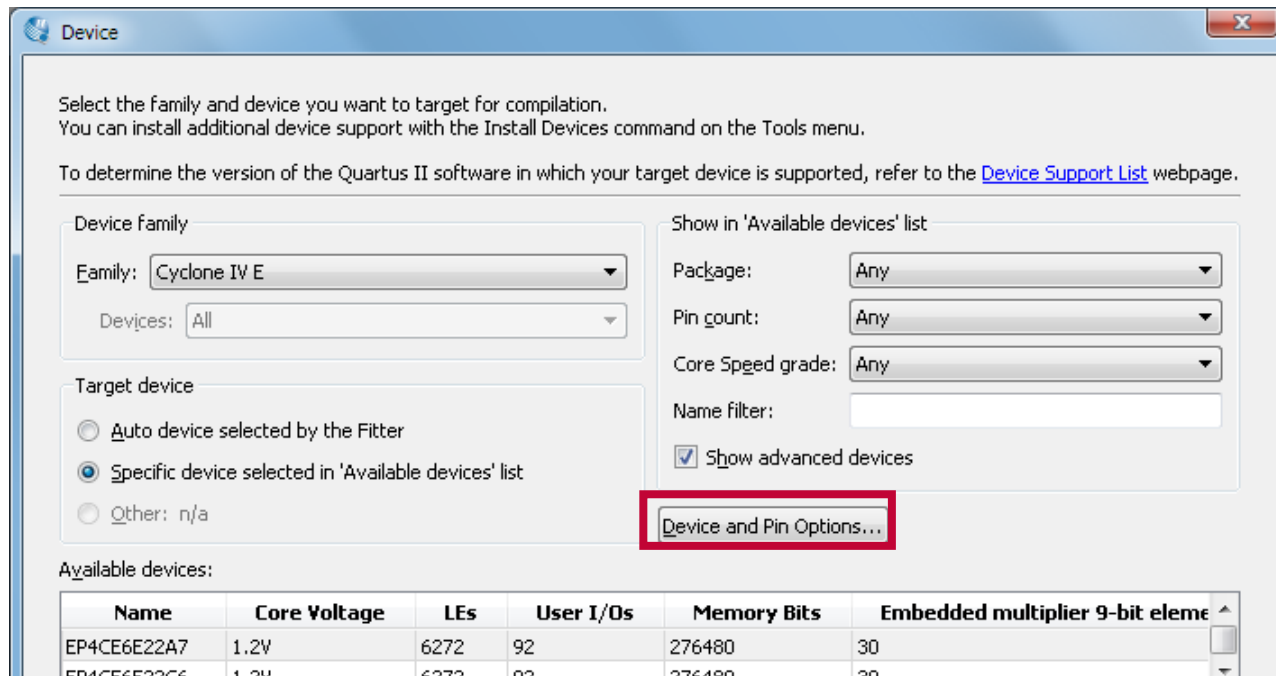
Программирование и конфигурация

Содержание

- Настройка параметров устройства
- Программатор Quartus II
- Преобразование файлов для программирования

Настройка параметров устройства

- Осуществляется в диалоге Assignments => Device => Device and Pin Options
- Определяет глобальные параметры устройства (параметры конфигурации, режим работы неиспользуемых выводов и т.д.)



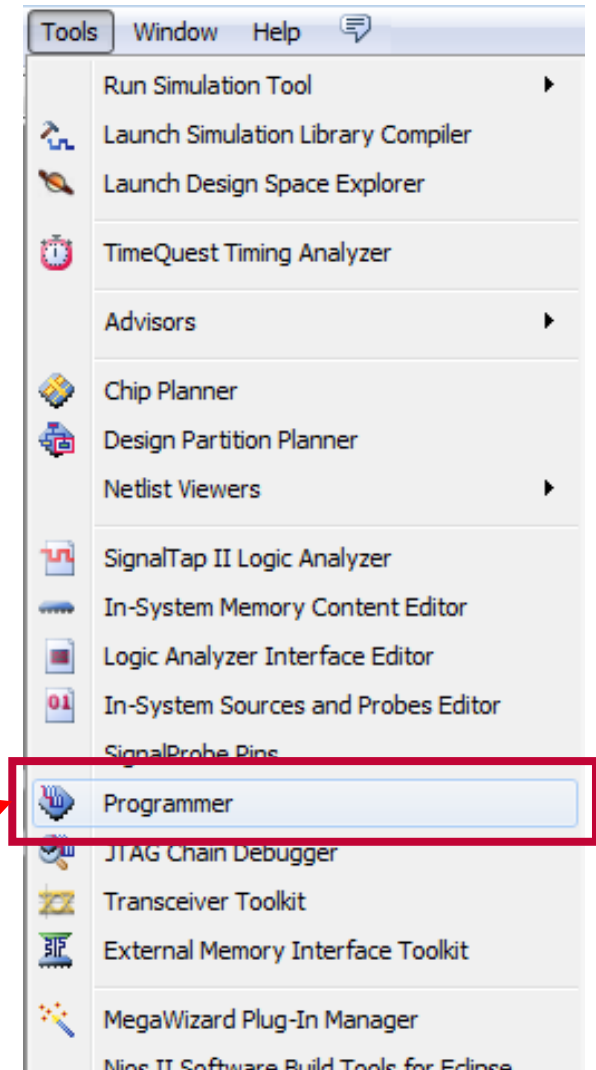
Программатор Quartus II

- Quartus II Programmer
- Используется для внутрисхемного программирования микросхем Altera

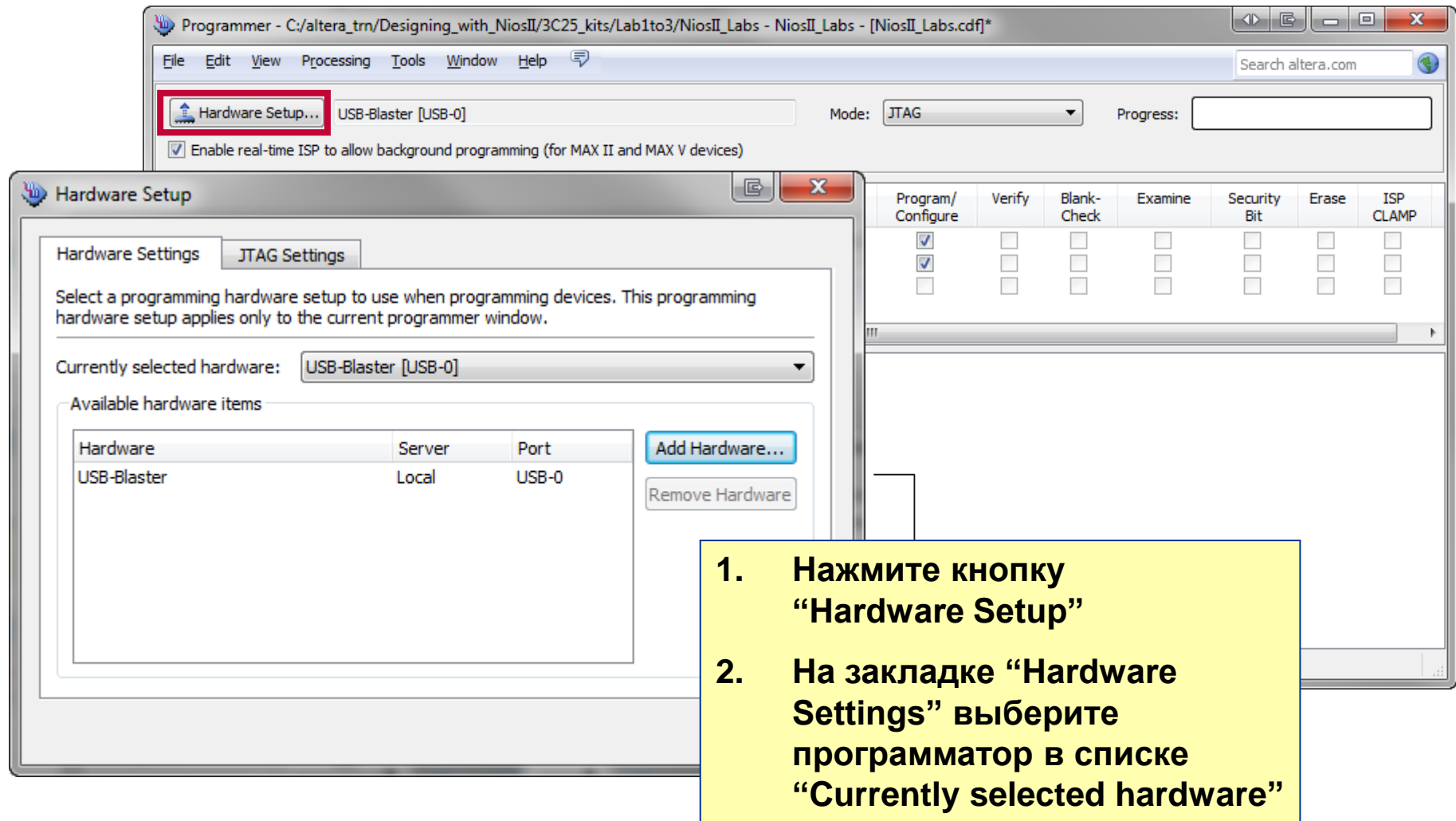


Запуск программатора:

- Из панели инструментов
- или
- Меню Tools → Programmer



Выбор программатора



Programmer - C:/altera_trn/Designing_with_NiosII/3C25_kits/Lab1to3/NiosII_Labs - NiosII_Labs - [NiosII_Labs.cdf]*

File Edit View Processing Tools Window Help

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress:

☒ Enable real-time ISP to allow background programming (for MAX II and MAX V devices)

Hardware Setup

Hardware Settings JTAG Settings

Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.

Currently selected hardware: USB-Blaster [USB-0]

Available hardware items

Hardware	Server	Port
USB-Blaster	Local	USB-0

Add Hardware... Remove Hardware

Program/Configure	Verify	Blank-Check	Examine	Security Bit	Erase	ISP CLAMP
<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

1. Нажмите кнопку “Hardware Setup”
2. На закладке “Hardware Settings” выберите программатор в списке “Currently selected hardware”

Основные файлы для программирования

■ .SOF (SRAM Object File)

- Используется для конфигурации ПЛИС на основе статической памяти (семейства Stratix, Arria и Cyclone) из Quartus II через загрузочный кабель

■ .POF (Programming Object File)

- Используется для программирования энергонезависимых ПЛИС (MAX, MAXII, MAXV) и конфигурационных ПЗУ

■ .JAM/.JBC

- Текстовый файл, используемый процессорами и сторонним тестовым оборудованием для программирования и конфигурации устройств через JTAG

■ .JIC (JTAG Indirect Configuration File)

- Используется для программирования конфигурационных ПЗУ для режимов AS (семейство EPCS) и AP (микросхемы StrataFlash компании Micron)

JTAG Chain

Выберите режим работы кабеля

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress:

☒ Enable real-time ISP to allow background programming (for MAX II and MAX V devices)

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Examine	Security Bit	Erase	ISP CLAMP
NiosII_Labs.sof	EP3C25F324	0053074A	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
.././././Quartus_II_Softw...	EP4CE6F17	0008DCE8	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<none>	MY_DEVICE	00000000	<none>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Start Stop Auto Detect Delete Add File... Change File... Save File Add Device... Up Down

При добавлении файлов тип ПЛИС считывается из файла

Выбор действия. Для неотмеченных устройств, а также для сторонних устройств выдается команда обхода BYPASS

EP3C25F324 EP4CE6F17 MY_DEVICE TDO

- Для изменения порядка используйте кнопки Up и Down Devices in the chain
- Порядок должен соответствовать организации цепочки JTAG на плате

Опции программирования

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Examine	Security Bit	Erase	ISP CLAMP
NiosII_Labs.sof	EP3C25F324	0053074A	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
../.../Quartus_II_Softw...	EP4CE6F17	0008DCE8	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<none>	MY_DEVICE	00000000	<none>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Опция*)	Описание
Verify	Сравнивает содержимое ПЛИС с файлом для программирования
Blank-Check	Проверка того, что устройство незапрограммировано/стерто
Examine	Считывает содержимое устройства. Данные могут быть сохранены как файл .rof.
Security Bit	Бит защиты прошивки от считывания
Erase	Стирание устройства

***)Только для ПЗУ и МАХ/МАХII/МАХV.
ПЛИС на основе статической памяти
не поддерживают считывание прошивки**

Запуск программирования

Programmer - C:/altera_trn/Designing_with_NiosII/3C25_kits/Lab1to3/NiosII_Labs - NiosII_Labs - [NiosII_Labs.cdf]*

File Edit View Processing Tools Window Help Search altera.com

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress: 100%

☒ Enable real-time ISP to allow background programming (for MAX II and MAX V devices)

Start Stop Auto Detect Delete Add File... Change File... Save File Add Device... Up Down

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Examine	Security Bit	Erase	ISP CLAMP
NiosII_Labs.sof	EP3C25F324	0053074A	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
filterf.sof	EP1C6F256	000A0B1D	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<none>	MY_DEVICE	00000000	<none>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Нажмите кнопку Start

Diagram illustrating the JTAG chain for programming:

```
graph LR; TDI --> EP3C25F324[EP3C25F324]; EP3C25F324 --> EP4CE6F17[EP4CE6F17]; EP4CE6F17 --> MY_DEVICE[MY_DEVICE]; MY_DEVICE --> TDO
```

Создание файлов .jam/.jbc

Файлы в форматах JAM и JBC предназначены для конфигурации и программирования устройств через JTAG сторонним тестовым оборудованием, а также процессорами, в которых программно реализован JTAG Player (проигрывание файлов по JTAG)

The screenshot shows the Altera Programmer application window. The 'File' menu is open, and the option 'Create JAM, JBC, SVF or ISC File...' is highlighted with a red rectangle. A yellow callout box with a red border contains the following instructions:

Для создания файла:

1. **File → Create/Update → Create JAM, SVF or ISC File...**
2. **Укажите имя и формат файла**
3. **Нажмите ОК**

The 'Create JAM, JBC, SVF or ISC file' dialog box is also shown, with the following settings:

- File name: NiosII_Labs.jbc
- File format: Jam STAPL Byte Code 2.0 (.jbc)
- Operation: ☒ Program, ☐ Verify
- Programming options: ☐ Blank-check, ☒ Verify
- Clock frequency: TCK frequency: 25.0 MHz
- Supply voltage: 3.3 volts

The background window shows a table with columns: Device, Checksum, and Usercode. The table contains two rows of data:

Device	Checksum	Usercode
EP3C25F324	0053074A	FFFFFFFF
EP4CE6F17	0008DCE8	FFFFFFFF

At the bottom of the window, there is a section labeled 'MY_DEVICE' with a chip icon.

Программирование конфигурационных ПЗУ

Programmer - C:/Current_Training_Classes/Timing_Analysis/COS_062612/filter - filtref - [output_files/filtref.cdf]*

File Edit View Processing Tools Window Help Search altera.com

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress:

☒ Enable real-time ISP to allow background programming (for MAX II and MAX V devices)

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Examine	Security Bit	Erase	ISP CLAMP
<none>	EP2AGX45	00000000	FFFFFFFF	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
output_files/filtref.jic	EPCS64	49538A36		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

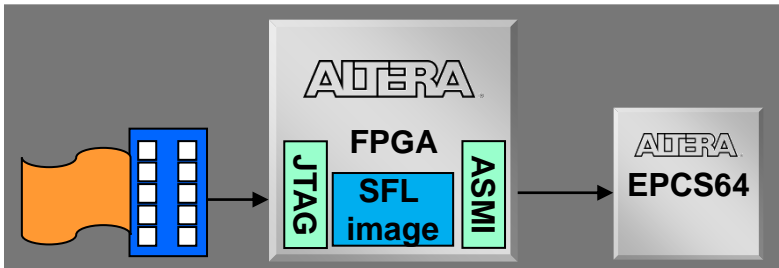
Start Stop Auto Detect Delete Add File... Change File... Save File Add Device... Up Down

Diagram illustrating the programming process:

- EP2AGX45 device is connected to EPSC64 device via TDI and TDO.
- EPSC64 device is connected to Altera EP4C30 device via JTAG.
- Altera EP4C30 device contains an SFL image and an ASMI.
- Altera EP4C30 device is connected to Altera EPCS64 device via JTAG.
- Altera EPCS64 device is connected to EPSC64 device via JTAG.

JIC файл используется для программирования конфигурационных ПЗУ через ПЛИС

Создание .jic файла



1. Откройте диалог File -> Convert Programming Files
2. Выберите тип файла .jic в списке Programming file type
3. В списке Input Files выберите Flash Loader в таблице, нажмите кнопку “Add Device” и выберите ПЛИС
4. Убедитесь, что в поле SOF Data указан правильный файл конфигурации. Для смены нажмите кнопку “Add Sof Data”.
5. Нажмите кнопку “Generate”

