

Проектирование в Quartus Prime



Содержание

- Создание нового проекта Quartus Prime
- Методы ввода проекта
- Компиляция проекта
- Изучение результатов компиляции

Три версии САПР Quartus Prime

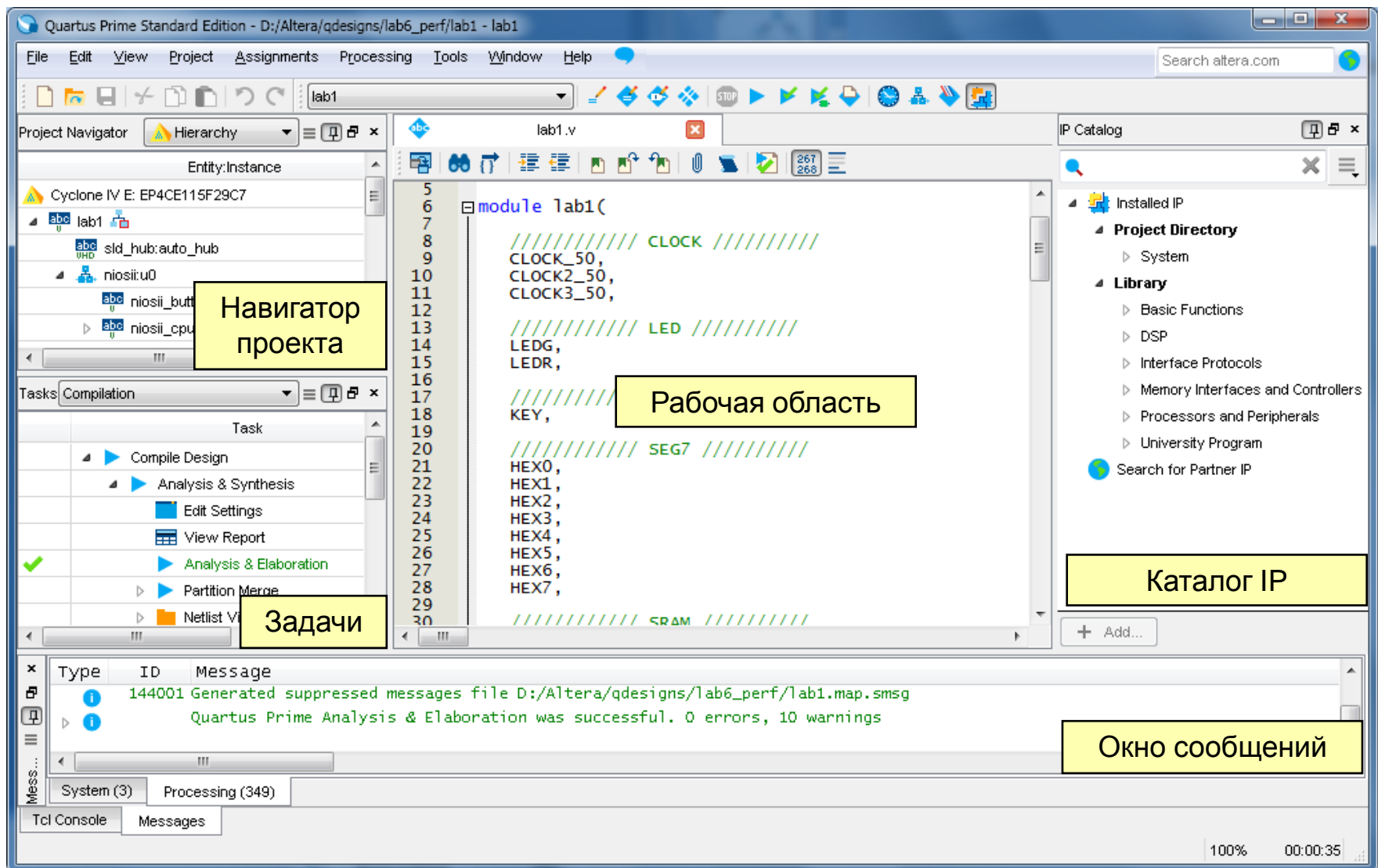


	Lite Edition	Standard Edition	Pro Edition (beta)
Поддержка устройств	Недорогие семейства (MAX, Cyclone)	Все семейства	Arria 10, Stratix 10
Возможности	Базовые	Быстрая перекомпиляция, новый компилятор SpectraQ, набор базовых IP-ядер	Быстрая перекомпиляция, новый компилятор SpectraQ, набор базовых IP-ядер, Blueprint Platform Designer
Доступно	Internet	Internet	Internet
Цена	Бесплатная (не требует лицензии)	Платная, от \$2995	Платная

Система проектирования Quartus Prime

- ◀ Интегрированное средство разработки
 - ◀ Поддержка различных методов ввода проекта
 - ◀ Логический синтез
 - ◀ Разводка
 - ◀ Анализ временных характеристик и энергопотребления
 - ◀ Программирование и внутрисхемная отладка
- ◀ Моделирование
 - ◀ Поддерживается связь с различными пакетами моделирования
 - ◀ Имеется бесплатная версия пакета ModelSim для моделирования проектов на ПЛИС Altera

Среда проектирования Quartus Prime



Проектирование в Quartus Prime

Маршрут проектирования

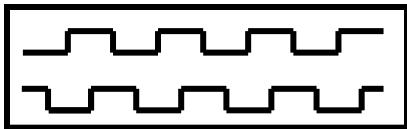


Маршрут проектирования ПЛИС

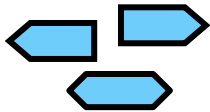
Системный уровень

- Требования к проекту
- Разработка архитектуры проекта
- Разработка требований к модулям
- Высокоуровневый ввод и моделирование

Не поддерживается
в Quartus Prime



I/O



Ввод проекта

Поведенческое или структурное описание проекта в виде модулей.

Функциональное моделирование

Проверка корректности логического описания и потока данных без учета задержек

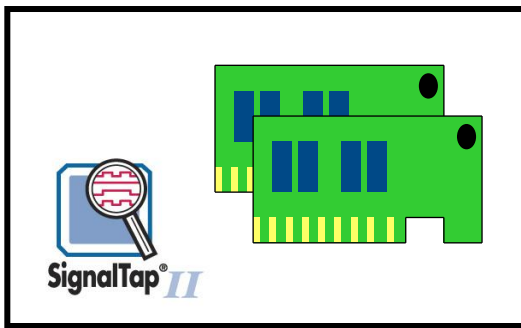
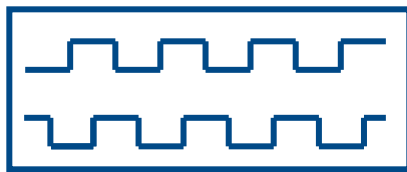
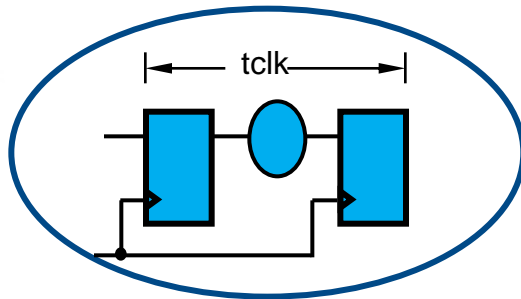
Настройка проекта

- Задание временных требований
- Выбор типа микросхемы и задание размещения выводов и их настроек (стандарт и т.д.)
- Настройка оптимизаций компилятора

Компиляция

- Логический синтез и оптимизация (отображение описания проекта в уравнения и настройки модулей, реализуемые в устройстве)
- Разводка (отображение синтезированных уравнений на конкретные функциональные элементы устройства и конфигурация соединений между ними)

Маршрут проектирования ПЛИС



Анализ результатов компиляции

- Временной анализ (проверка выполнения временных требований с учетом результатов синтеза и разводки и временной модели ПЛИС)
- Анализ энергопотребления

Временное моделирование (опционально)

Проверка функционирования проекта в выбранном устройстве с учетом временных характеристик проекта

Отладка и моделирование в системе

- Программирование и тестирование реального устройства
- Внутрисхемная эмуляция SignalTap II
- Вывод тестовых сигналов SignalProbe
- Редактирование встроенной памяти
- Тестирование высокоскоростных интерфейсов в Transceiver Toolkit
- Отладка контроллеров памяти в External Memory Interface Toolkit

Проектирование в Quartus Prime

Создание проекта



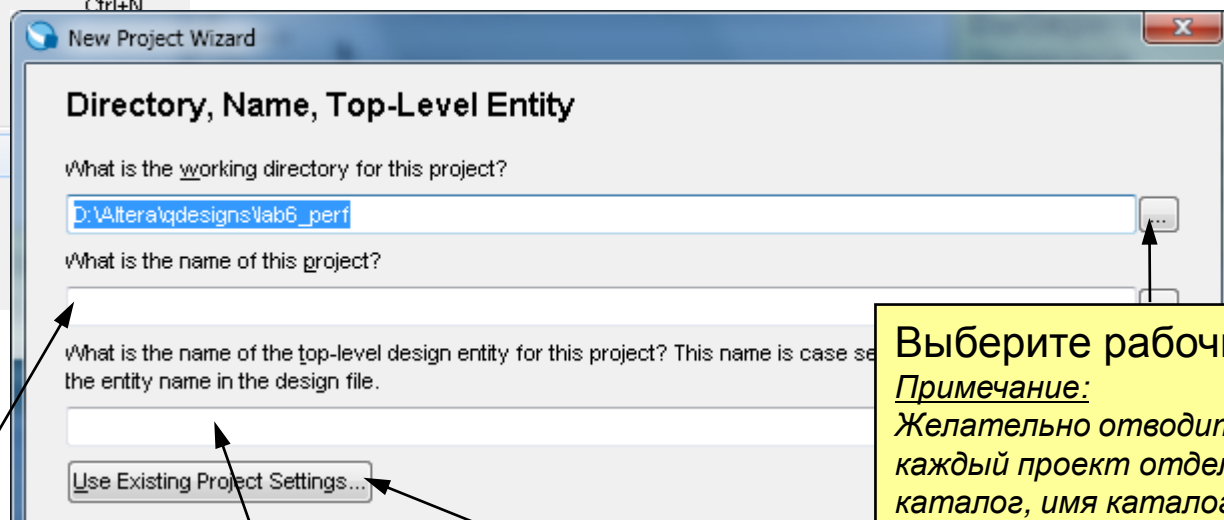
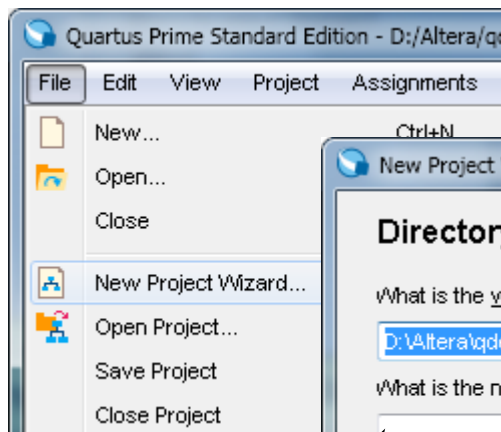
Проекты Quartus Prime

◀ Описание

- ◀ Проект – это набор файлов и библиотек, используемых для описания устройства
- ◀ Один проект – одна микросхема.
Не поддерживается проектирование для нескольких ПЛИС или объединение нескольких проектов в одну ПЛИС.
- ◀ Расширение файла проекта - .QPF
- ◀ Настройки проекта хранятся в файле .QSF
- ◀ Создается с помощью мастера или Tcl скриптов

Мастер создания нового проекта

Меню File > New Project Wizard



Имя проекта – любое.
Обычно соответствует
файлу верхнего уровня
иерархии

Имя файла на верхнем
уровне иерархии

Использование настроек
существующего проекта

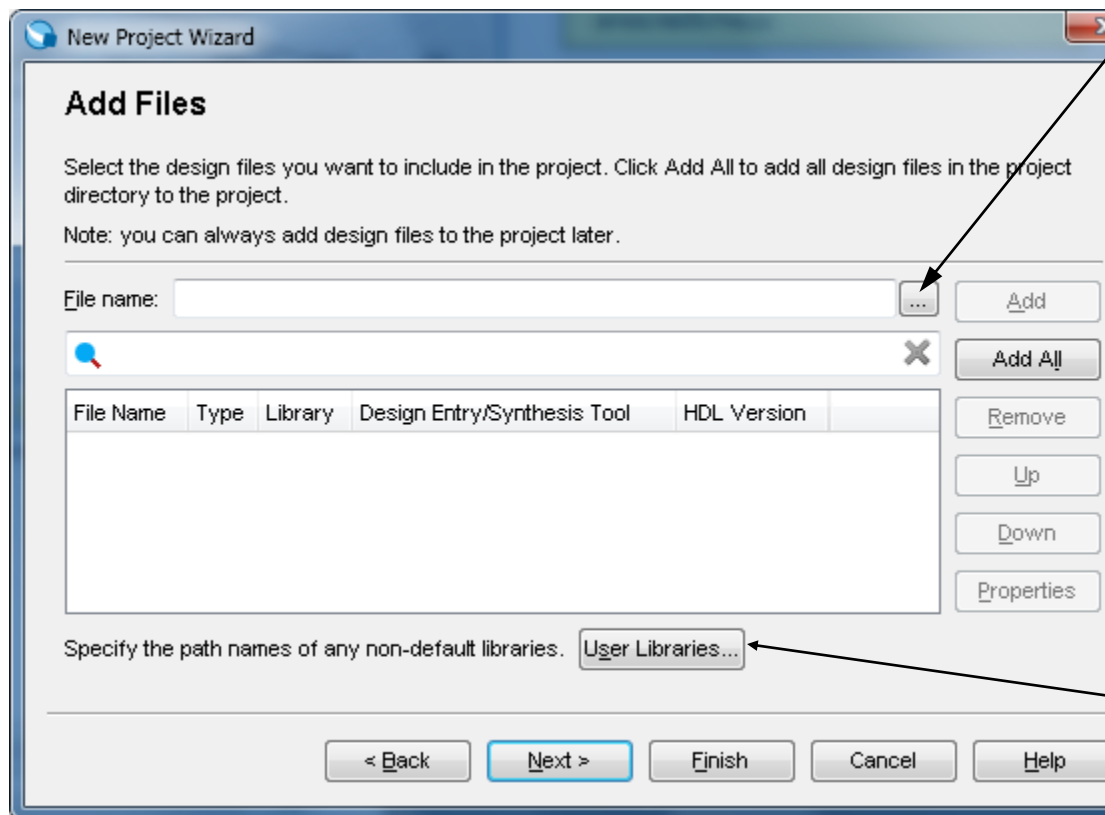
Выберите рабочий каталог
Примечание:
Желательно отводить под
каждый проект отдельный
каталог, имя каталога не должно
содержать русских букв и
пробелов

Тип проекта

- Создание пустого проекта или загрузка шаблонов проекта из магазина Altera
 - <https://cloud.altera.com/devstore/>
- Примеры проектов для отладочных плат



Добавление файлов



Добавьте файлы проекта

Схемный ввод:

- .BDF (.GDF)

Языки:

- AHDL
- VHDL
- Verilog
- SystemVerilog

Списки соединений:

- EDIF
- VQM

Примечание:

- Файлы могут быть добавлены впоследствии

Настройка путей
к доп. библиотекам

- Библиотеки пользователя
- Библиотеки IP ядер третьих фирм
- Прекомпилированные библиотеки на VHDL

Выбор устройства

Family & Device Settings

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone V (E/GX/GT/SX/SE/ST)

Devices: All

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Available devices:

Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PMA	GXB Channel
5CGXFC7C7F23C8	1.1V	56480	268	240	6	6
5CGXFC7C7U19C8	1.1V	56480	268	240	6	6

Annotations:

- Выберите семейство
- Разрешите системе проектирования выбрать устройство автоматически
- или
- Выберите используемое устройство из списка

Настройка САПР третьих фирм

New Project Wizard

EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	ModelSim-Altera	Verilog HDL	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back Next >

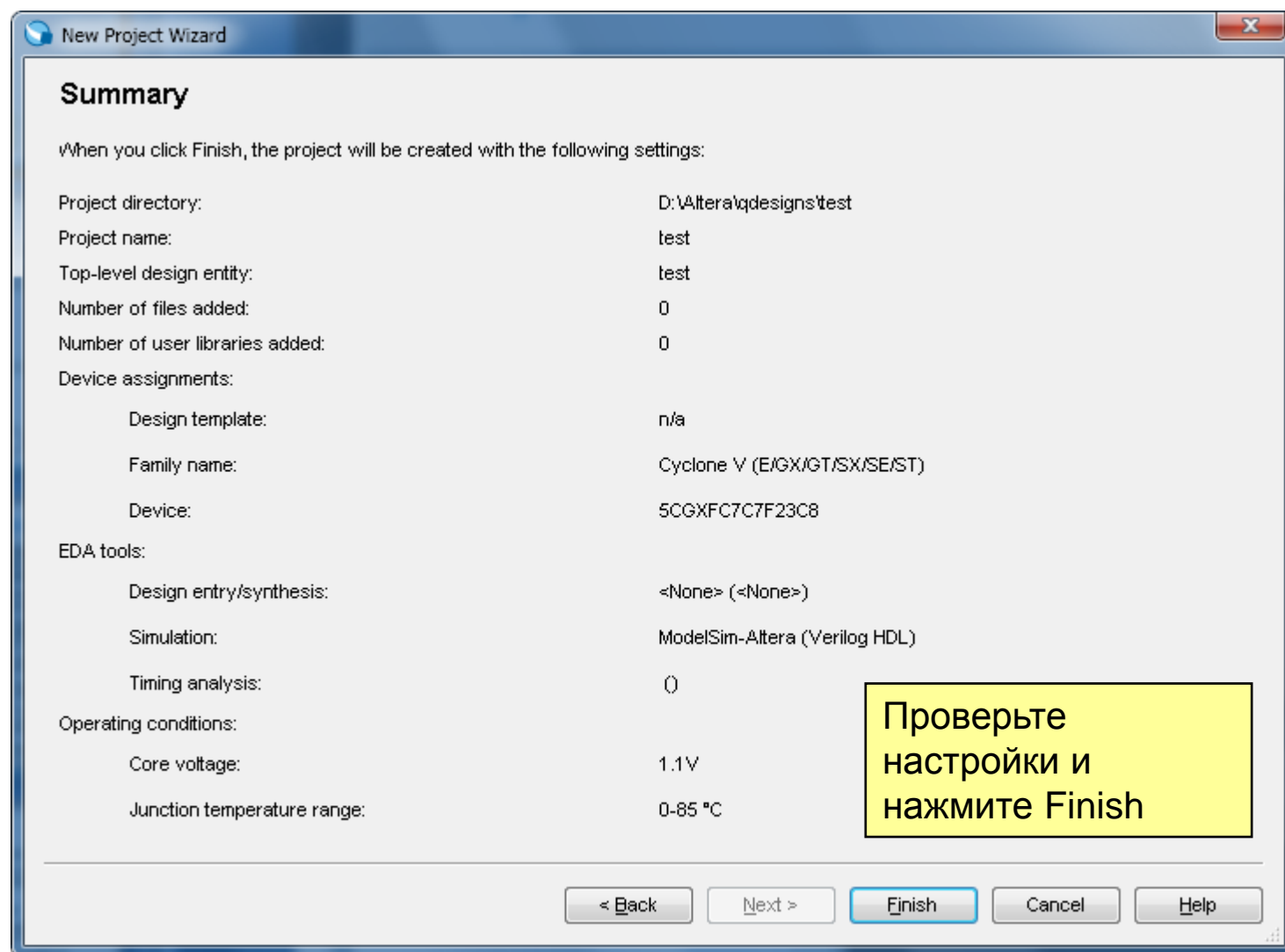
Настройте используемые САПР третьих фирм.

В данном курсе для моделирования используется пакет ModelSim-Altera и язык Verilog

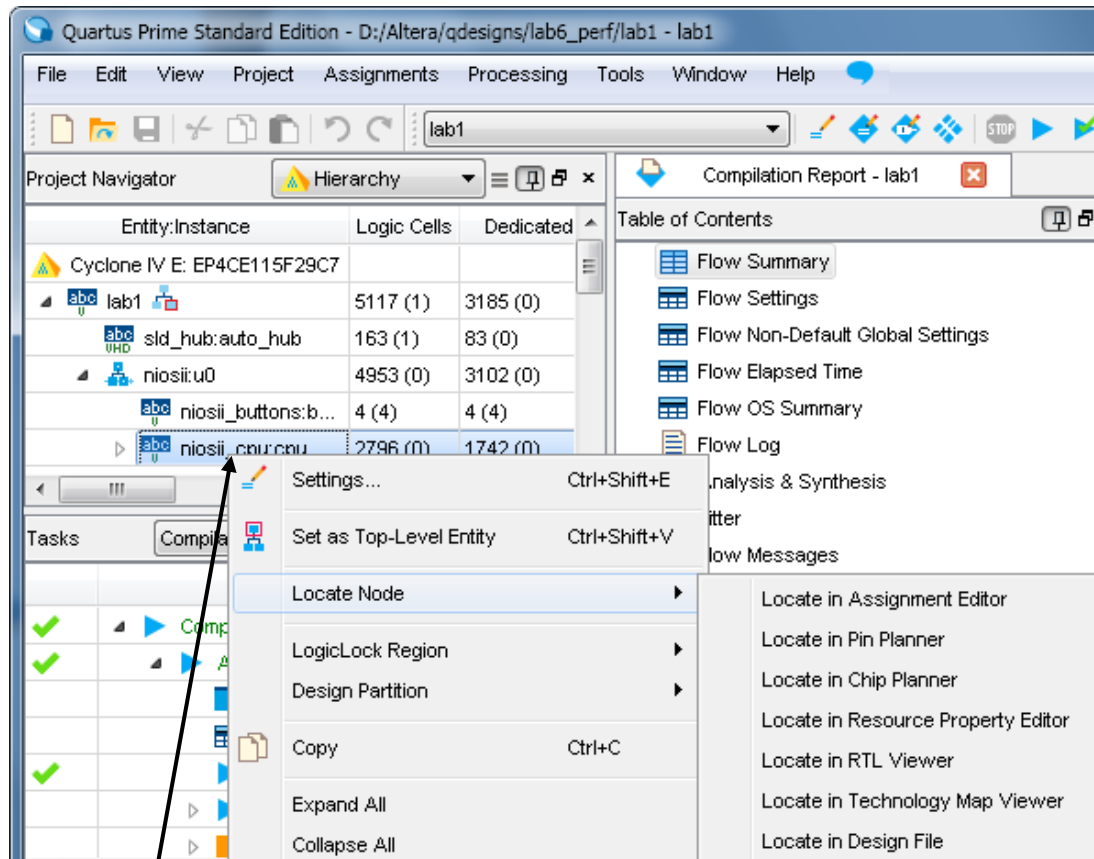
Примечание:

- Настройки могут быть заданы или скорректированы впоследствии в настройках проекта

Завершение



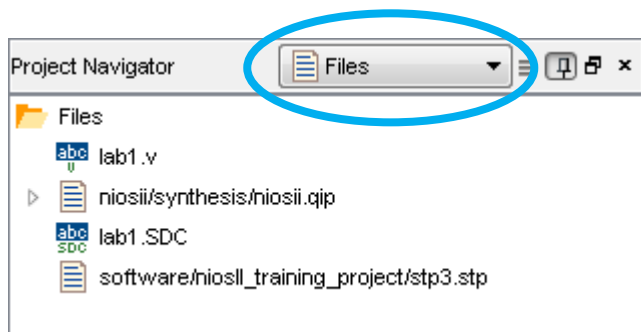
Навигатор проекта. Закладка иерархии



- Отображает иерархию проекта после анализа в процессе компиляции
- Дополнительные возможности
 - Отображение объема задействованных ресурсов для модулей
 - Индивидуальные настройки модулей
 - Определение верхнего уровня иерархии
 - Поиск в исходных модулях и средствах просмотра результатов компиляции
 - Разделение на области для инкрементального проектирования

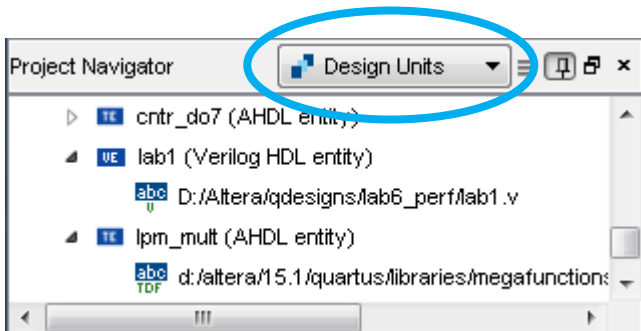
Вызовите контекстное меню на имени модуля

Закладки навигатора проекта



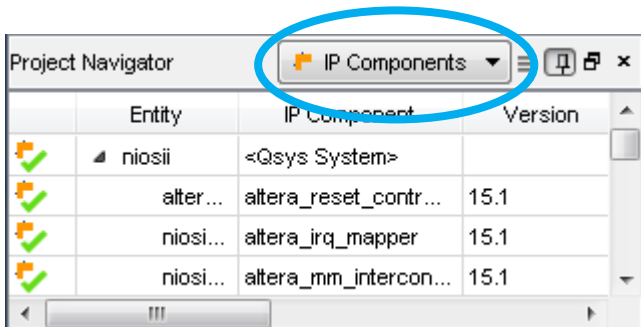
Закладка Files Tab

- Показывает файлы, добавленные в состав проекта
- Назначение
 - Добавление и удаление файлов из проекта
 - Открытие файлов
 - Определение верхнего уровня иерархии
 - Указание библиотек на VHDL
 - Возможность настройки средств синтеза для различных файлов



Закладка Design Units

- Отображает логические модули проекта и их тип
 - Модули на VHDL и Verilog
 - Модуль на AHDL
 - Файл схемного ввода
- Отображает соответствие файлов и логических модулей



Закладка IP Components

- Отображает задействованные IP-ядра
- Вызов диалога конфигурации

Окно задач

- Быстрый доступ к большинству функций в Quartus II (двойной щелчок запускает задачу)
- Выводятся связанные задачи для разных этапов маршрута проектирования

Полный маршрут
Вывод всех задач

Tasks	Full Design			
	Task			
	▶ Start Project			
	▶ Create Design			
	▶ Assign Constraints			
✓	▶ Compile Design			
✓	▶ Analysis & Synthesis			
✓	▶ Fitter (Place & Route)			
✓	▶ Assembler (Generate programming files)			
✓	▶ TimeQuest Timing Analysis			
	▶ EDA Netlist Writer			

Только компиляция
Вывод задач компилятора

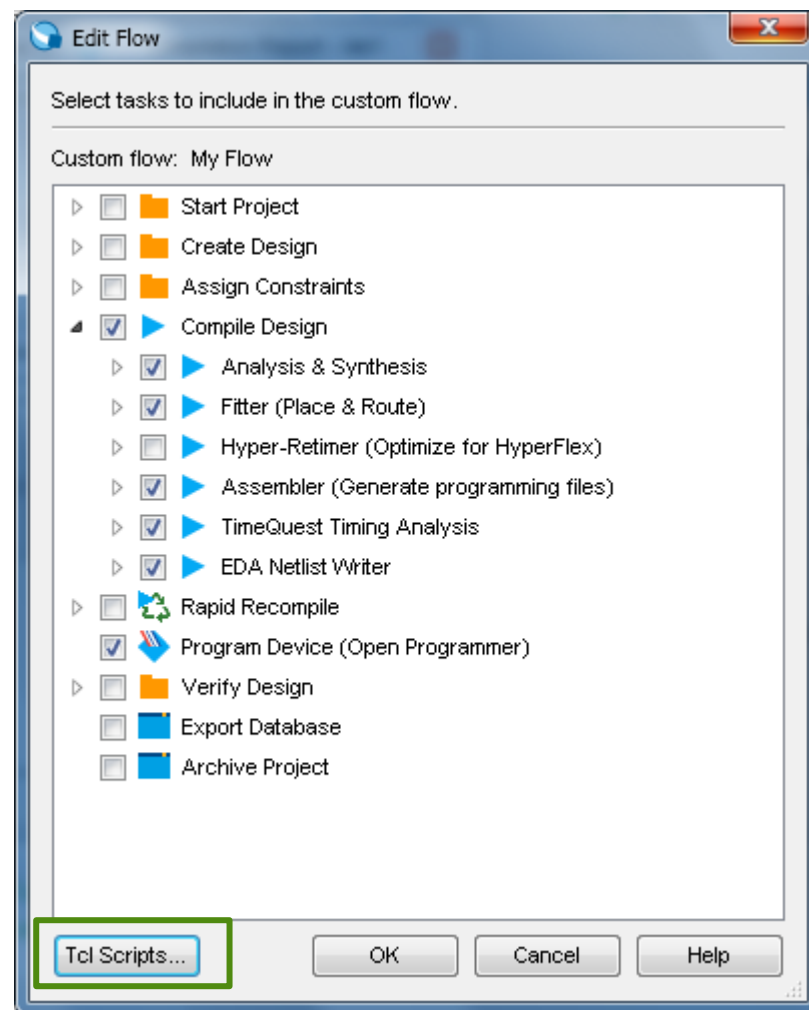
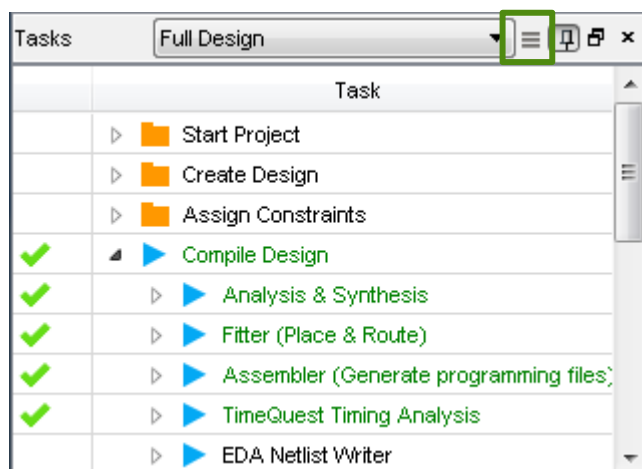
Tasks	Compilation			
	Task			
✓	▶ Compile Design			
✓	▶ Analysis & Synthesis			
	▶ Edit Settings			
	▶ View Report			
✓	▶ Analysis & Elaboration			
	▶ Partition Merge			
	▶ Netlist Viewers			

RTL Simulation
Функциональное моделирование

Tasks	RTL Simulation			
	Task			
✓	▶ Analysis & Elaboration			
	▶ RTL Simulation			

Настройка панели задач

- Можно определить свой маршрут
- Можно добавлять скрипты Tcl для ускорения запуска сложных процессов



Консоль Tcl

Ввод и исполнение команд Tcl

Меню View → Utility Windows → Tcl Console



Запуск команд из командной строки в оболочке Tcl

quartus_sh -shell

Запуск готовых скриптов также возможен из меню Tools ⇒ Tcl Scripts...

Лабораторная работа №1

Часть 1

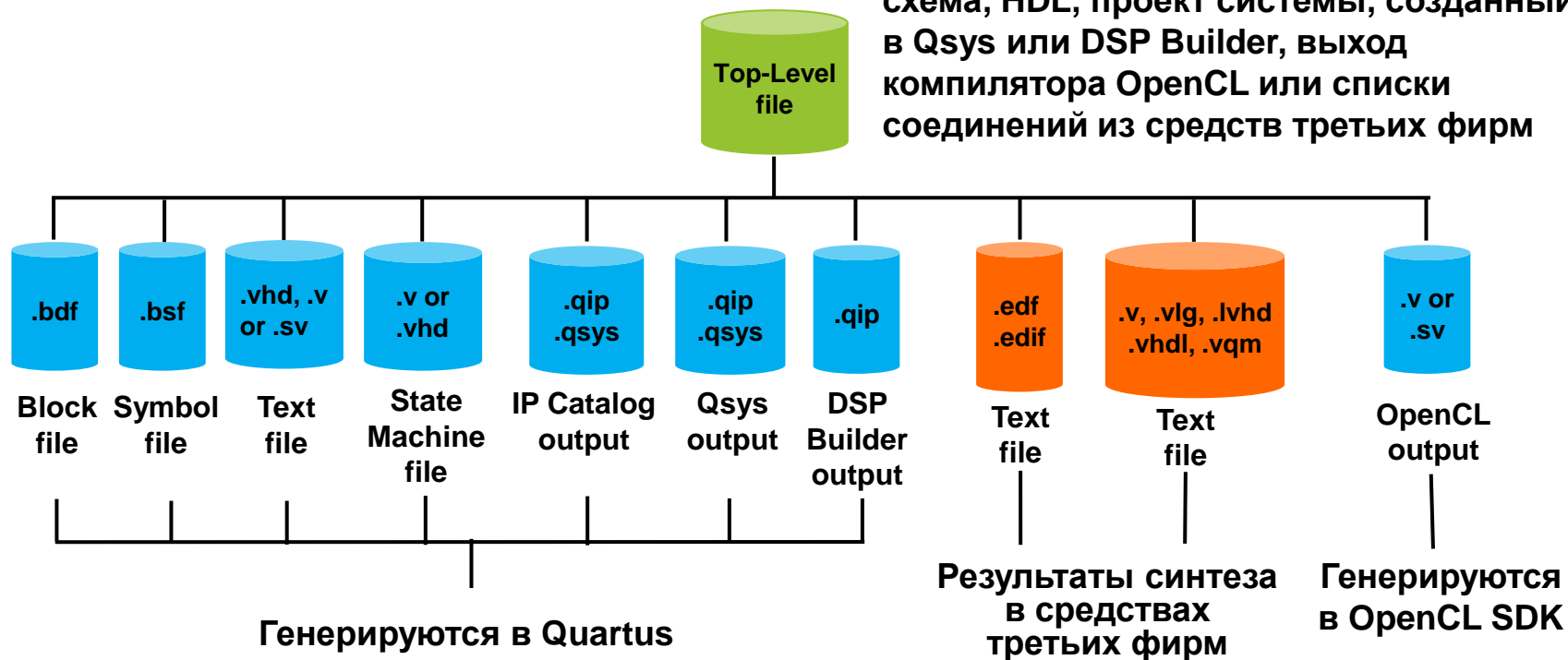
Проектирование в Quartus II

Ввод проекта



Средства ввода проекта

Файлами верхнего уровня могут быть схема, HDL, проект системы, созданный в Qsys или DSP Builder, выход компилятора OpenCL или списки соединений из средств третьих фирм



Допускается использование в проекте файлов разных ТИПОВ

Текстовый ввод

- ◀ Возможности редактора
 - ◀ Нумерация строк
 - ◀ Комментирование блоков
 - ◀ Сворачивание блоков и функций
 - ◀ Подсветка синтаксиса
 - ◀ Шаблоны конструкций языка
 - ◀ Автозавершение
- ◀ Расширения поддерживаемых языков
 - ◀ VHDL (.vhd, .vhdl)
 - ◀ Verilog (.v, .vlg, .verilog, .vh)
 - ◀ SystemVerilog (.sv)

Шаблоны HDL

Выбор языка
Выбор типа конструкции
Предварительный просмотр

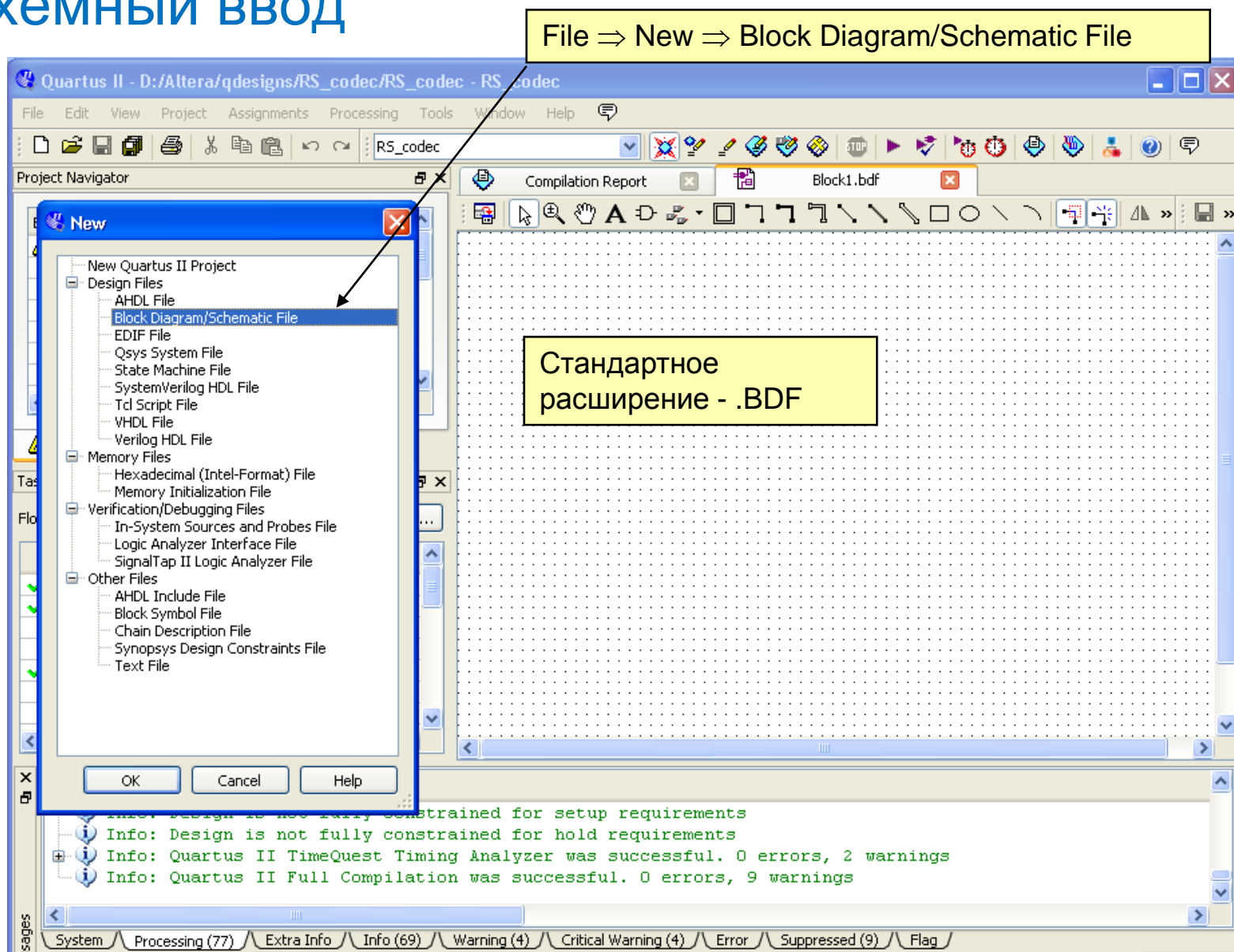
Edit ⇒ Insert Template... или кнопка на панели инструментов

```
// Quartus Prime Verilog Template  
// Binary counter  
  
module binary_counter  
#(parameter WIDTH=64)  
(  
    input clk, enable, reset  
    output reg [WIDTH-1:0] count  
);  
  
    // Reset if needed, or increment  
    always @ (posedge clk or posedge reset)  
    begin  
        if (reset)  
            count <= 0;  
        else if (enable)  
            count <= count + 1;  
    end  
  
endmodule
```

Схемный ввод

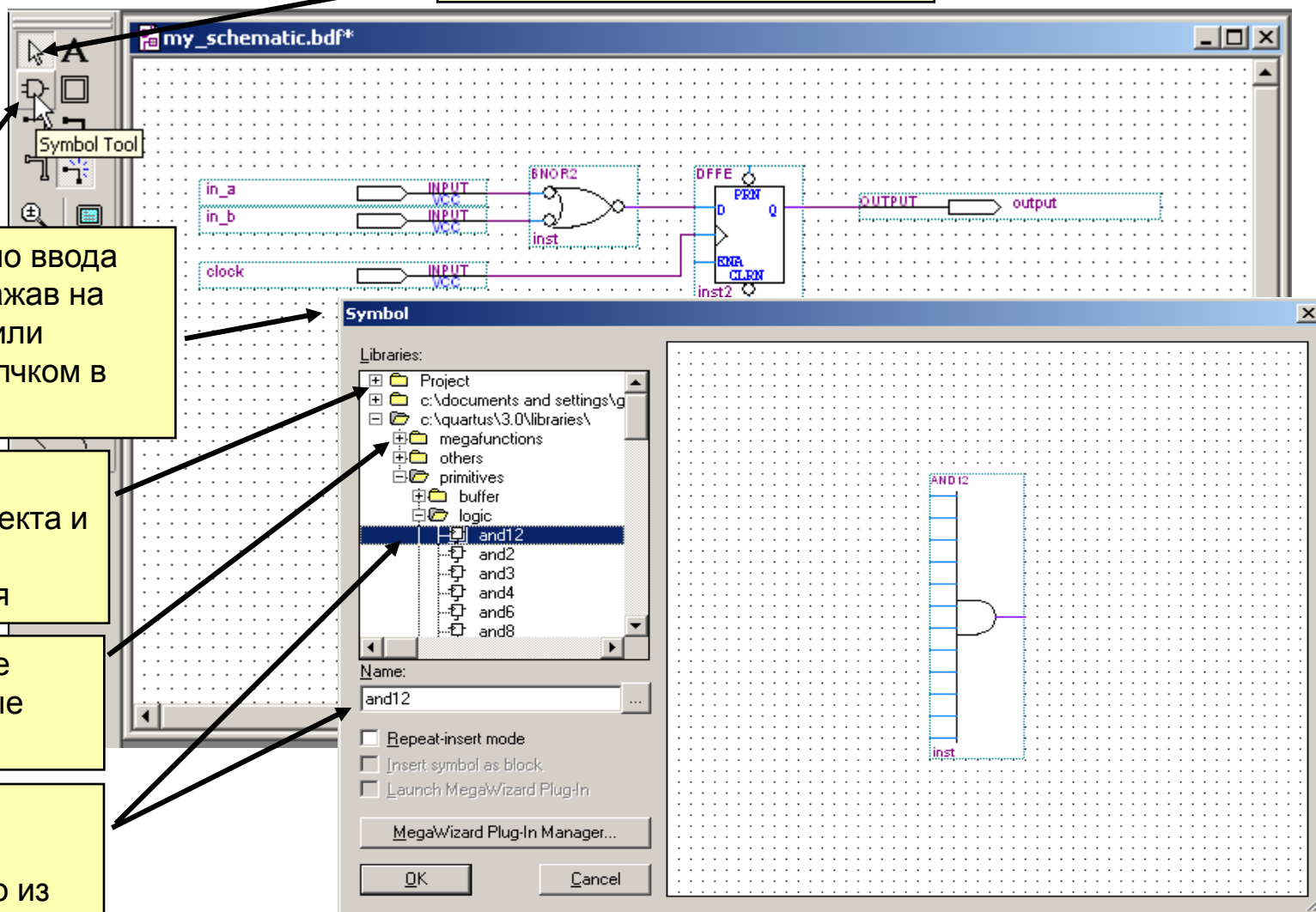
- Создание схем
 - Ввод схем на основе стандартных библиотечных функций (блоков)
 - Вентили, триггеры, выводы, буферы
 - Параметризируемые мегафункции
 - Возможность создания символов и использования файлов на Verilog, VHDL, AHDL
- Назначение схемного ввода
 - Создание простых проектов
 - Создание тестовых проектов для тестирования мегафункций и IP ядер
 - DSP, PLL, LVDS, Память, Процессоры...
 - Создание модуля верхнего уровня сложной системы для облегчения понимания взаимодействия модулей

Схемный ввод



Ввод символов

Режим выбора элементов



Откройте окно ввода символов, нажав на Symbol Tool или двойным щелчком в поле ввода

Символы в каталоге проекта и библиотеках пользователя

Стандартные библиотечные символы

Введите имя символа или выберите его из списка

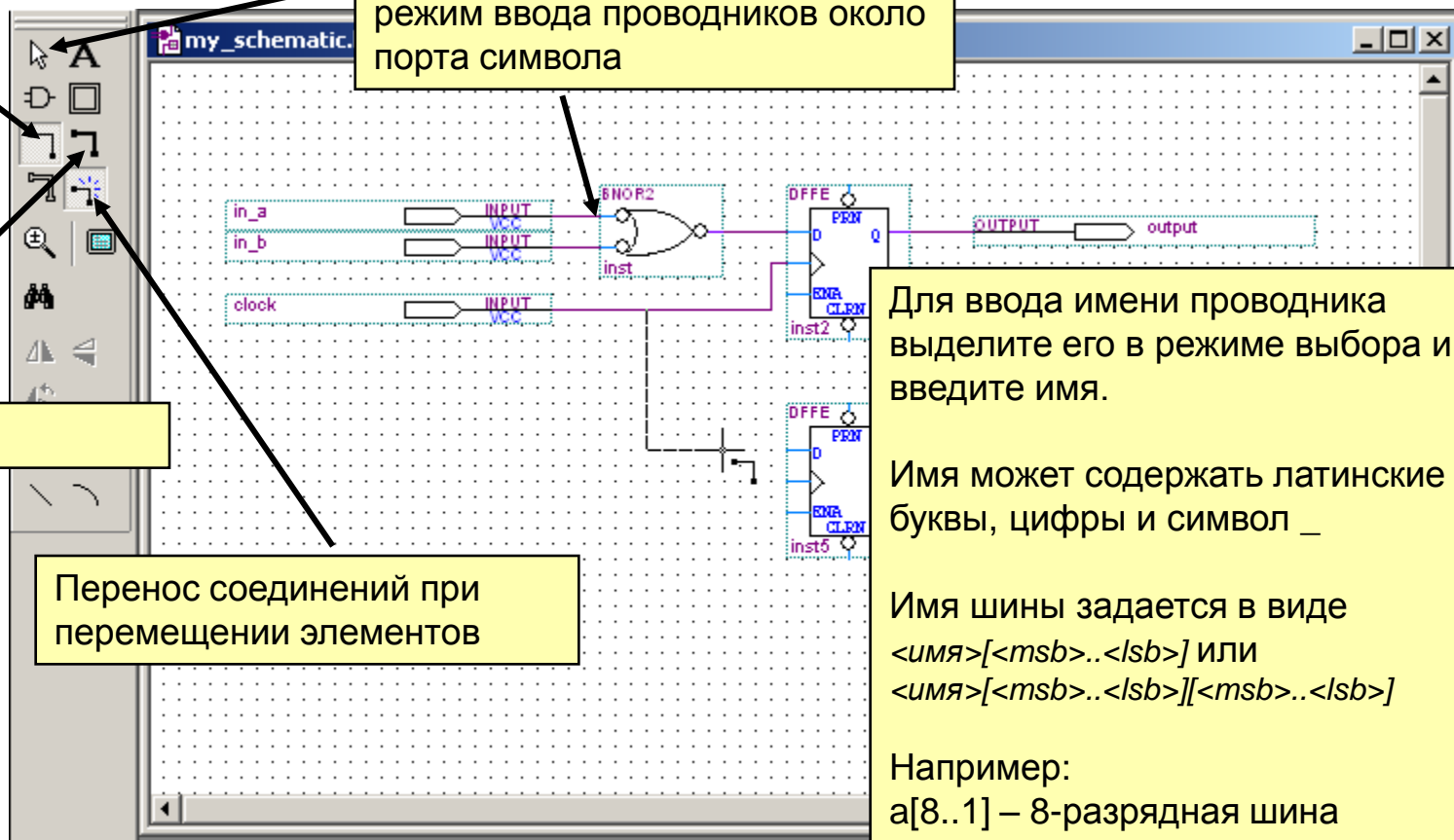
Ввод соединений

Ввод проводников

В режиме выбора элементов автоматически переходит в режим ввода проводников около порта символа

Ввод шин

Перенос соединений при перемещении элементов



Для ввода имени проводника выделите его в режиме выбора и введите имя.

Имя может содержать латинские буквы, цифры и символ _

Имя шины задается в виде
<имя>[<msb>..<lsb>] или
<имя>[<msb>..<lsb>][<msb>..<lsb>]

Например:

a[8..1] – 8-разрядная шина
b[3..0][1..0] – 8-разрядная шина из
четырех 2-разрядных подшин

Редактирование имен выводов

Quartus II - C:/Developing_Classes/QuartusII/QII_5_0_updates/Test_Designs/filter/filter - filtref_phys_syn - [filtref_phys_syn]

File Edit View Project Assignments Processing Tools Window Help

Project Navigator

Entity	LC Conn
Stratix II: EP2S15F484C3	
filter	66 (0)
taps:inst	8 (8)
state_m:inst1	4 (4)
hvalues:inst2	0
acc:inst3	12 (0)
mult:inst6	42 (0)

filter.bdf

Двойной щелчок на имени вывода

clkx2 INPUT WCC

clk INPUT WCC

sel[7..0] INPUT WCC

reset INPUT WCC

newt INPUT WCC

taps

I/O	Type
clk	INPUT
reset	INPUT
sel[1..0]	INPUT
newt	INPUT
clk[1..0]	INPUT
x[1..0]	OUTPUT

inst

hvalues

I/O	Type
sel[1..0]	INPUT
h[2..0]	OUTPUT

inst2

state_m

Parameter Value

Создание символов для модулей

Символ создается в каталоге проекта

```
1 module mult8x8 (result, sega, segb, segc,  
2     segd, sege, segf, segg, done_flag,  
3     start, reset, clk, a, b);  
4  
5 input [7:0]  
6 input start  
7 output sega  
8  
9 output [15:  
10
```

File ⇒ Create/Update ⇒ Create Symbol...

Примечания:

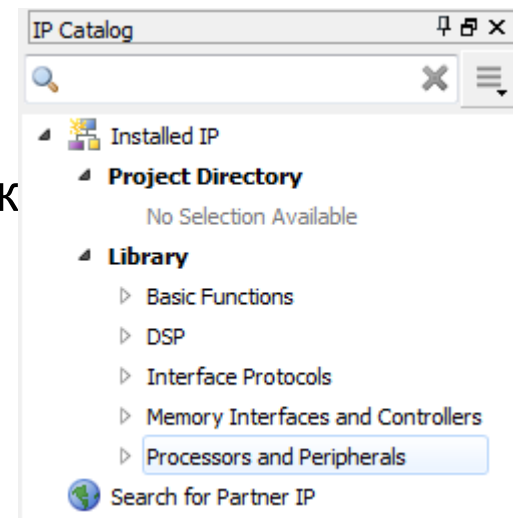
1. Символ необходим для использования модуля в схемном редакторе
2. Символ может быть создан для файла проекта любого типа

Каталог IP

- Модули проекта
- Стандартные функции
 - Библиотека реализаций стандартных функ
- IP-ядра Altera
 - ЦОС (фильтры, БПФ и т.д.)
 - Реализации контроллеров интерфейсов
 - Контроллеры памяти
- IP-ядра партнеров фирмы Altera

Выберите функцию и запустите мастер настройки двойным щелчком.

Для старых IP запускается мастер настройки, для новых используется QSys.



Базовые функции Quartus

- Готовые стандартные модули
 - Сложение, умножение, счетчики и т.д.
- Задействование функциональных модулей ПЛИС
 - PLL (ФАПЧ), память, аппаратные умножители, поддержка интерфейсов памяти и т.д.
- Преимущества
 - Входят в состав библиотек Quartus II
 - Ускоряют ввод проекта
 - Оптимизированы для микросхем Altera
 - Гибко конфигурируются
- Два типа
 - Мегафункции Altera (начало названия - ALT)
 - Реализуют все возможности функциональных модулей
 - Библиотека параметризуемых модулей (LPM)

IP Base Suite

◀ Устанавливается с Quartus Prime

- Требуется лицензирование для версии Lite
 - ◀ Без лицензии работает в режиме OpenCore® Plus
- Также устанавливаются HDL модели для моделирования

◀ Состав IP Base Suite

- FIR Compiler
- Numerically Controlled Oscillator
- Fast Fourier Transform Compiler
- DDR2/3/QDRII/LPDDR2/RLDRAMII SDRAM Controllers with UniPHY

◀ <https://www.altera.com/products/intellectual-property/design/ip-base-suite.html>

Прочие мегафункции IP - ядер

- ☛ Требуют приобретения лицензии (кроме базовых или входящих в лицензируемый пакет)
 - ☛ Исходный текст зашифрован
- ☛ Два типа
 - ☛ MegaCore IP –ядра интеллектуальной собственности Altera
 - ☛ Altera Megafunctions Partner Program (AMPP) IP
- ☛ Все MegaCore IP и некоторые AMPP IP поддерживают функцию OpenCore® Plus
 - ☛ Бесплатная версия для разработки
 - ☛ Наличие моделей для моделирования
 - ☛ Генерация файлов для программирования с ограничением по времени работы (неограниченно при связи платы с загрузочным кабелем)
 - ☛ См. [AN320: OpenCore Plus Evaluation of Megafunctions](#)

Пример окна настройки

Ссылка на описание

MegaWizard Plug-In Manager [page 1 of 12]

ALTPLL **ФАПЧ**

About Documentation

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

General/Modes Inputs/Lock Bandwidth/SS Clock switchover

mypll

inclk0 areset c0 locked

inclk0 frequency: 100.000 MHz
Operation Mode: Normal

Clk	Ratio	Ph (deg)	DC (%)
c0	1/1	0.00	50.00

Cyclone IV E

Currently selected device family: Cyclone IV E

☒ Match project/default

Able to implement the requested PLL

General

Which device speed grade will you be using? Any

☐ Use military temperature range devices only

What is the frequency of the inclk0 input? 100.000 MHz

☐ Set up PLL in LVDS mode Data rate: Not Available Mbps

PLL Type

Which PLL type will you be using?

☐ Fast PLL ☐ Enhanced PLL ☒ Select the PLL type automatically

Operation Mode

How will the PLL outputs be generated?

☒ Use the feedback path inside the PLL

☒ In normal mode

☐ In source-synchronous compensation Mode

☐ In zero delay buffer mode

☐ Connect the fbmimic port (bidirectional)

☐ With no compensation

☐ Create an 'fbim' input for an external feedback (External Feedback Mode)

Which output clock will be compensated for? c0

Cancel < Back Next > Finish

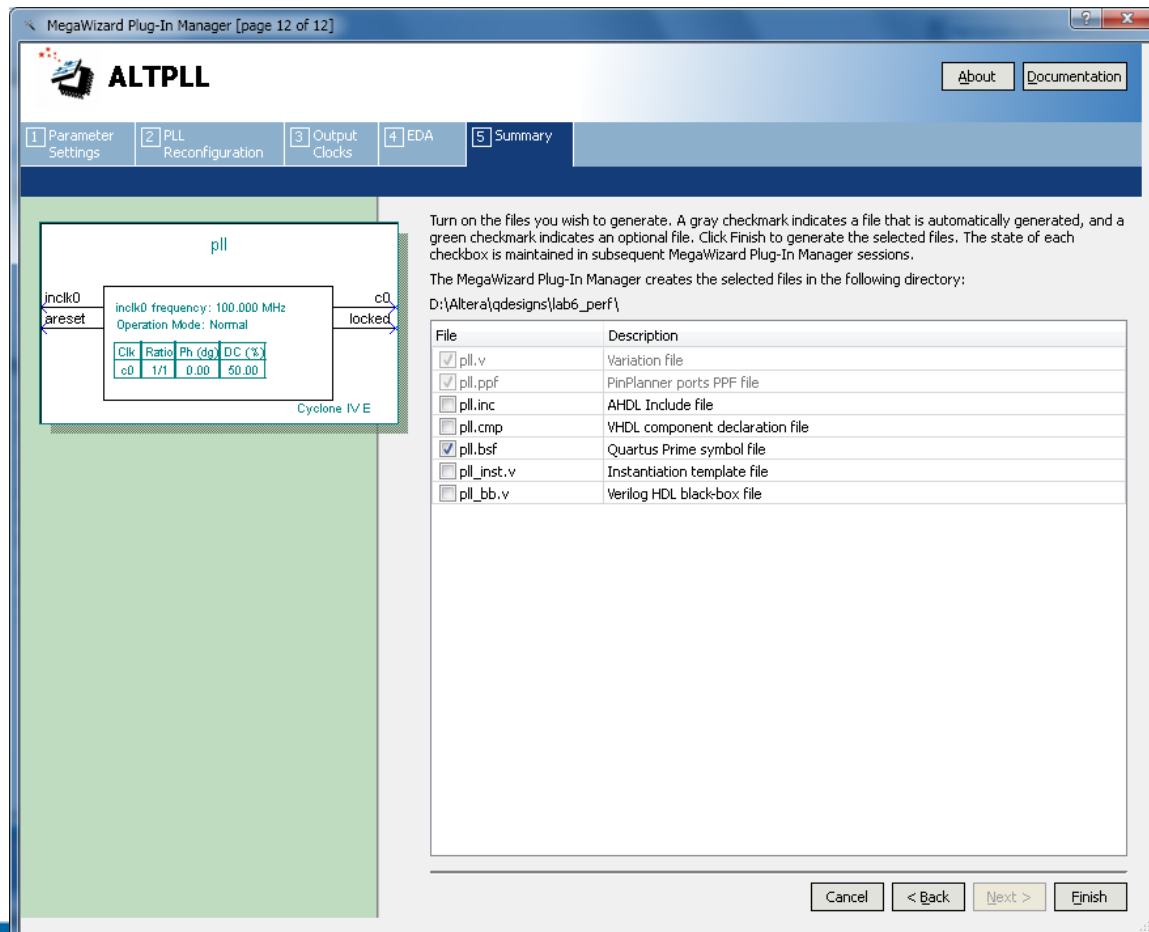
Выходные файлы мастера настройки

По умолчанию

- Файл .qip со ссылками на файлы мегафункции
- Исходный файл вариации мегафункции на выбранном HDL. Вызывает мегафункцию с определенными через мастер параметрами. Ручное редактирование не рекомендуется.

Дополнительно

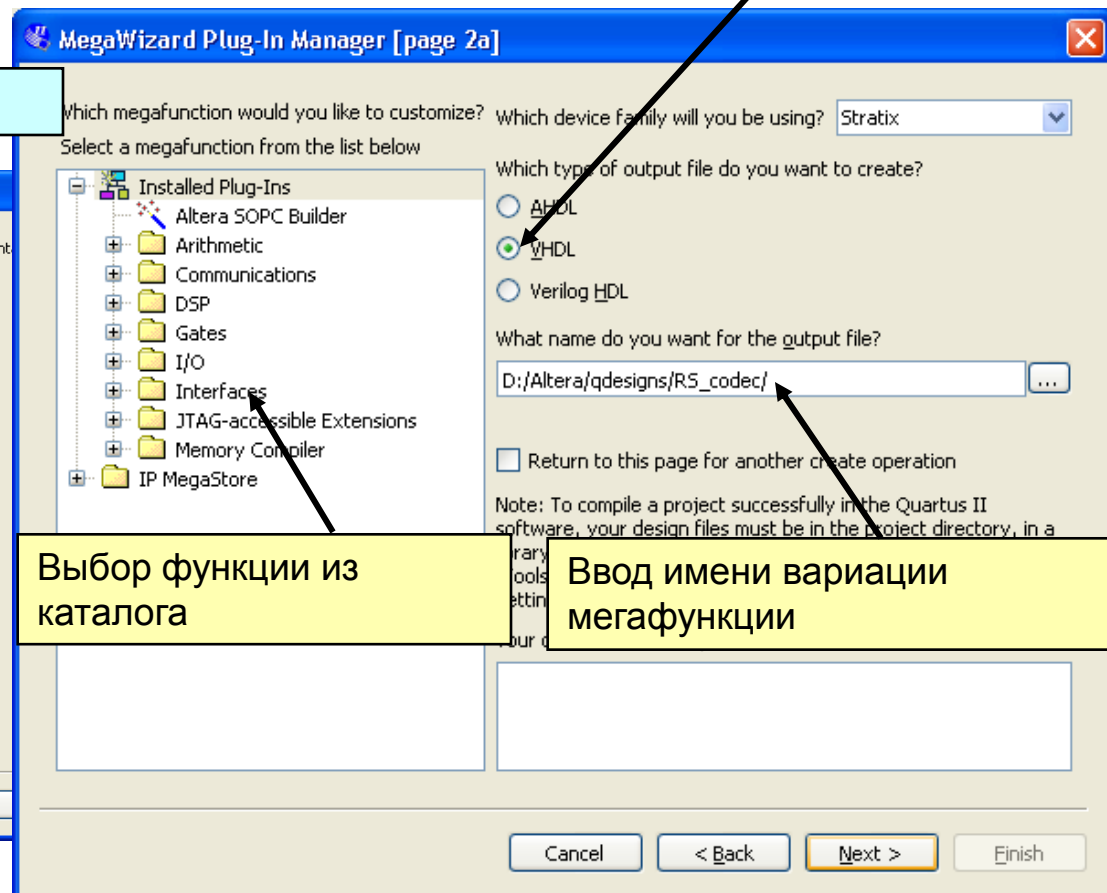
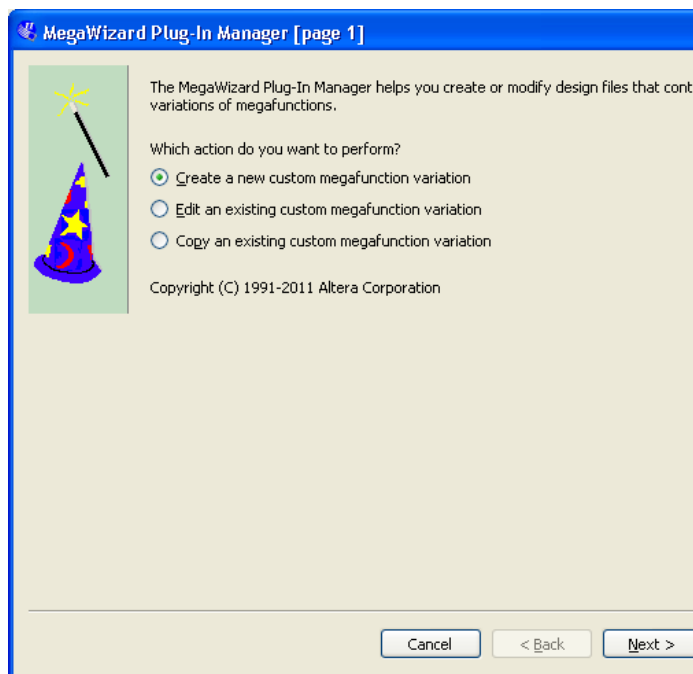
- Файл символа Quartus II (BSF)
- Заголовочный файл с объявлением прототипа вариации на выбранном HDL
- Вспомогательные компоненты на Verilog и VHDL



MegaWizard Plug-In Manager

- В версиях Quartus II до 13.1 вместо IP Catalog использовался MegaWizard Plug-In Manager

Tools ⇒ MegaWizard Plug-In Manager



Редактор памяти

- Создание и редактирование файлов инициализации памяти в форматах Intel Hex (.HEX) или Altera (.MIF)
- Предназначен для инициализации модулей памяти при конфигурации ПЛИС
- Содержимое памяти учитывается при моделировании

Создание файла инициализации памяти

File ⇒ New ⇒ закладка Other Files

1. Выбор формата

2. Выбор объема и разрядности

3. Редактирование

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0
16	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0
32	0	0	0	0	0	0	0	0
40	0	0	0	0	0	0	0	0
48	0	0	0	0	0	0	0	0
56	0	0	0	0	0	0	0	0
64	0	0	0	0	0	0	0	0
72	0	0	0	0	0	0	0	0

Number of Words & Word Size

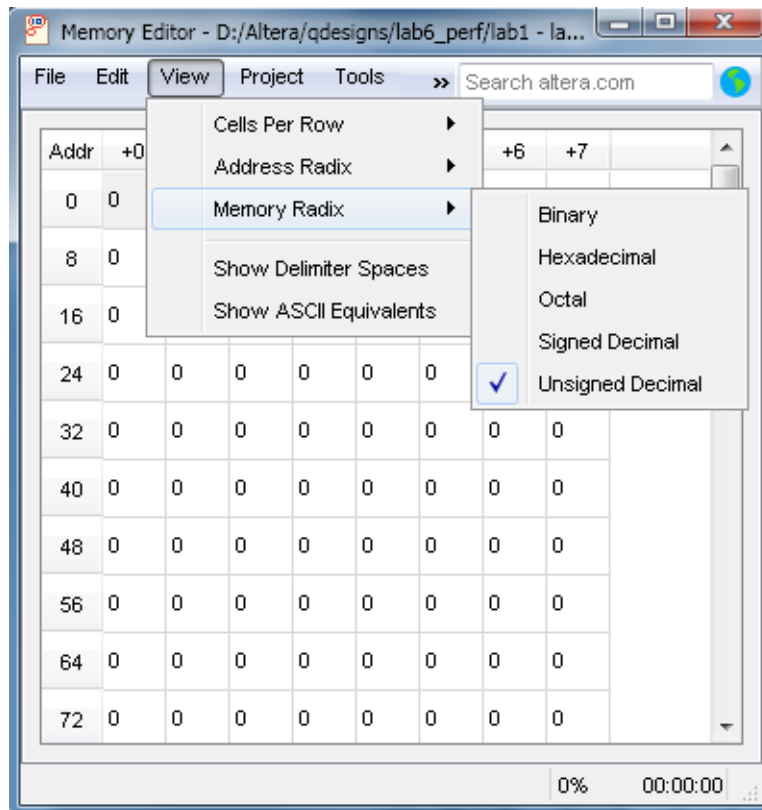
Number of words: 256

Word size: 8

OK Cancel Help

Настройка параметров

- Выбор основания для представления адреса и данных



Меню View

- Редактирование объема и разрядности памяти в меню Edit=>Memory Size Wizard

Лабораторная работа №1

Часть 2

Проектирование в Quartus II

Компиляция проекта

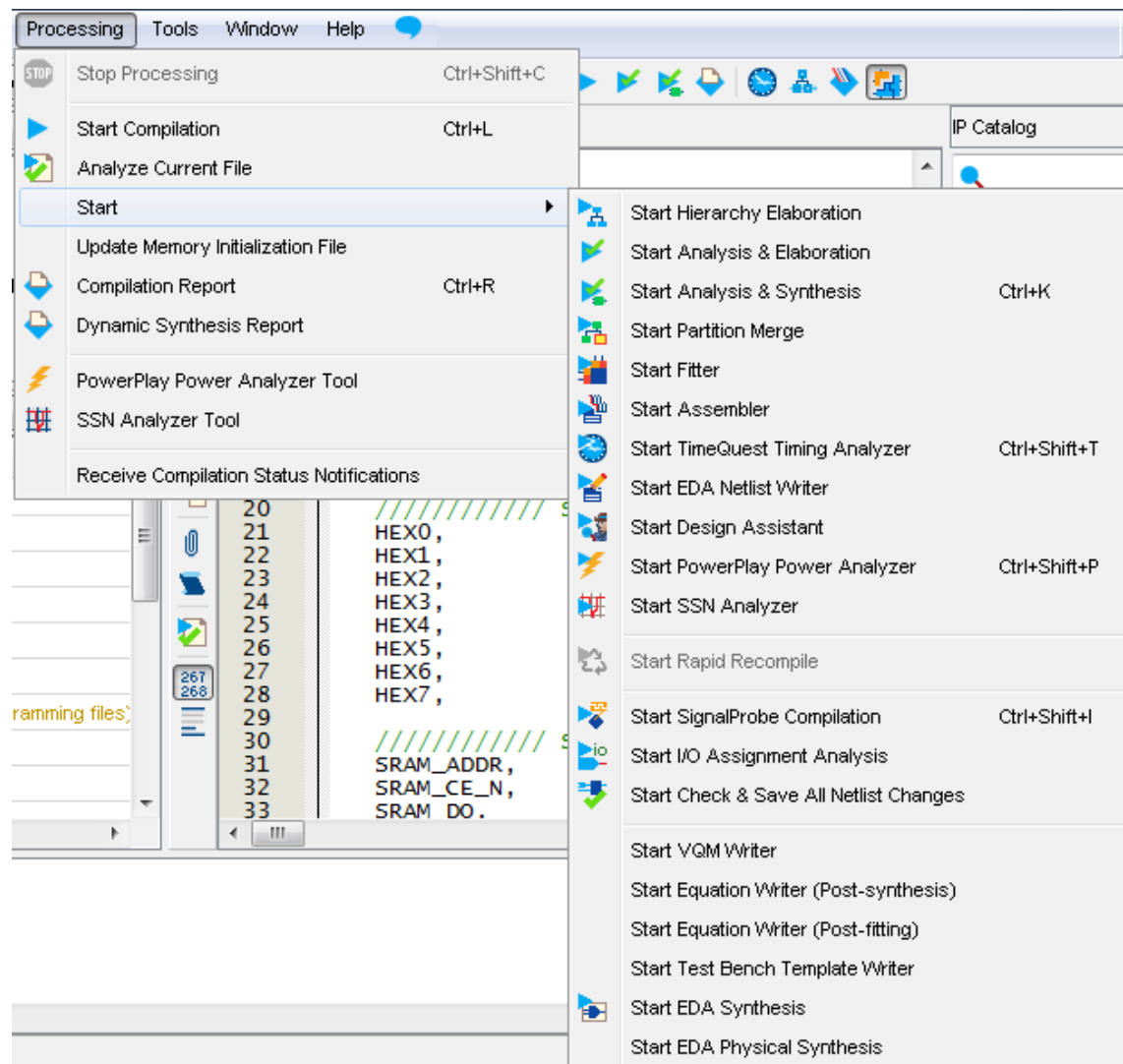


Компиляция проектов в Quartus II

- Основныe этапы
- Анализ проекта
 - Выявление ошибок ввода
 - Формирование внутреннего представления проекта для компиляции (базы данных)
- Логический синтез проекта
 - Формирование уравнений, реализуемых в устройстве
- Разводка
 - Распределение уравнений и функций по модулям ПЛИС и формирование связей между ними
- Формирование выходных файлов
 - Временной список соединений и отчет временного анализатора
 - Список соединений для моделирования
 - Файлы для программирования/конфигурации

Режимы работы компилятора

- Compilation
 - Полная компиляция
- Analysis & Elaboration
 - Проверка синтаксиса
- Analysis & Synthesis
 - Синтез
- Fitter
 - Разводка
- Assembler
 - Формирование файлов для программирования
- Анализ
 - I/O Assignment
 - Power Play
 - TimeQuest
 - SSN



Маршруты проектирования

◀ Стандартный маршрут

- ◀ Проект компилируется полностью
- ◀ Производится глобальная оптимизация

◀ Инкрементальный маршрут

- ◀ Разработчик определяет необходимость и режим компиляции отдельных частей проекта
- ◀ Преимущества
 - ◀ Сокращение времени компиляции
 - ◀ Последовательное улучшение результатов компиляции
 - ◀ Сохранение результатов компиляции для отлаженных модулей
- ◀ Разделение
 - ◀ Инкрементальный синтез
 - ◀ Инкрементальная разводка

Примечание: в данной лабораторной работе используется стандартный маршрут

Отчет компилятора

Processing=>Compilation Report



Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Flow Messages
- Flow Suppressed Messages
- Assembler
- TimeQuest Timing Analyzer

Flow Summary

Flow Status	Successful - Sun Feb 14 18:01:06 2016
Quartus Prime Version	15.1.1 Build 189 12/02/2015 SJ Standard Edition
Revision Name	lab1
Top-level Entity Name	lab1
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	5,117 / 114,480 (4 %)
Total combinational functions	4,565 / 114,480 (4 %)
Dedicated logic registers	3,185 / 114,480 (3 %)
Total registers	3185
Total pins	168 / 529 (32 %)
Total virtual pins	0
Total memory bits	
Embedded Multiplier 9	
Total PLLs	

Полный отчет о результатах компиляции

- Используемые ресурсы
- Синтезированные уравнения
- Уравнения после разводки
- Отчет временного анализатора
- Файл разводки выводов
- Сообщения компилятора

Проектирование в Quartus II

Анализ проекта



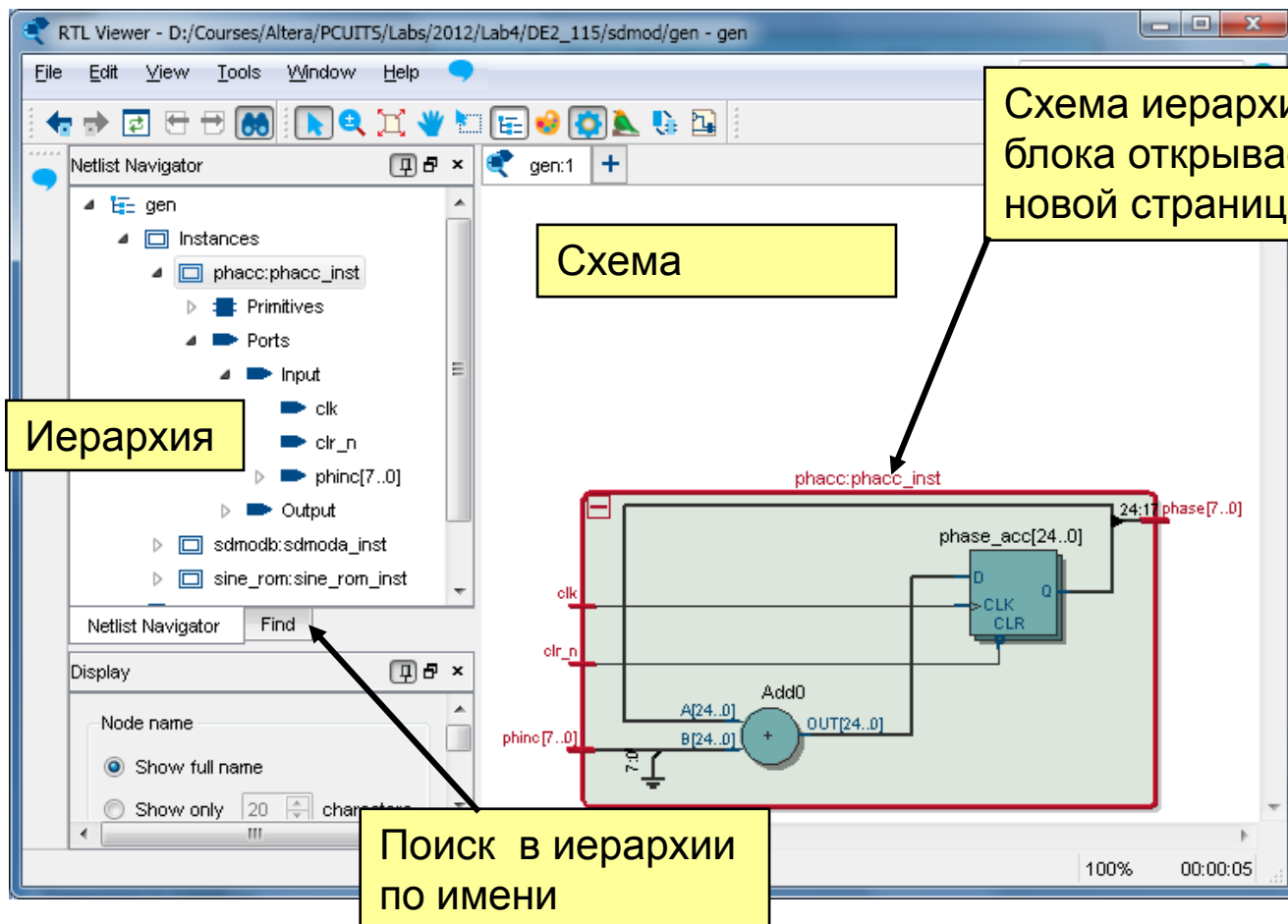
Анализ проекта

- ◀ RTL Viewer
 - ◀ Просмотрщик уровня регистровых передач (до синтеза)
- ◀ Technology Viewer
 - ◀ Просмотрщик уровня технологии (после синтеза и после разводки)
- ◀ Chip Planner
 - ◀ Редактор и просмотрщик на уровне кристалла
- ◀ PowerPlay Power Analyzer Tool
 - ◀ Средство анализа энергопотребления
- ◀ TimeQuest Timing Analyzer
 - ◀ Средство анализа временных характеристик

RTL Viewer

Графическое отображение схемы до синтеза

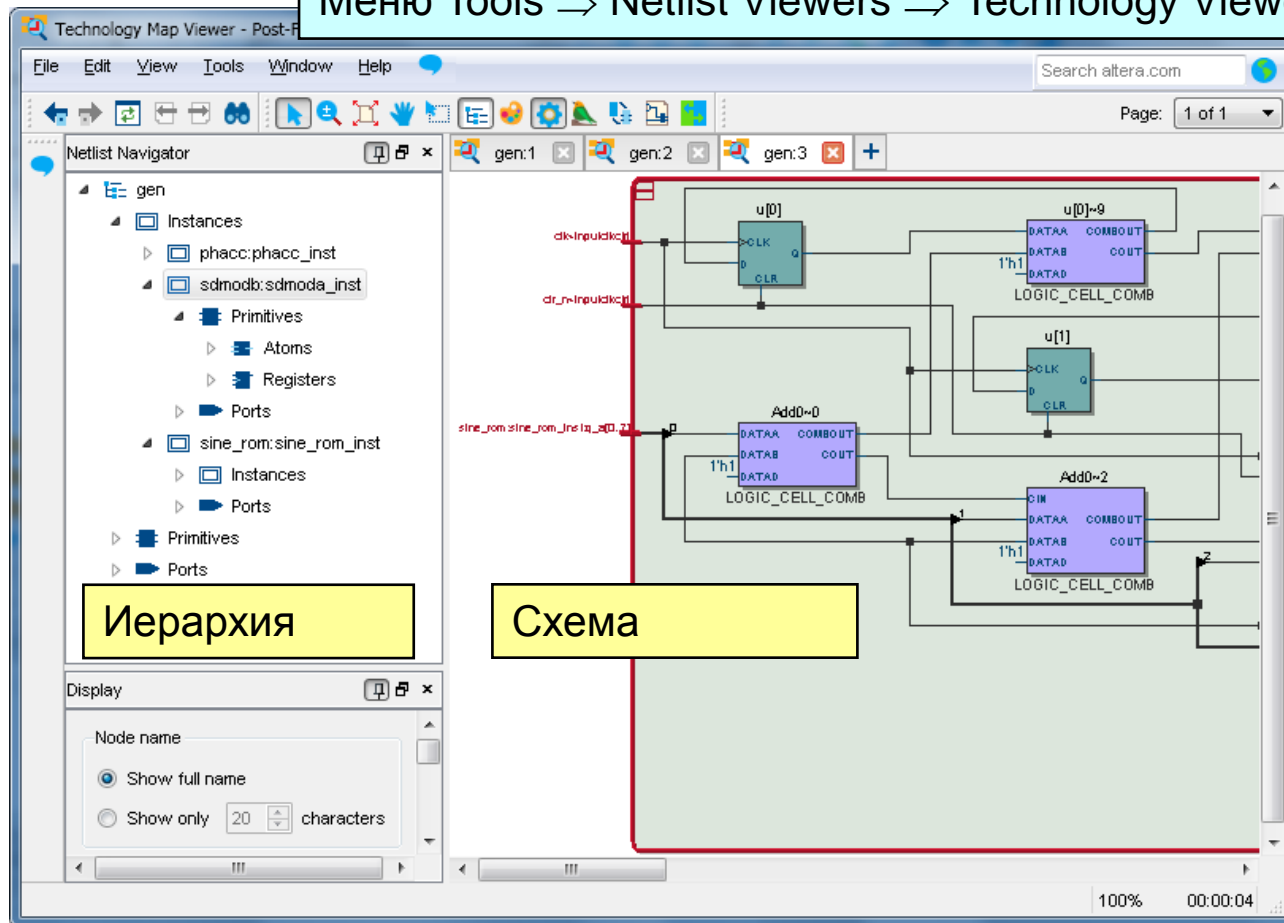
Меню Tools ⇒ Netlist Viewers ⇒ RTL Viewer



Technology Viewer

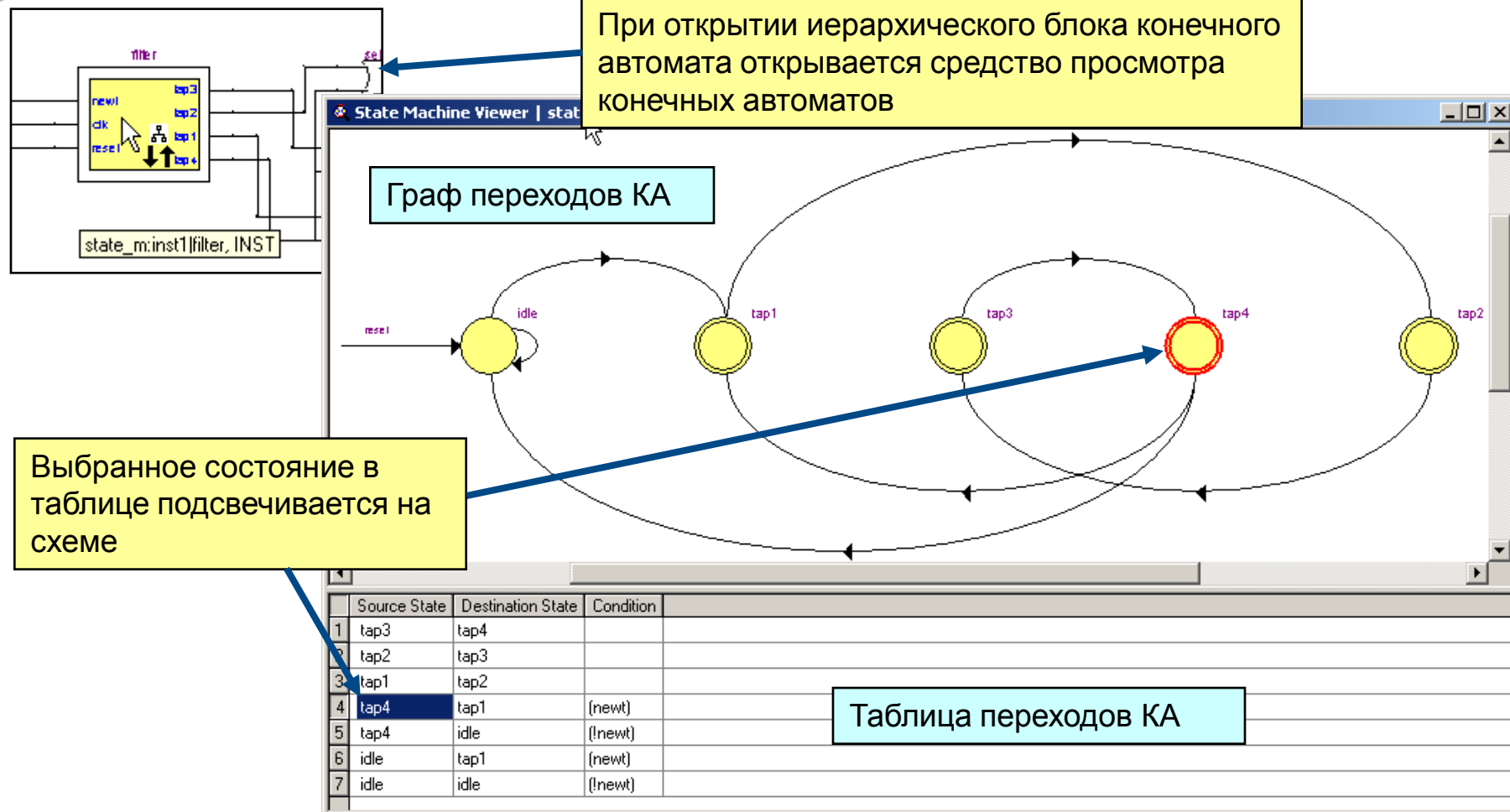
- Графическое отображение результатов синтеза и отображения на целевую архитектуру

Меню Tools ⇒ Netlist Viewers ⇒ Technology Viewer



Просмотр конечных автоматов

Меню Tools ⇒ Netlist Viewers ⇒ State Machine Viewer или из RTL Viewer



Chip Planner

Tools=>Chip Planner



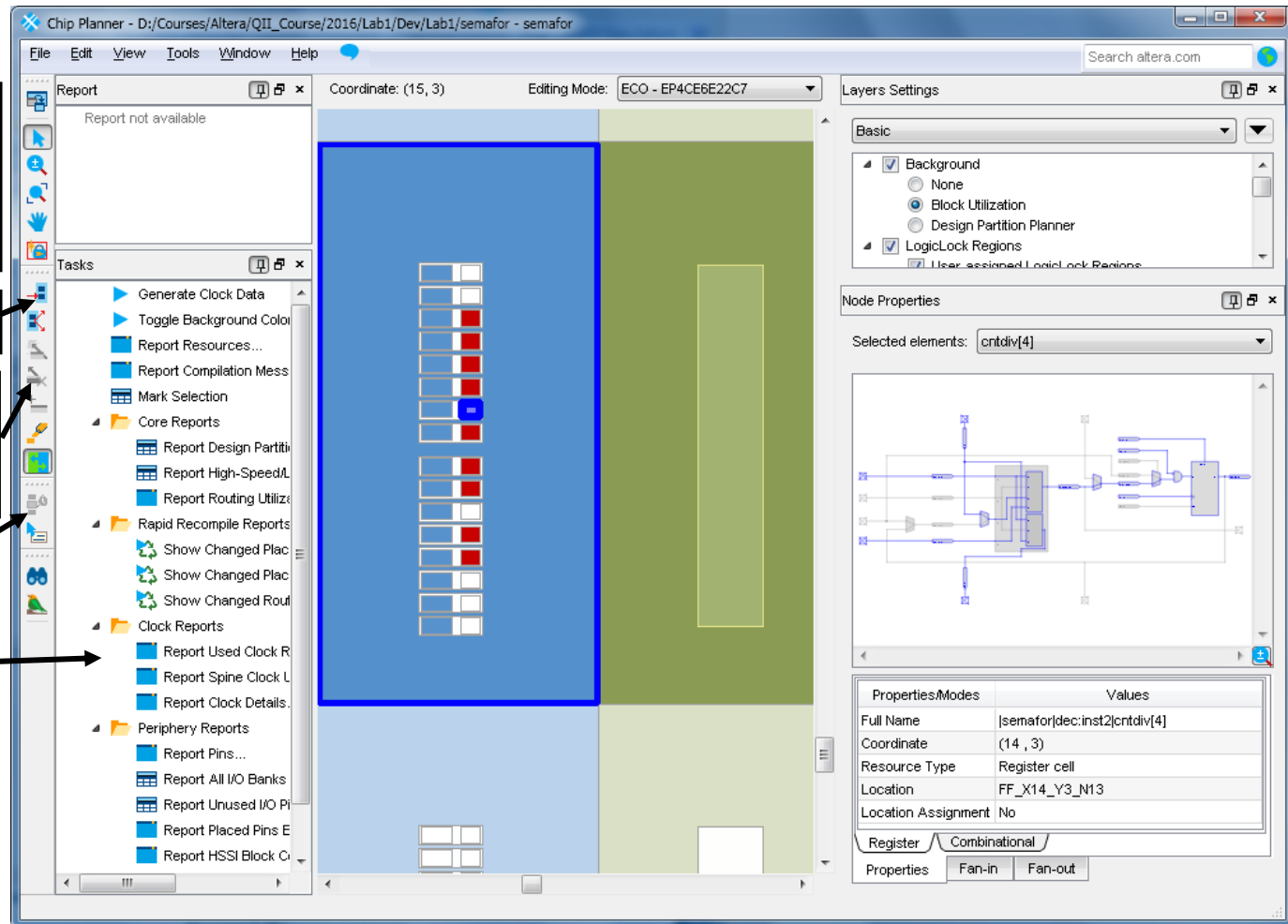
Назначение:
Анализ размещения
Анализ соединений
Ввод настроек разводки

Генерация соединений

Стирание
невыведенных
соединений

Отображение задержек

Анализ схемы,
формирование отчетов

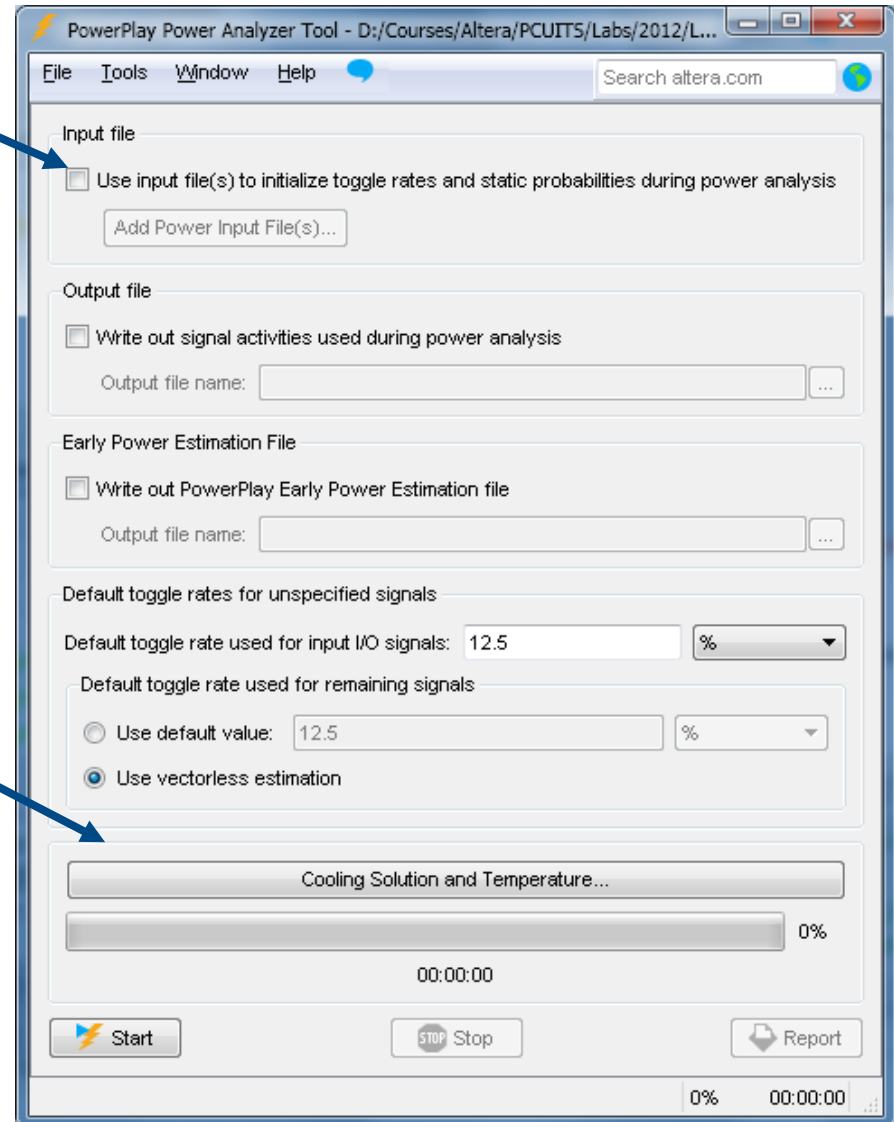


Дополнительные режимы просмотра
выбираются в меню View

Анализ энергопотребления

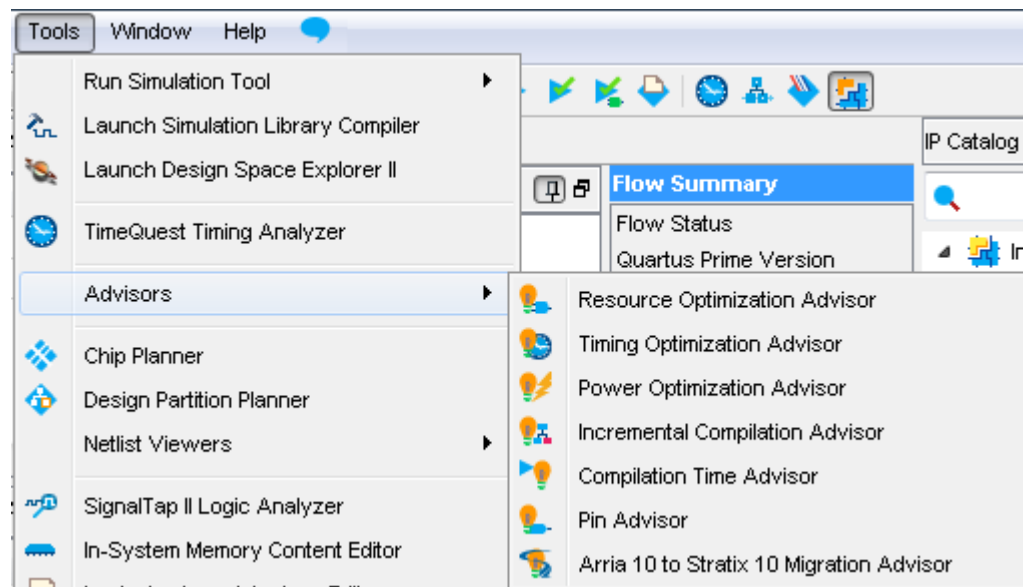
Меню Processing ⇒ PowerPlay Power Analyzer Tool

- Анализ потребления на основе файла активности сигналов или данных о частоте переключения
- Файл активности сигналов может быть создан при моделировании или импортирован из САПР третьих фирм (.SAF, .VCD):
- Файл .SAF содержит только информацию о частоте переключения выходов;
- Файл .VCD содержит полный дамп изменения сигналов во времени.
- Возможен анализ с учетом характеристик окружающей среды и системы охлаждения
- В отчете выводятся данные о потреблении проекта в целом, его модулей и элементов ПЛИС



Рекомендации по оптимизации

- Resource Optimization Advisor рекомендации по настройке проекта для минимизации ресурсов
- Timing Optimization Advisor рекомендации по настройке проекта для увеличения быстродействия
- Power Optimization Advisor рекомендации по настройке проекта для уменьшения энергопотребления
- Incremental Compilation Advisor помощь по работе с проектом при использовании инкрементальной компиляции



Пример рекомендаций

Перечень групп характеристик

Рекомендуемые настройки

Зеленая галочка обозначает, что текущая настройка соответствует рекомендации

The screenshot shows the 'Timing Optimization Advisor' window. The left pane lists various timing-related settings, some with green checkmarks indicating they are recommended. The right pane shows a detailed view of the 'Optimize for speed' recommendation, including a table with fields like Recommendation, Description, Summary, and Action. A 'Correct the Settings' button is visible at the bottom of the right pane. A search bar is at the top right.

Optimize for speed	
Recommendation	Direct Quartus Prime Integrated Synthesis to optimize the design for speed.
Description	When the Optimization Technique is set to Speed, Analysis & Synthesis will optimize the design for performance.
Summary	The following areas will be affected by the recommended changes: + Delay may decrease (fmax may increase) - Logic element usage may increase = Compilation time is unaffected
Action	For Quartus Prime Integrated Synthesis, choose Speed under Optimization Technique in the Analysis & Synthesis Settings page of the Settings dialog box (Assignments). It is also recommended to set the optimization technique to Balanced if it is currently set to Speed. After fmax is better than Area, it is better with Speed. So specify the optimization technique in individual partitions in the Assignments page of the Settings dialog box (Assignments). Optimization Technique setting at Balanced (for the best trade off between area and speed for certain device families) or Area (if area is an important concern).

Correct the Settings

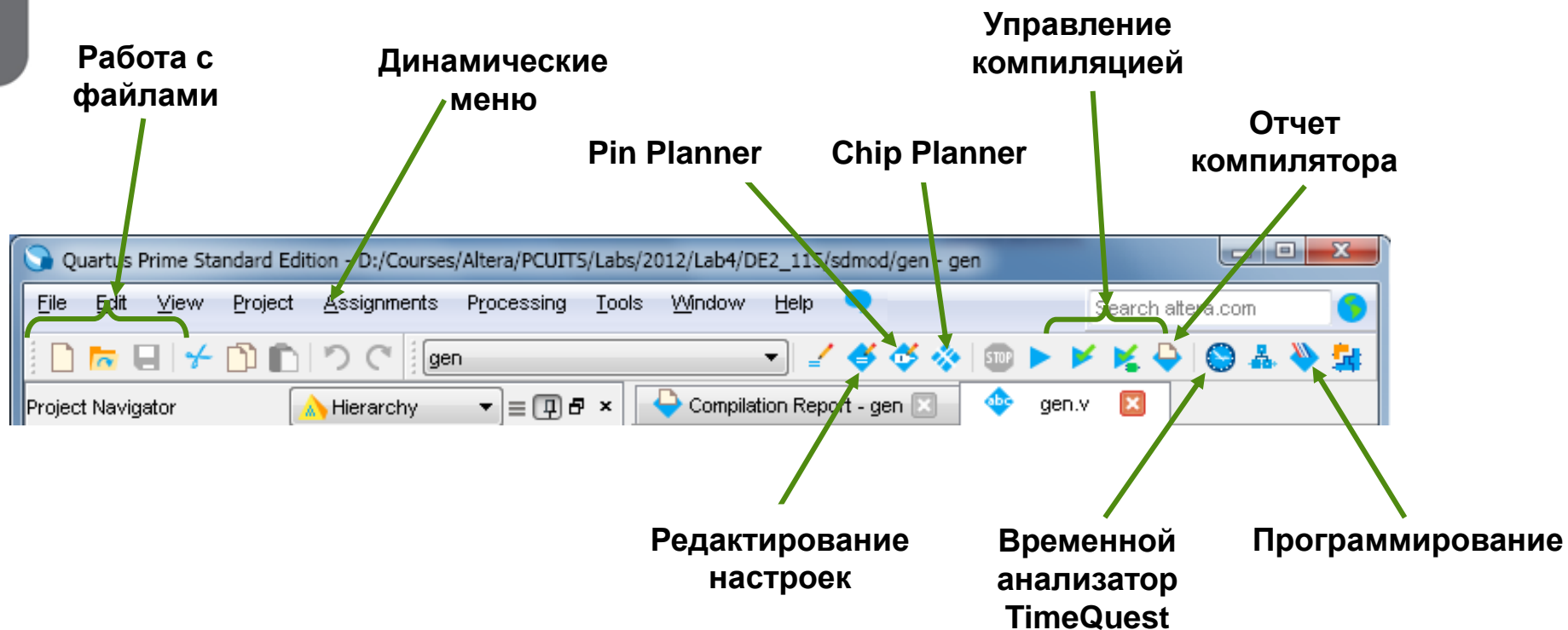
Current Global Settings:
Optimization Technique = BALANCED (Recommended: SPEED)

[Open Settings dialog box - Advanced Analysis & Synthesis](#)

[Monitor](#)

Вызов диалогового окна для настройки

Панель инструментов



Для настройки панелей инструментов вызовите
Tools → Customize...

Встроенная справка

Quartus II Help v11.0 - Windows Internet Explorer

C:\altera\11.0\quartus\common\help\webhelp\master.htm

Переход на форум Altera

Search Contents Index Forums Feedback

Quartus II Help v11.0

Quartus II Introduction

What's New in Quartus II

Using Quartus II Help

Installation and Licensing

Managing Projects

Using Project Revisions

Archiving Projects

Exporting and Importing Version

Creating Designs

Using Advisors for Design Optim

Viewing Reports and Messages

Using HDL with the Quartus II Sc

Using Altera Megafunctions

Creating System-Level Designs

Creating System-Level Designs

Constraining Designs

Compiling Designs

About Simulating Designs

Running Timing Analysis

Achieving Timing Closure

Power Estimation and Analysis

Signal Integrity Analysis

Designing with LogicLock Region

Optimizing Designs with Design

Engineering Change Managemer

Using the Netlist Viewer

Using the State Machine Editor

Welcome to the Quartus II Software

The Quartus II development software provides a complete design environment for custom on-chip programmable logic (CPLD) design. Regardless of whether you use a personal computer or a Linux workstation, Quartus II provides a complete design environment for custom on-chip programmable logic (CPLD) design, processing, and straightforward device programming. The following sections describe the Quartus II software.

Quartus II Highlights:

Design Capabilities:

NativeLink Integration with other EDA Tools

Click any of the following flow icons for more information about that part of the design flow.

Design Entry

Synthesis

Place & Route

Simulation

Power Analysis

Debugging

Shows block-based design, system-level design & software development

Show All

Раскрыть все разделы

Help

Search

Message List

Devices and Adapters

EDA Interfaces

Getting Started Tutorial

PDF Tutorials

What's New

Tips and Tricks

Readme File

Release Notes

Contacting Altera

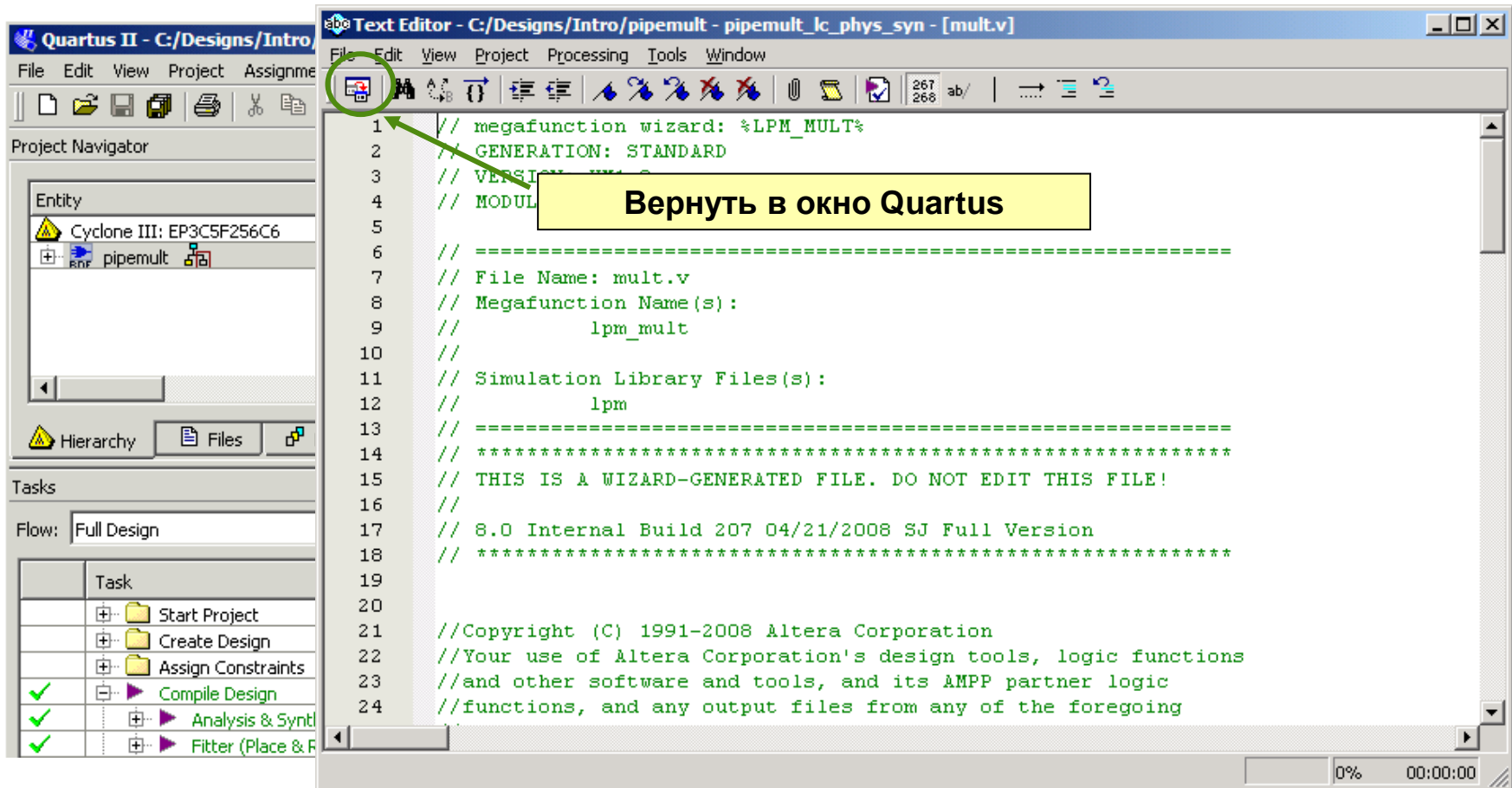
Feedback

Altera on the Web

About Quartus II 64-Bit

Оконный интерфейс

- Можно отделять внутренние окна в Quartus II (меню Window → Detach/Attach Window)



Лабораторная работа №1

Часть 3