



# Обзор продукции фирмы Altera

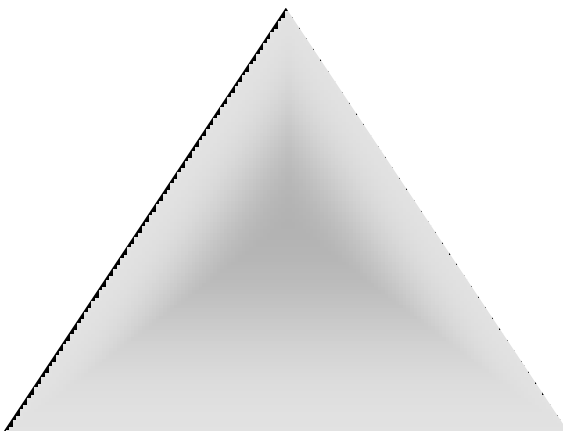
## Cyclone IV



# The Programmable Solutions Company®

## ■ Семейства

- Stratix V
- Stratix IV (E и GX)
- Stratix III (L и E)
- Stratix II (GX)

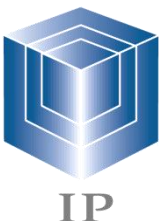


## ■ Семейства

- Arria 10
- Arria V
- Arria II GX
- Cyclone V
- Cyclone IV
- MAX V
- MAX II
- MAX

## ■ Интеллектуальная собственность (IP)

- ЦОС
- Коммуникации
- Встраиваемые процессоры
  - Nios II



## ■ Средства проектирования

- Quartus® II
- QSys
- DSP Builder
- Nios II SBT

**ALTERA®**

# Семейство Cyclone IV



# Содержание

- Введение
- Развитие семейств Cyclone™
- Характеристики
- Технические подробности
- Сравнение с конкурентами
- Целевые рынки
- Примеры применения

# Улучшенные характеристики

## ■ Низкое энергопотребление

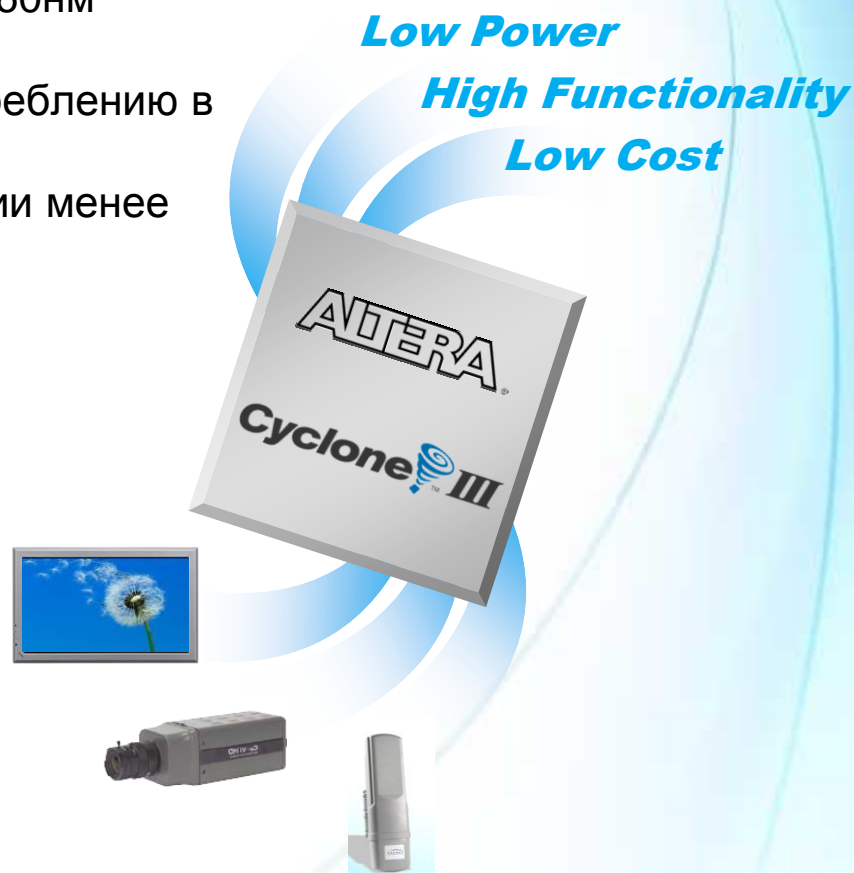
- Техпроцесс TSMC 65нм (Cyclone III) /60нм (Cyclone IV) low-power (LP)
- Оптимизация проектов по энергопотреблению в Quartus® II
- 120К ЛЭ при статическом потреблении менее 0.5Вт

## ■ Развитая функциональность

- Объем от 5К до 200К ЛЭ
- До 6 Мбит встроенной памяти
- До 396 умножителей для реализации функций ЦОС

## ■ Низкая цена

- Поддержка в бесплатной версии Quartus II Web Edition
- Цены от \$4.00 в крупных сериях





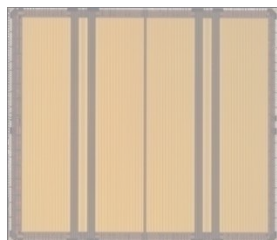
# Маршрут проектирования с оптимизацией энергопотребления в Quartus II



# Проектирование недорогих ПЛИС

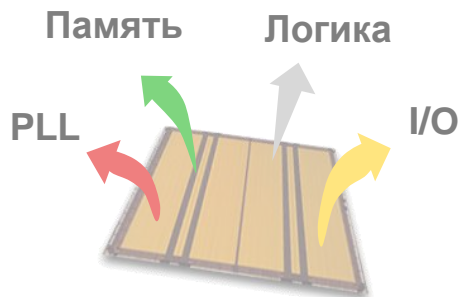
1

Полно-  
функциональное  
семейство



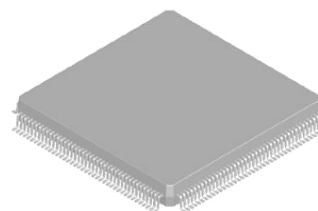
2

Программное  
блокирование  
функций



3

Выбор  
корпусов



**20%  
Сокращение  
цены**

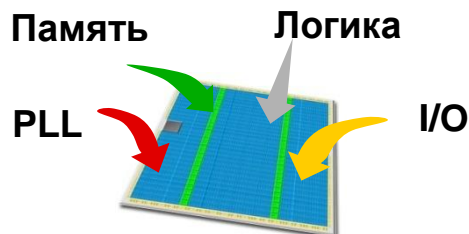
1

Требования  
пользователя



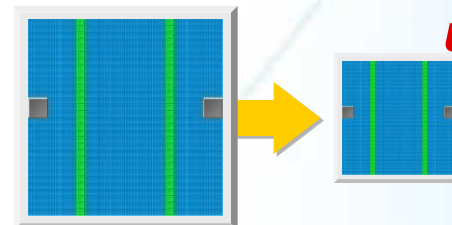
2

Разработка  
архитектуры



3

Оптимизация  
архитектуры



**60%  
Сокращение  
цены**

# Целевые рынки семейств Cyclone

**Бытовая электроника**



**Автомобильные и промышленные применения**



**Компьютерная техника**



**Телекоммуникации**



**Беспроводные решения**







# Характеристики семейств Cyclone



# Сравнение архитектур

Параметр	Семейство		
	Cyclone III	Cyclone IV	Cyclone V
Питание ядра	1.2 В	1.2/1.0 В	1.1 В
Тех. процесс	65 нм, Low Power	60 нм, Low Power	28 нм, Low Power
Емкость (ЛЭ)	От 5,136 до 119,088	От 6,272 до 149,760	От 25,000 до 300,000
Элементов вв/выв	От 82 до 535	От 72 до 532	От 224 до 560
Встроенная память	От 46 до 432 модулей М9К	От 30 до 720 модулей М9К	От 140 до 1160 модулей М10К
Общий объем памяти (бит)	От 414 К до 3,9 М	От 270 К до 6,5 М	От 1,7М до 11,6 М
Умножителей 18х18	От 23 до 288	От 15 до 360	От 50 до 684*)

\*) В Cyclone V доступно большое количество сочетаний разрядности умножителей.  
Приведенные данные – для конфигурации 18\*19

# Обзор семейства Cyclone IV E

Устройство	Логических элементов	Блоков М9К	Память (кбит)	Умножителей 18 X 18	PLL	Цепей глобальных ТИ
EP4CE6	6,272	30	270	15	2	10
EP4CE10	10,320	46	414	23	2	10
EP4CE15	15,408	56	504	56	4	20
EP4CE22	22,320	66	594	66	4	20
EP4CE30	28,848	66	594	66	4	20
EP4CE40	39,600	126	1134	116	4	20
EP4CE55	55,856	260	2340	154	4	20
EP4CE75	75,708	305	2745	200	4	20
EP4CE115	114,480	432	3888	266	4	30

# Корпуса Cyclone IV E

Устройство	EQFP <sup>1)</sup> 144 0.5 мм 22 x 22	MBGA 164 0.5 мм 8 x 8	MBGA 256 0.5 мм 9 x 9	FBGA 256 1.0 мм 17 x 17	UBGA 256 0.8 мм 14 x 14	FBGA 324 1.0 мм 19 x 19	FBGA 484 1.0 мм 23 x 23	UBGA 484 0.8 мм 19 x 19	FBGA 780 1.0 мм 29 x 29
EP4CE6	91			179	179				
EP4CE10	91			179	179				
EP4CE15	81	89	165	165	165		343		
EP4CE22	79			153	153				
EP4CE30						193	328		532
EP4CE40						193	328	328	532
EP4CE55							324	324	374
EP4CE75							292	292	426
EP4CE115							280		528



Совместимы по выводам



# Технические подробности

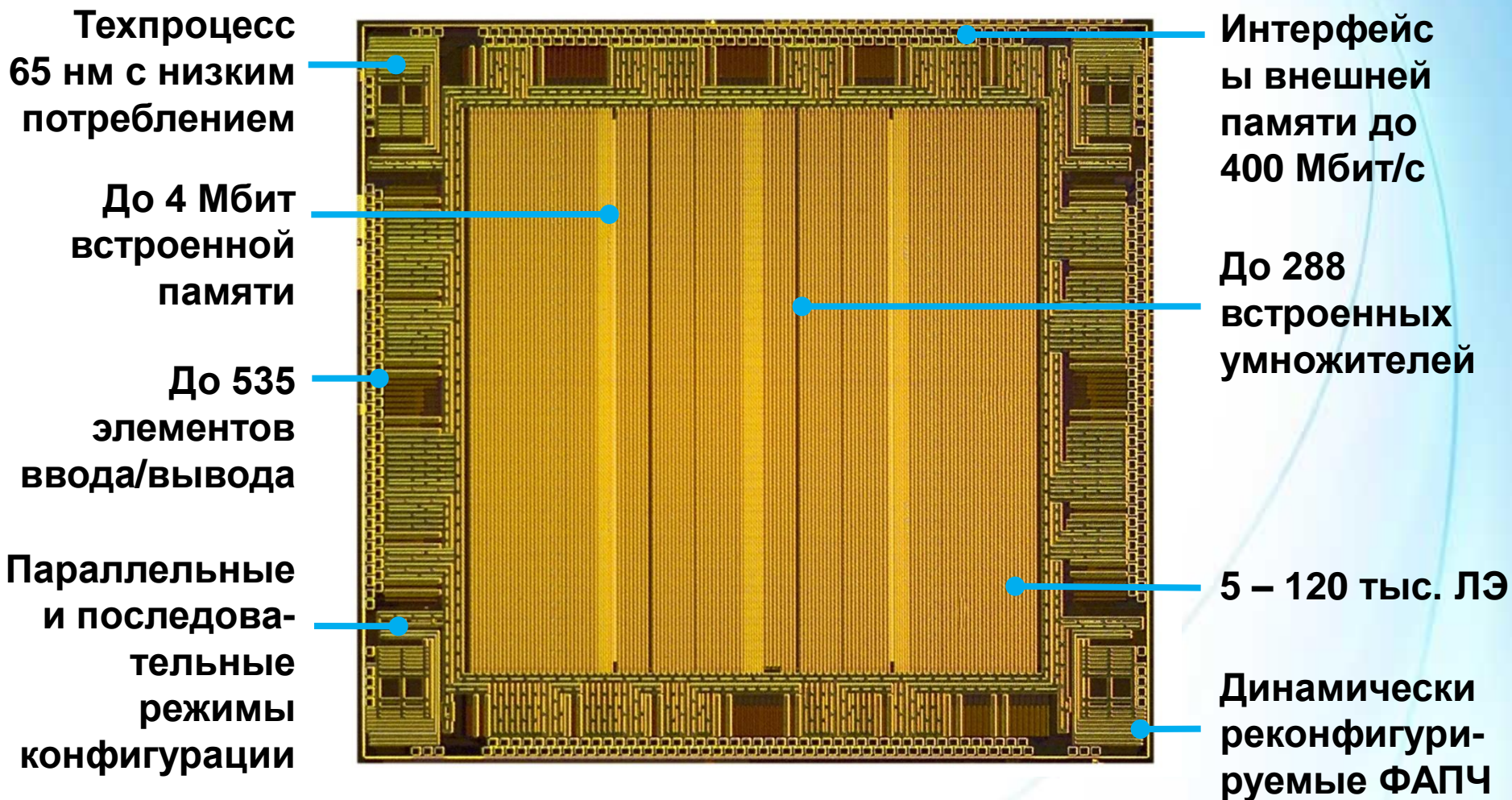




# Архитектура Cyclone III/IV

- Логические элементы
  - Ресурс для реализации логических функций
- PLL(ФАПЧ) и схемы тактирования
  - Управление временными характеристиками проекта на кристалле и вне его
- Встроенная память
  - Ресурс общего назначения для хранения данных
- Встроенные умножители
  - Функции ЦОС
- Ввод/Вывод (I/O)
  - Поддержка DDR и высокоскоростных дифференциальных стандартов
- Конфигурация

# Структура Cyclone III/IV

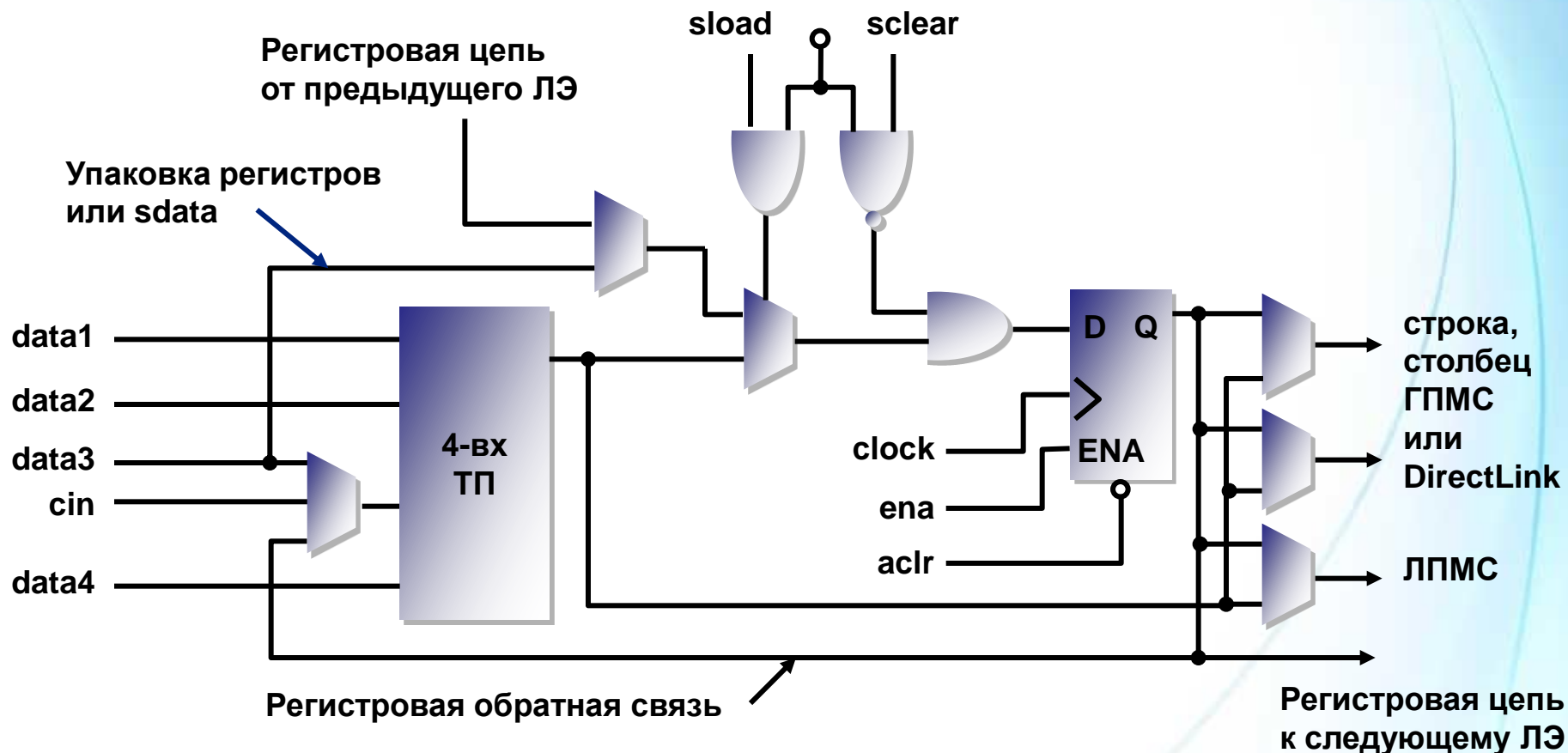


# Логический блок Cyclone III/IV

- 16 логических элементов
- Локальная матрица соединений
- Управляющие сигналы логического блока



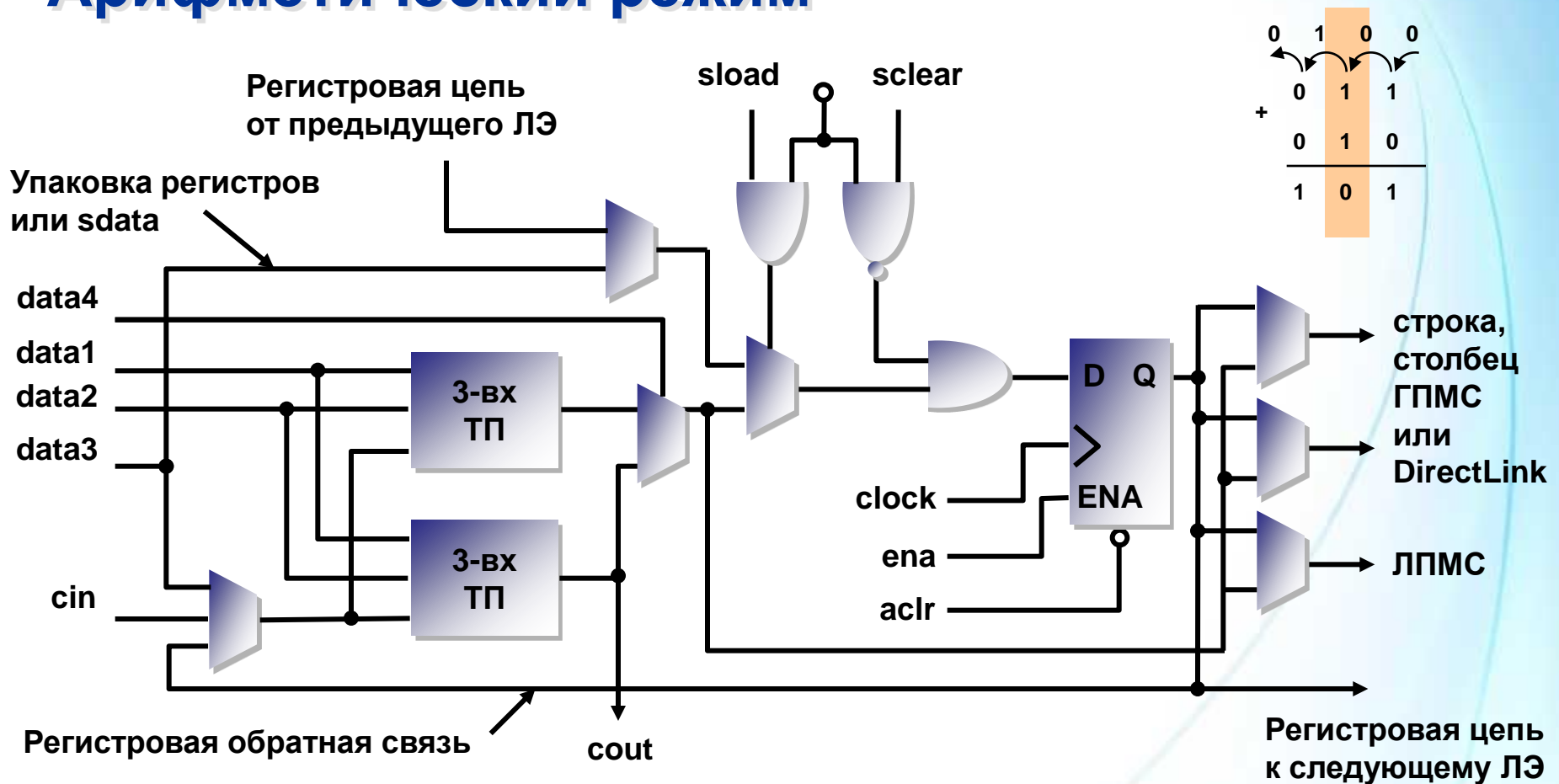
# Логический элемент Cyclone III/IV Нормальный режим



**Сигналы управления триггером формируются от локальной шины управляющих сигналов логического блока. В ее состав входят:**  
**clock, enable, aclr – по 2 линии**  
**slod, sclear – по 1 линии**

# Логический элемент Cyclone III/IV

## Арифметический режим



Реализует один разряд сумматора, вычитателя или счетчика с последовательным переносом

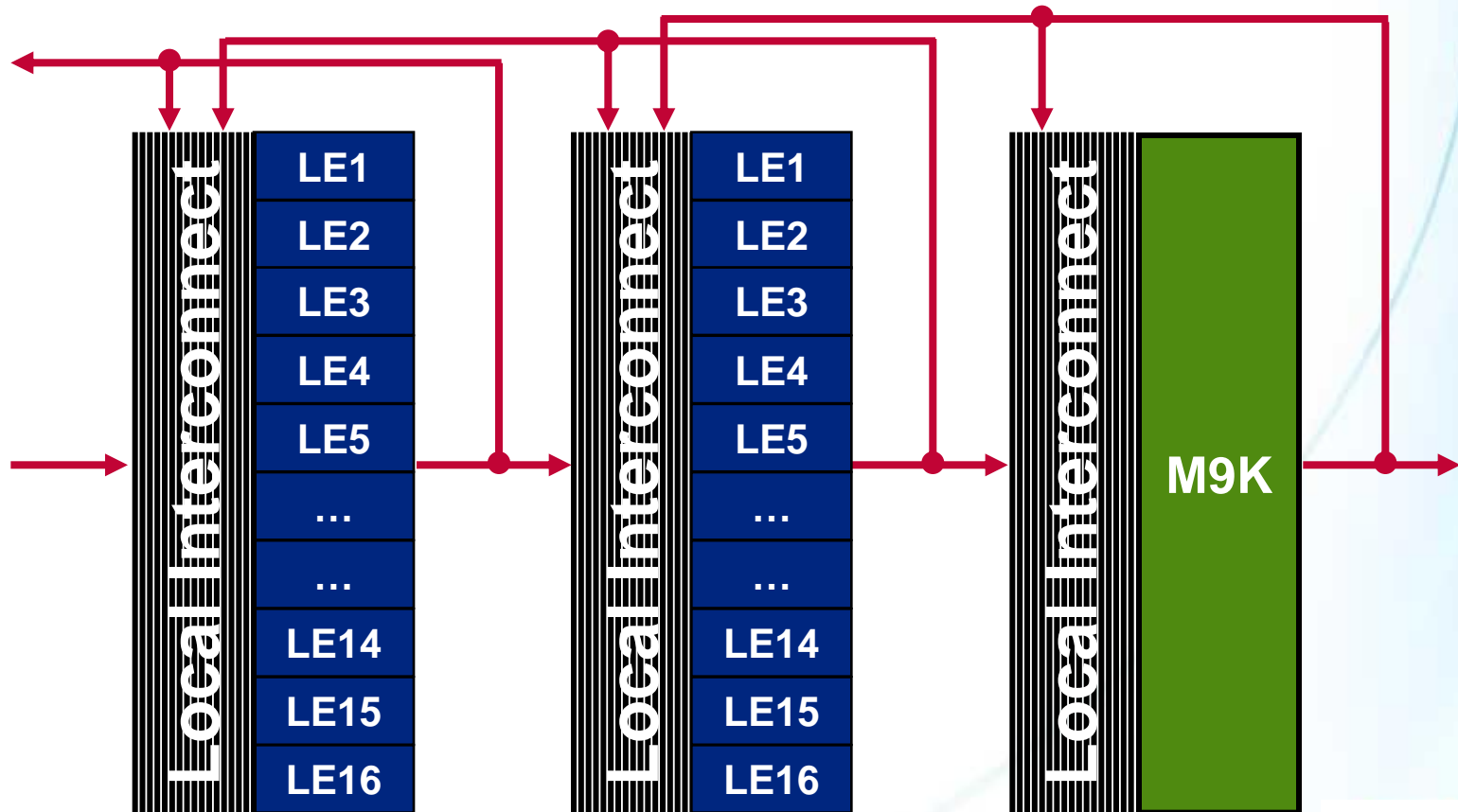


# Межсоединения

- Имеются связи между всеми блоками устройства
- Горизонтальные соединения
  - DirectLink
  - R4
  - R24
- Вертикальные соединения
  - Цепи переноса, LUT и регистровые
  - C4
  - C16
- Горизонтальные соединения объединяют логические блоки, модули памяти и умножители в одной строке

# DirectLink

- Позволяет передавать сигналы в соседний блок в одной строке



# DirectLink

- Быстрое соединение между блоками
  - Один логический элемент имеет быстрое соединение с 48 соседними ЛЭ
- Освобождает линии строк глобальной матрицы соединений

***Быстрые межсоединения –  
ключ к быстродействию***

# Глобальные строки и столбцы межсоединений

- 2 длины
  - R4 & R24
  - C4 & C16
- У каждого блока свое подмножество линий R4/C4 во всех направлениях
- R24/C16 не выходят непосредственно на вход блоков, перевод осуществляется через R4/C4

R4



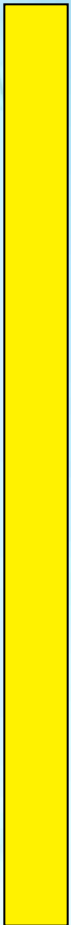
R24



C4

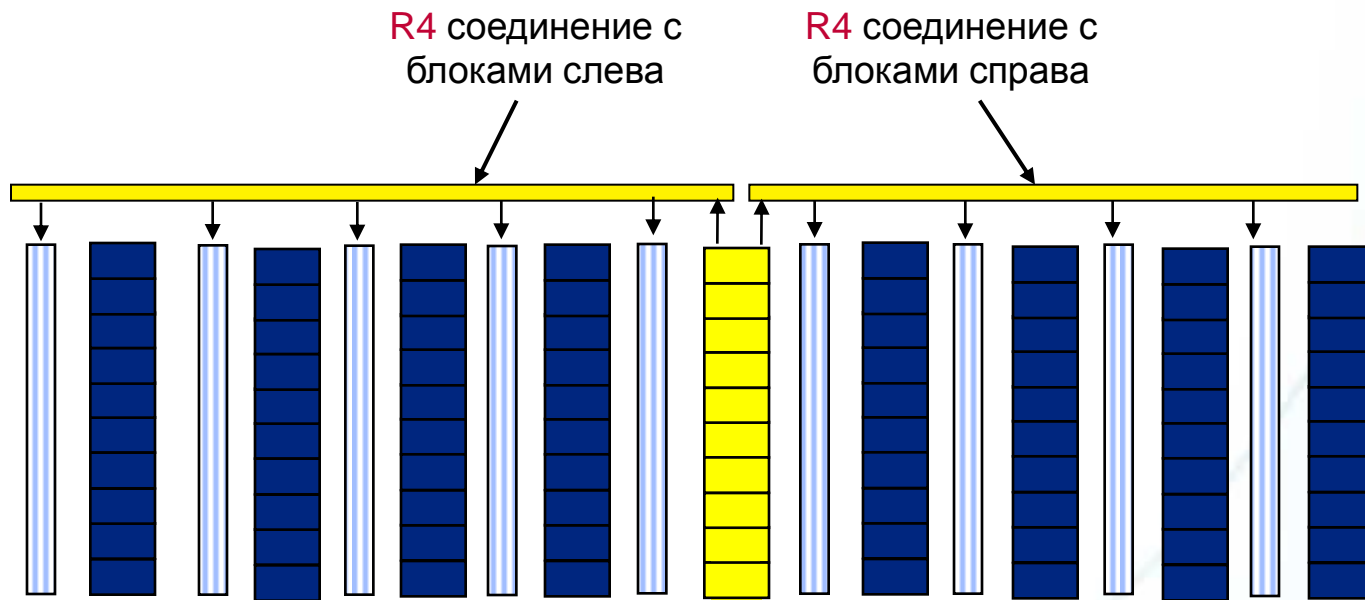


C16



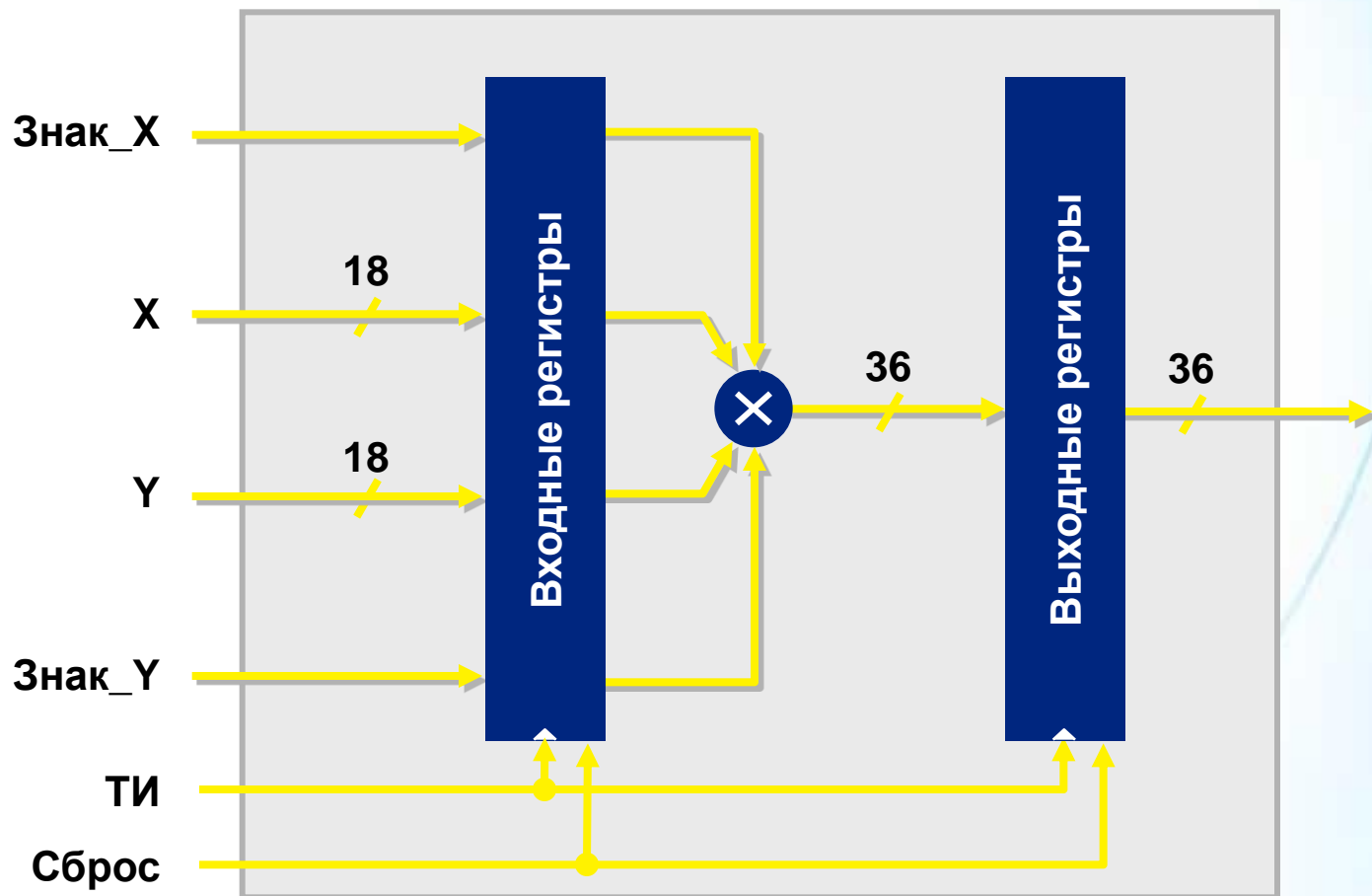
# Ресурсы горизонтальных шин

- Каждый блок имеет одинаковые возможности коммутации на проводники горизонтальной шины слева и справа





# Структура встроенного умножителя



# Характеристики встроенных умножителей Cyclone III/IV

- Один умножитель 18 x 18 или два 9 x 9 на блок
- Макс. частота:
  - 287 МГц (18 x 18) и 340 МГц (9 x 9)
  - Достижима, если задействуются входные и выходные регистры
- Поддерживает полное разрешение в режимах 18 и 9-битного умножения
  - Один 18-битный или два 9-битных умножителя в блоке
  - Разрядности входных шин данных равны реальной разрядности встроенных модулей памяти
  - Также поддерживаются меньшие разрядности
- Динамическое управление сигналами знаков для каждой из входных шин

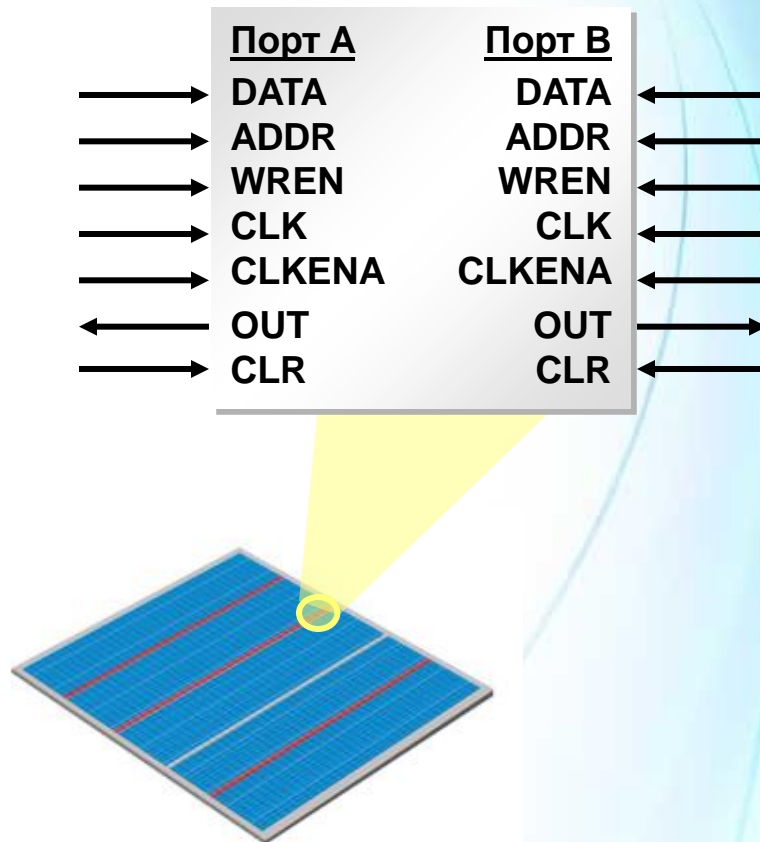
# Встроенные блоки памяти Cyclone III/IV

## ■ Блоки объемом 9 кбит

- Быстродействие до 315МГц
- Полностью синхронные
- Истинный двухпортовый режим
- Простой двухпортовый режим

## ■ Гибкие настройки

- Режим работы с разными ТИ
- Режим работы с разной глубиной/разрядностью
- Режим сдвигового регистра
- Режим ПЗУ
- Входы byte enable
- Возможность инициализации при конфигурации
- Бит четности



# Однопортовое ОЗУ

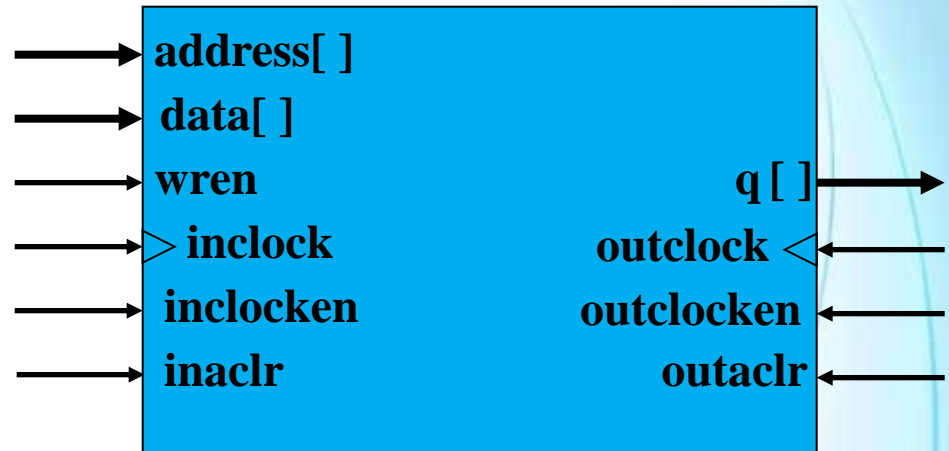
## ■ Однопортовое ОЗУ:

- Операции чтения и записи производятся по адресу Address[ ] ;
- Все входы регистровые;
- Выходы могут быть регистровыми или комбинаторными.

## ■ Тактирование:

- Общий тактовый импульс для входов и выходов;
- Раздельные тактовые импульсы для входов и выходов.

Single-Port RAM

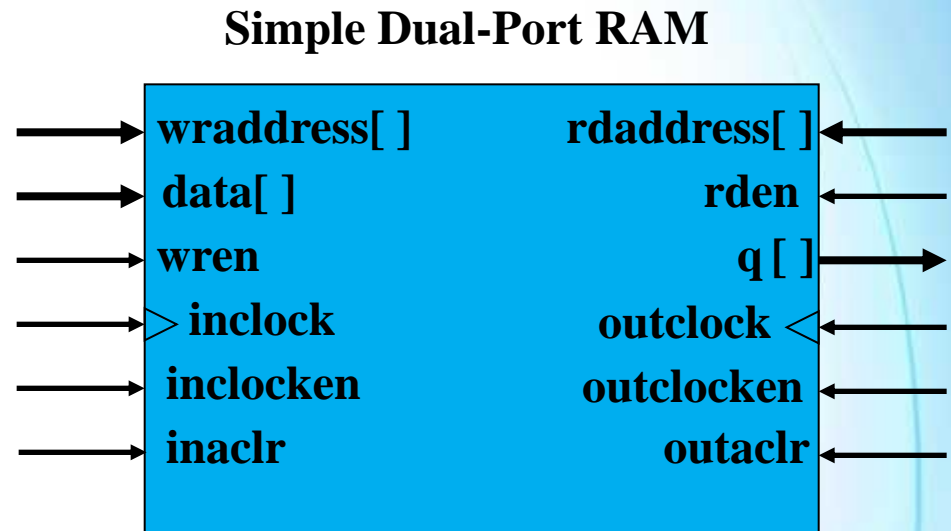


- 8K × 1
- 4K × 2
- 2K × 4
- 1K × 8
- 1K × 9
- 512 × 16
- 512 × 18
- 256 × 32
- 256 × 36

# Простое двухпортовое ОЗУ

## ■ Простое двухпортовое ОЗУ

- Раздельные порты для операций чтения и записи по разным адресам;
- Все входы регистровые;
- Возможность работы с данными различной разрядности по записи и чтению.



## ■ Тактирование:

- Общий тактовый импульс для входов и выходов;
- Раздельные тактовые импульсы для входов и выходов;
- Раздельные тактовые импульсы для порта чтения и порта записи.

Read Port	Write Port								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
8192 × 1	✓	✓	✓	✓	✓	✓	—	—	—
4096 × 2	✓	✓	✓	✓	✓	✓	—	—	—
2048 × 4	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 8	✓	✓	✓	✓	✓	✓	—	—	—
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓



# Истинно двухпортовое ОЗУ

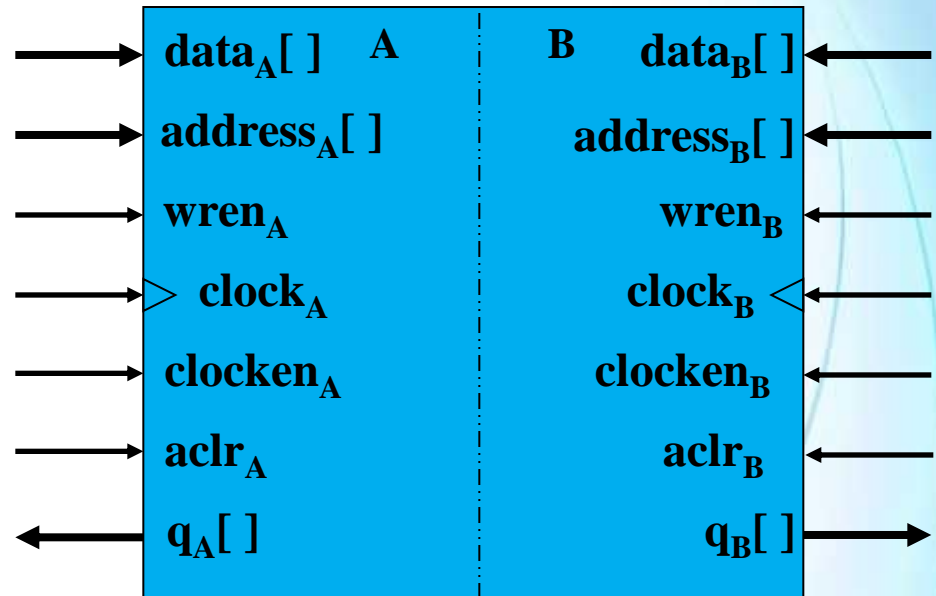
## ■ Истинно двухпортовое ОЗУ

- Два порта с поддержкой чтения и записи;
- Все входы регистровые;
- Возможность работы с данными различной разрядности по разным портам.

## ■ Тактирование:

- Общий тактовый импульс для входов и выходов;
- Раздельные тактовые импульсы для входов и выходов;
- Раздельные тактовые импульсы для портов А и В.

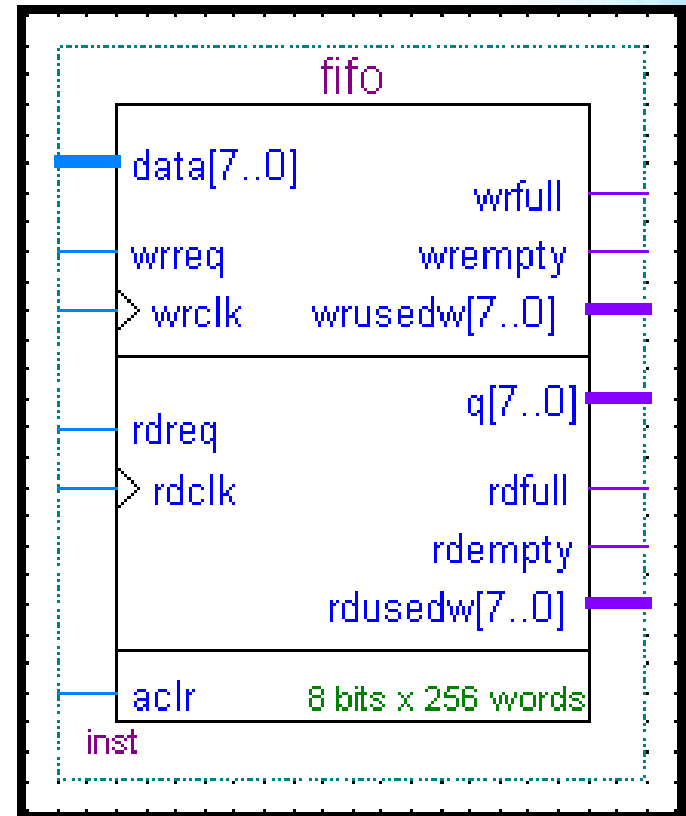
## True Dual-Port RAM



Read Port	Write Port						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	✓	✓	✓	✓	✓	—	—
4096 × 2	✓	✓	✓	✓	✓	—	—
2048 × 4	✓	✓	✓	✓	✓	—	—
1024 × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1024 × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

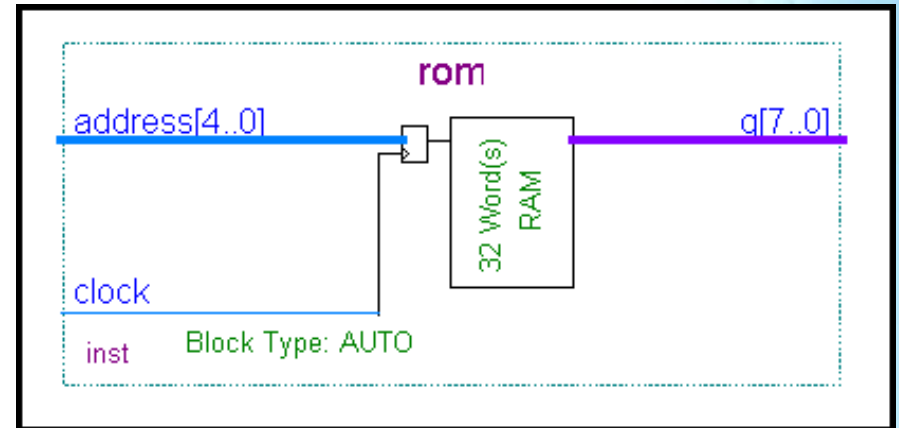
# FIFO

- First in First Out Memory:
  - Все входы регистровые;
- Тактирование:
  - Общий тактовый импульс для входов и выходов;
  - Раздельные тактовые импульсы для входов и выходов;
- Задействует логические элементы для управления адресом и формирования флагов
- Автоматически реализуется мастером настройки мегафункций



# ROM

- Read Only Memory
  - Вход адреса регистровый;
- Тактирование:
  - Общий тактовый импульс для входов и выходов;
  - Раздельные тактовые импульсы для входов и выходов.
- Содержимое ПЗУ определяется файлом инициализации памяти
  - Используется Memory Editor в Quartus II

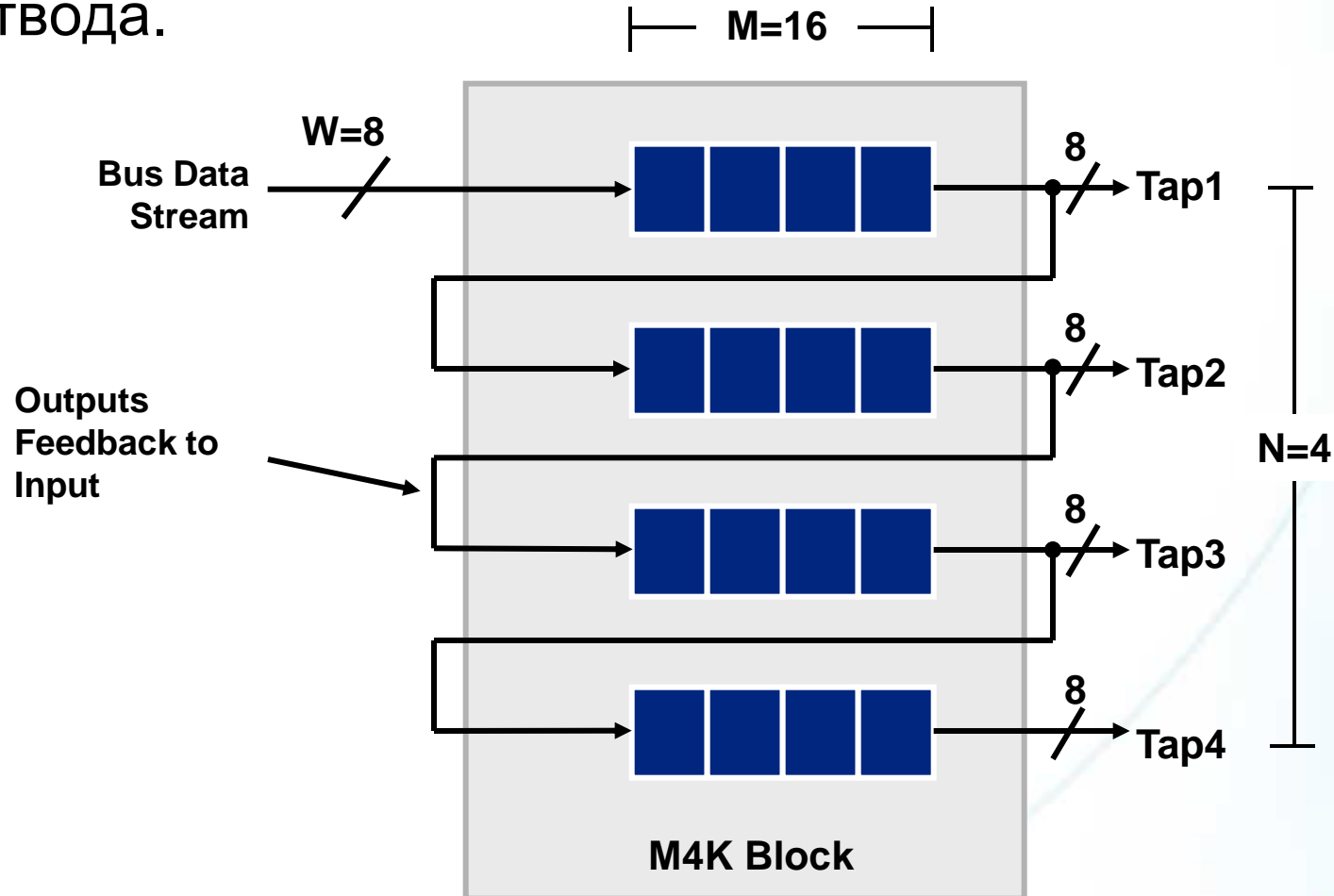


# Режим сдвигового регистра

- блоки M4K поддерживают  $W \times M \times N$  Shift Register :
  - $W$  = разрядность сдвигаемых слов;
  - $M$  = расстояние между отводами;
  - $N$  = число отводов;
- Автоматически реализуется мастером настройки мегафункций из модулей памяти и логических элементов;
- Для одного блока M9K
  - Макс  $W \times N = 36$ , например:
    - 18 бит, 2 отвода
    - 8 бит, 4 отвода
- Может задействовать несколько блоков памяти для получения нужных характеристик

# Режим сдвигового регистра

- Пример : 8 бит, 16 отсчетов между отводами, 4 отвода.



# Дополнительные возможности

## ■ Byte Enables

- Позволяет маскировать байты при записи;
- Может маскировать x8 или x9 битные слова;
- Используется для различных форматов чтения и записи;
- Используется в сочетании с Write Enable.

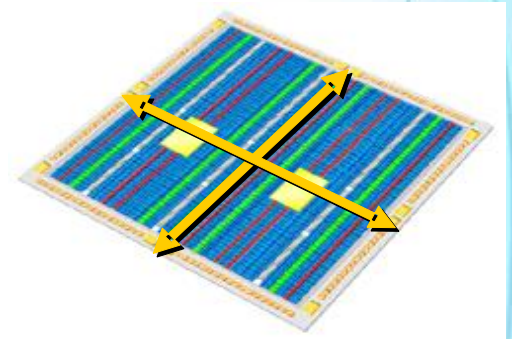
## ■ Бит четности

- Разрядность данных увеличивается на 1 дополнительный бит на байт;
  - Режимы x9, x18, x36;
- При необходимости контроля четности генерируется при записи и контролируется при чтении внешними средствами;
- Может использоваться для хранения данных

# Цепи тактовых импульсов

- Цепи тактовых импульсов
  - До 20 цепей глобальных тактовых импульсов
  - Могут использоваться для других глобальных сигналов (управление триггерами и сигналы с большим коэффициентом разветвления)
  - Если не задействованы, отключаются для снижения потребления
- Полнофункциональные устойчивые ФАПЧ (PLL)
  - До четырех ФАПЧ с низким джиттером (200 ps)
  - Пять программируемых выходов на ФАПЧ
  - Широкий диапазон входных частот – от 5 до 472,5 МГц
  - Выходная частота до 472,5 МГц
  - Возможность динамически изменять фазу и частоту
  - Возможность каскадирования

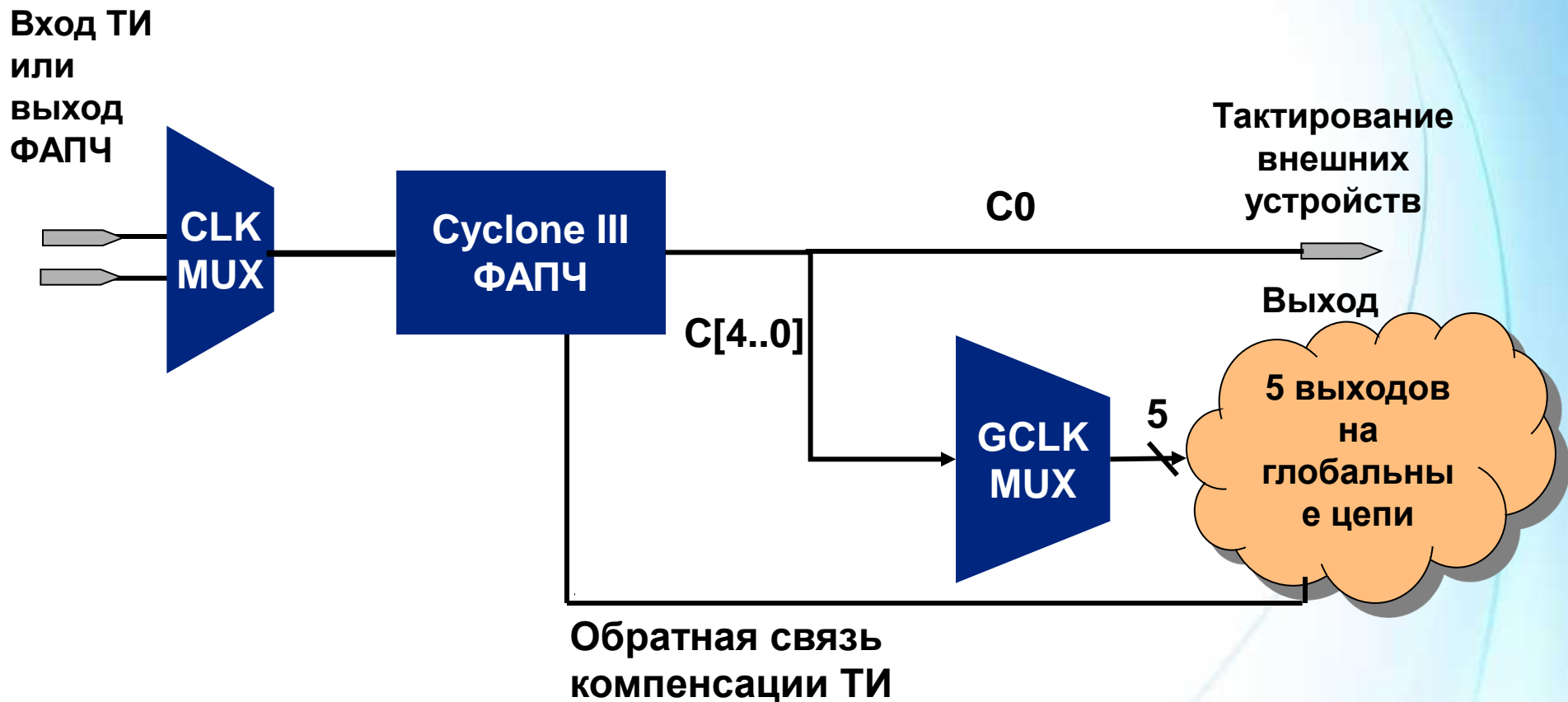
**Глобальные цепи тактовых импульсов**



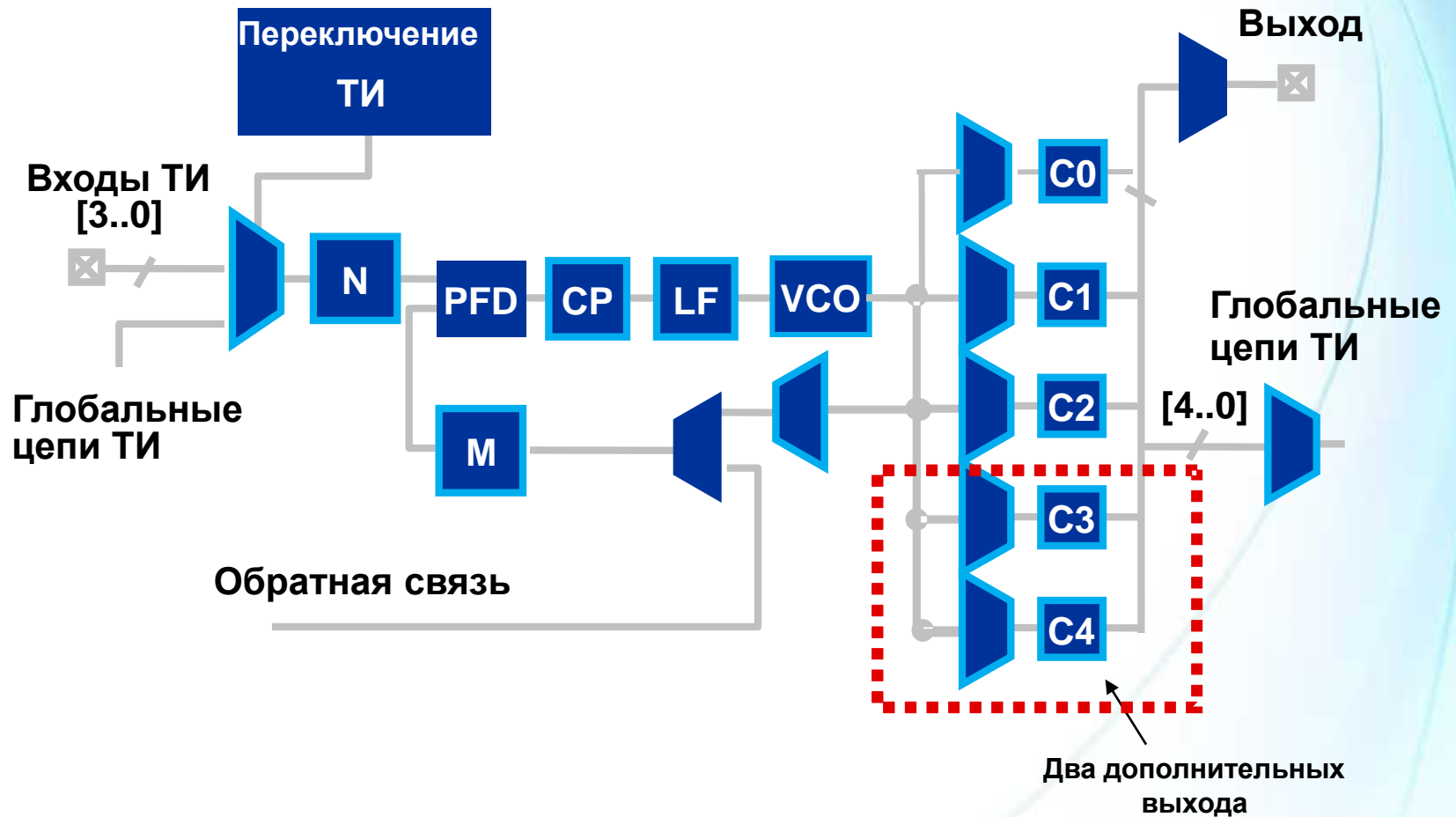
*До 20 в одном устройстве*



# Cyclone III/IV: ТИ и ФАПЧ



# Cyclone III/IV: ФАПЧ



 Динамически реконфигурируются при работе устройства

# Динамическая подстройка фазы ФАПЧ

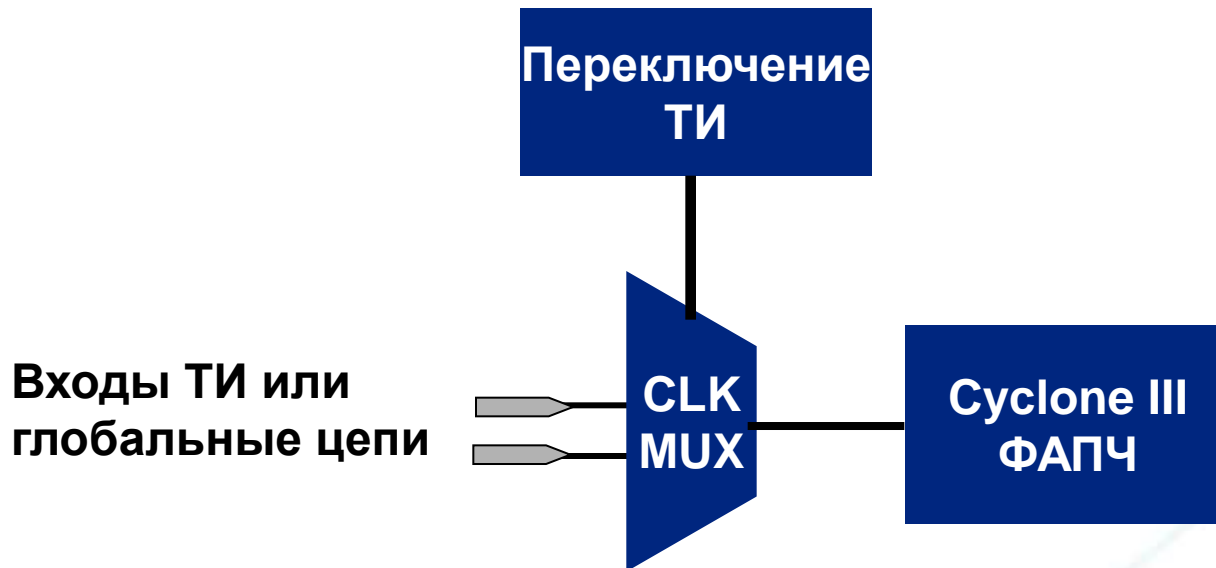
- Динамическая настройка фазы ФАПЧ
- Уменьшение/увеличение на один шаг
  - Величина шага инкремента определяется настройками ФАПЧ



*Используется для реализации  
интерфейсов памяти с  
автокалибровкой*

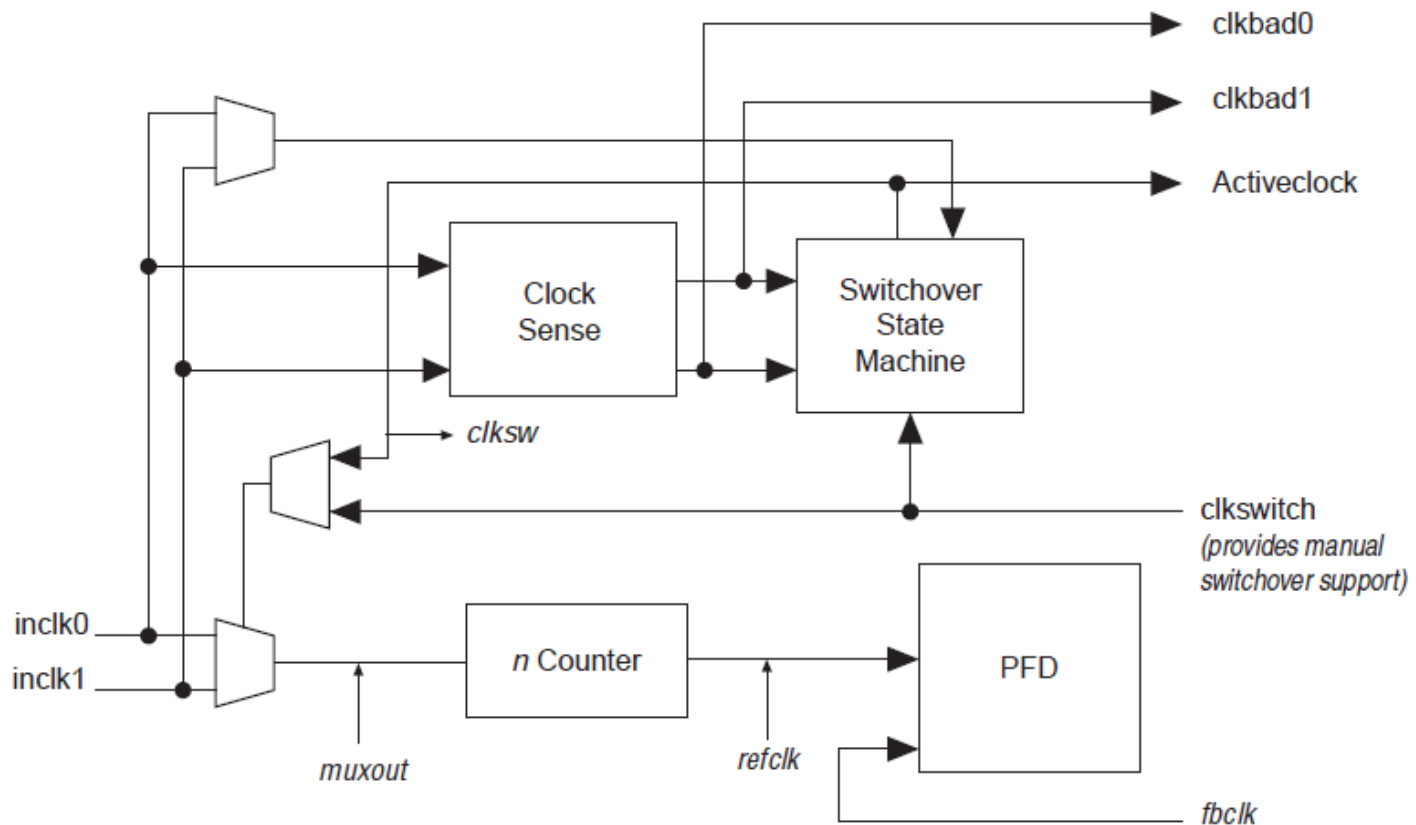
# Переключение ТИ

- Автоматическое переключение
  - Используется для повышения надежности системы;
  - При отказе первичного ТИ, осуществляется автоматическое переключение на вторичный ТИ;
- Ручное переключение



# Автоматическое переключение ТИ

- Переключение при пропадании тактового импульса на одном из входов
- Разница частот не должна быть больше 20% для корректного функционирования схемы переключения и формирования статусов clkbad



# Ручное переключение ТИ

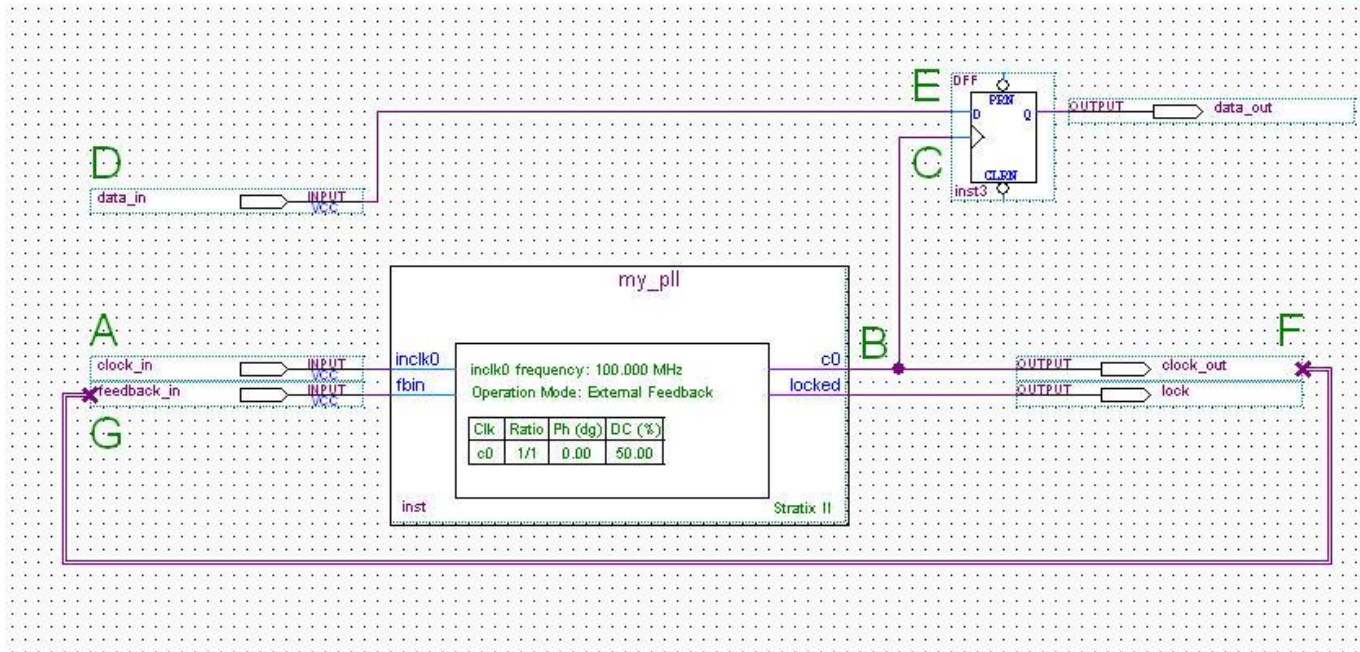
- Может использоваться вместе с автоматическим переключением (Manual override)
- Сигнал на входе clkswitch дает команду на переключение
- При подаче clkswitch:
  - Manual override : переключение произойдет, только когда тактовый импульс станет активным
  - Manual switchover: оба тактовых импульса должны быть активны
- При переключении частота ГУН должна оставаться в допустимом диапазоне для обоих ТИ
- При разнице частот более 20% ФАПЧ может выйти из синхронизма, при этом рекомендуется произвести сброс и дождаться захвата
- Также рекомендуется выполнять сброс ФАПЧ при наличии жесткого требования на соотношение по фазе между входным и формируемым ТИ

# Режимы коррекции фазы ФАПЧ

Режим ФАПЧ	Описание
Source Synchronous	Коррекция фазы для соответствия фазы ТИ на регистре в ЭВВ фазе входного ТИ (для соблюдения времен установки/удержания)
No Compensation	Без компенсации (наименьший джиттер)
Normal	Коррекция фазы для соответствия фазы ТИ на внутренних регистрах фазе входного ТИ
Zero Delay Buffer	Коррекция фазы соответствия фазы выхода ТИ ПЛИС фазе входного ТИ (для тактирования внешних устройств и интерфейсов)



# Режимы коррекции фазы ФАПЧ



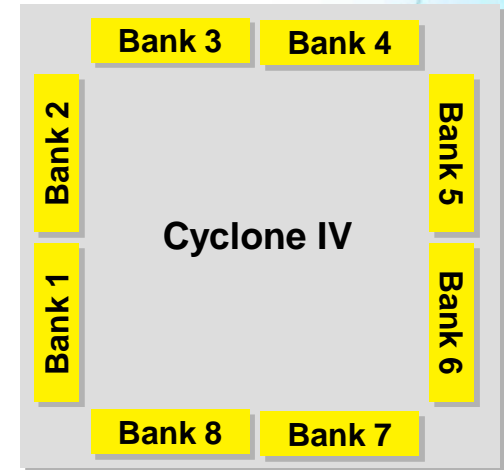
- Source Synchronous:  $t_{AC} = t_{DE}$
- Normal:  $t_{AC} = 0$
- Zero Delay Buffer:  $t_{AF} = 0$
- Задержки аппаратно реализованы в ФАПЧ и не могут быть изменены

# Возможности ЭВВ Cyclone IV

- Большое число поддерживаемых стандартов:
  - HSTL, SSTL Class I and II
  - LVDS, BLVDS, RSDS, Mini-LVDS, PPDS
  - LVCMOS
  - LVTTTL
  - LVPECL
  - PCI, PCI-X

**LVDS:**  
Прием до 875 Мбит/с  
Передача до 840 Мбит/с

- Совместимость с 3.3В
- Терминирование на кристалле
- Управление скоростью нарастания
- 8 банков во всех устройствах



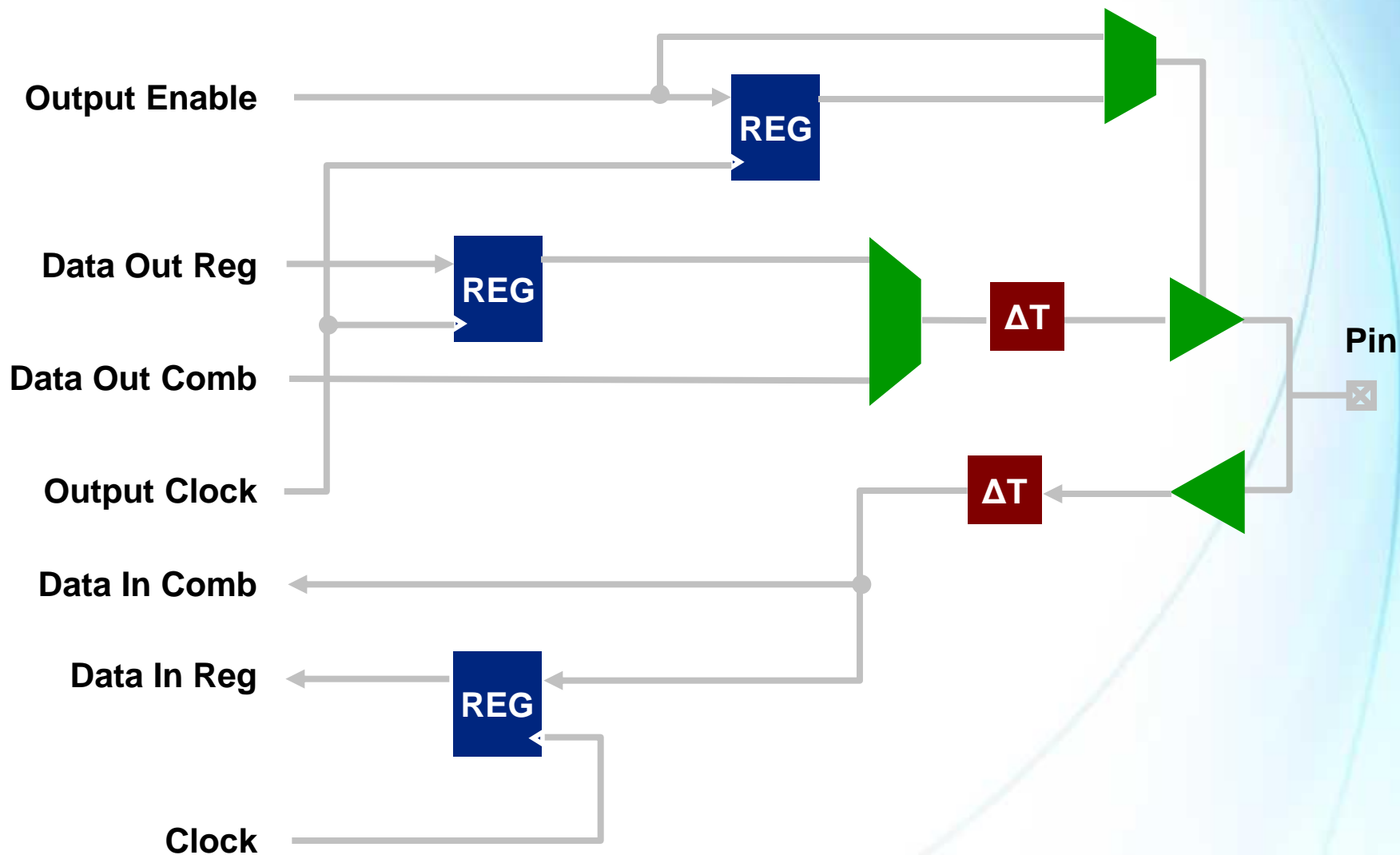
**DDR2**  
до 400 Мбит/с

- Интерфейсы памяти
  - QDR II, DDR и DDR2

# Другие возможности I/O

- Подтягивающий резистор
- Bus Hold
- Режим открытого коллектора
- Программируемые выводы земли
- Поддержка горячего включения
- Управление скоростью нарастания
- Ограничивающий диод PCI

# Структура элемента I/O Cyclone IV



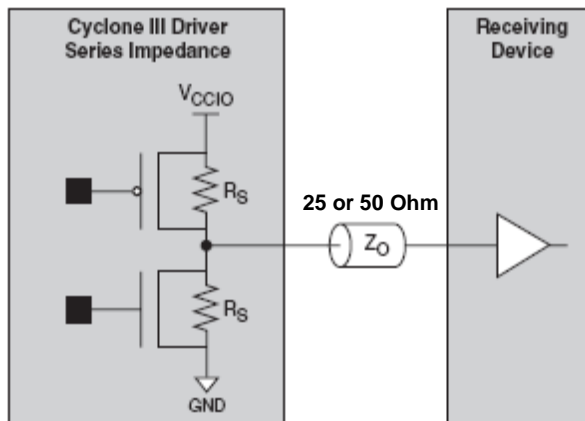
# Программируемая мощность выхода Cyclone IV

Стандарт	Настройка тока $I_{OH}/I_{OL}$ (mA)
LVTTL/LVCMOS (3.3 V)	4, 8 / 2
LVTTL/LVCMOS (3.0 V)	4, 8, 12, 16
LVTTL/LVCMOS (2.5 V)	4, 8, 12, 16
LVTTL/LVCMOS (1.8 V)	2, 4, 6, 8, 10, 12, 16
LVCMOS 1.5 V	2, 4, 6, 8, 10, 12, 16
LVCMOS 1.2 V	2, 4, 6, 8, 10, 12
SSTL-2 Class I	8, 12
SSTL-2 Class II	16
SSTL-18 Class I	8, 10, 12
SSTL-18 Class II	12, 18
HSTL-18 Class I	8, 10, 12
HSTL-18 Class II	16
HSTL-15 Class I	8, 10, 12
HSTL-15 Class II	16

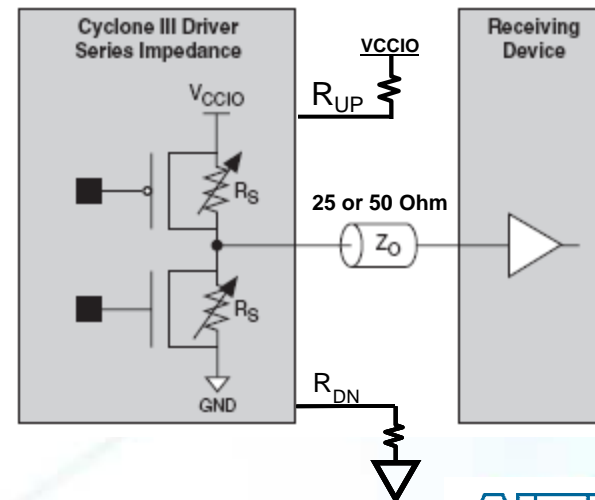
# Терминирование на кристалле (ОСТ) с калибровкой

- Сопротивление выходного буфера при фиксированной установке последовательного терминирования может варьироваться
- При использовании функции калибровки, после конфигурации ПЛИС сопротивление выходных буферов автоматически подстраивается для соответствия двум внешним резисторам ( $R_{UP}$  &  $R_{DN}$ ), номиналом 50 Ом или 25 Ом
- Используется настройка **Termination** в САПР Quartus II

ОСТ без калибровки



ОСТ с калибровкой



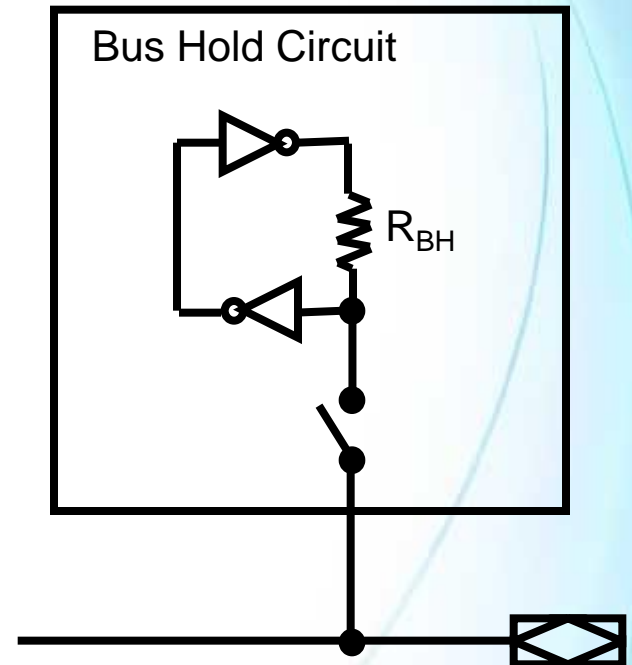
# Терминирование на кристалле (ОСТ) с калибровкой

- Блоки автокалибровки есть в банках 2,4,6,7
- Блок используется обоими банками на одной стороне кристалла, поэтому у них при использовании этой функции должно быть одинаковое напряжение питания
- При использовании автокалибровки не поддерживаются:
  - Управление током выхода
  - Опция низкой скорости нарастания



# Возможность Bus Hold

- Улучшает целостность сигналов
- Оставляет линию в последнем активном уровне
- Устраняет необходимость подтягивающих резисторов для шины, которая может находиться в третьем состоянии
- Включается индивидуально для каждого вывода



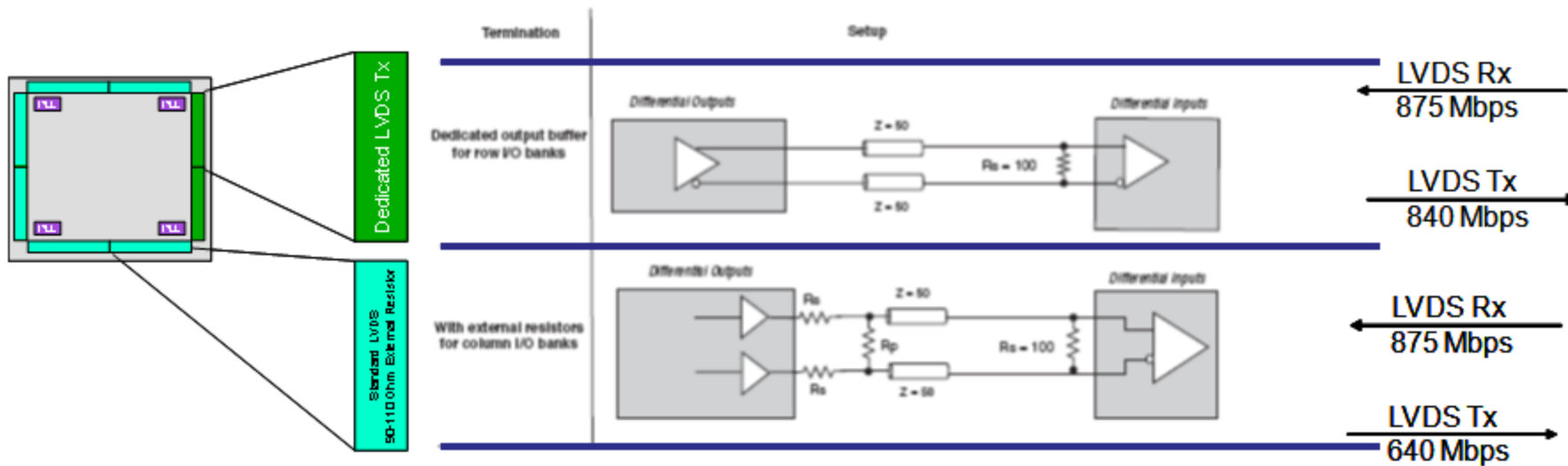
# Дифференциальные выходные буферы

## ■ Выделенные выходные буферы LVDS

- на правых банках
- До 840 Мбит/с
- Не требуют внешних резисторов

## ■ Улучшенные входные буферы LVDS

- во всех банках
- До 875 МБит/с



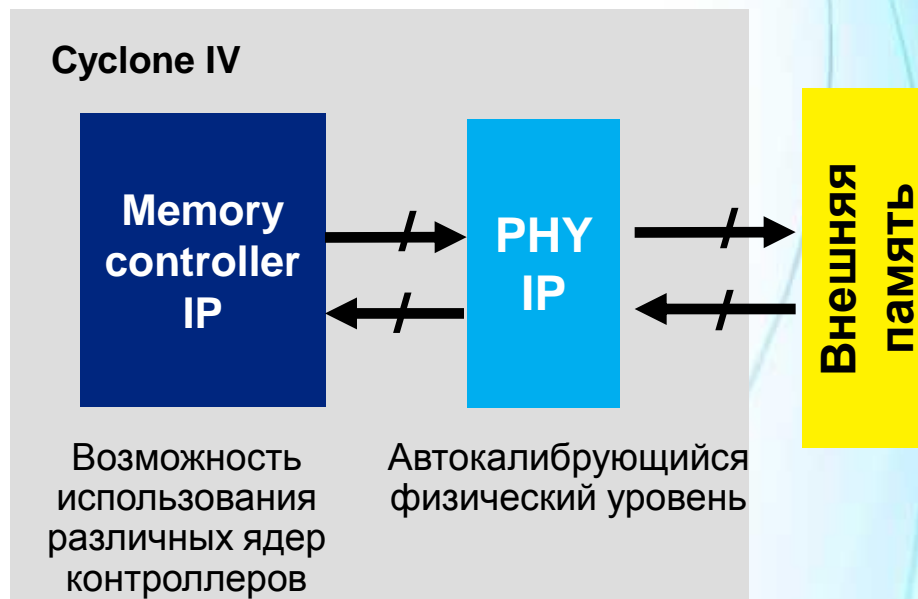
# Интерфейсы внешней памяти

- Поддерживает SDR, DDR, DDR2 SDRAM и QDR II SRAM
  - Частота до 200 МГц
  - Аппаратная автокалибровка с применением IP функции ALTMEMORY
  - Для SDRAM доступны готовые IP функции контроллеров
  - Поддержка QDR II SRAM на уровне IP не предоставляется

***Аппаратная поддержка облегчает проектирование***

# Автокалибровка и автоподстройка интерфейсов памяти

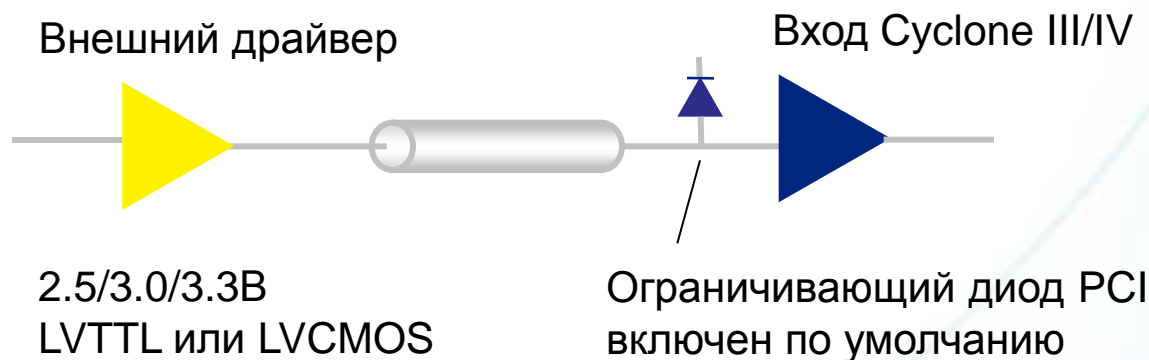
- Ядро IP ALTMEMPHY автоматически калибруется
  - Для ПЛИС и памяти
- Отслеживает изменения температуры и напряжения
  - Подстраивает фазу ресинхронизации (выход ФАПЧ в режиме динамической реконфигурации)
  - Не требует прерывания обмена
  - Поддерживает интерфейсы DDR, DDR2 и QDR II



***Повышает производительность  
и уменьшает сложность доводки  
временных характеристик***

# Рекомендации для ЭВВ Cyclone III/IV

- Cyclone III/IV могут быть приемником и источником сигналов в диапазоне 1.2В - 3.3В
  - Выход LVTTTL 3.3В до 8ма и LVCMOS 3.3В до 2ма
- Для более мощного выхода на 3.3В и для PCI/PCI-X используйте питание 3.0В
  - Выход Cyclone III с питанием 3.0В соответствуют стандартам 3.3В по спецификации EIA/JEDEC Standard JESD8-B
- AN447 рассматривает примеры ограничения выбросов при подаче сигналов в стандартах без терминирования, таких, как LVTTTL или LVCMOS



# Режимы конфигурации FPGA Altera

Режим	<i>Cyclone III, Cyclone IV</i>	<i>Cyclone, Cyclone II</i>	<i>Stratix II, III, IV</i>	<i>Stratix</i>
Active Serial	✓	✓	✓	
Active Parallel	✓*			
Passive Serial	✓	✓	✓	✓
Fast Passive Parallel	✓*		✓	✓
JTAG	✓	✓	✓	✓
Remote Update	✓		✓	✓

\* - Не во всех устройствах

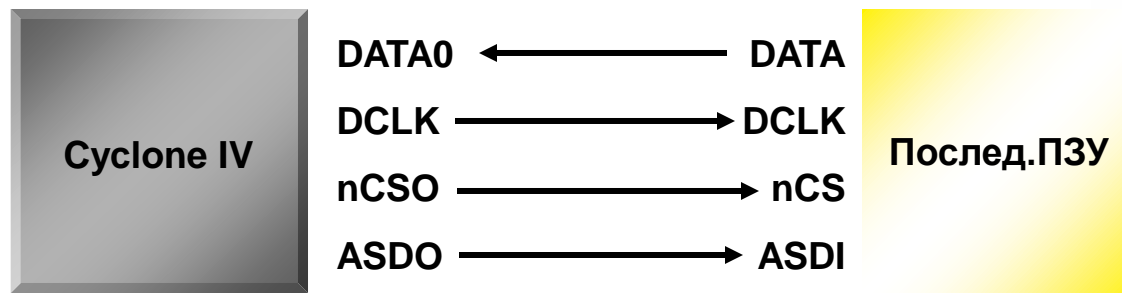
# Недорогие конфигурационные ПЗУ

- Семейство последовательных конфигурационных устройств Altera EPCS с питанием 3.3В
  - Цены для больших партий
    - От \$1
    - До 10% цены устройства Cyclone
    - Используют интерфейс Active Serial
  - Реализованы по технологии Flash памяти
  - Компактные корпуса SOIC-8 и SOIC-16
  - Объем от 1 до 128 Мбит
    - Достаточно для любого Cyclone
    - Поддерживается конфигурация нескольких ПЛИС от одного ПЗУ

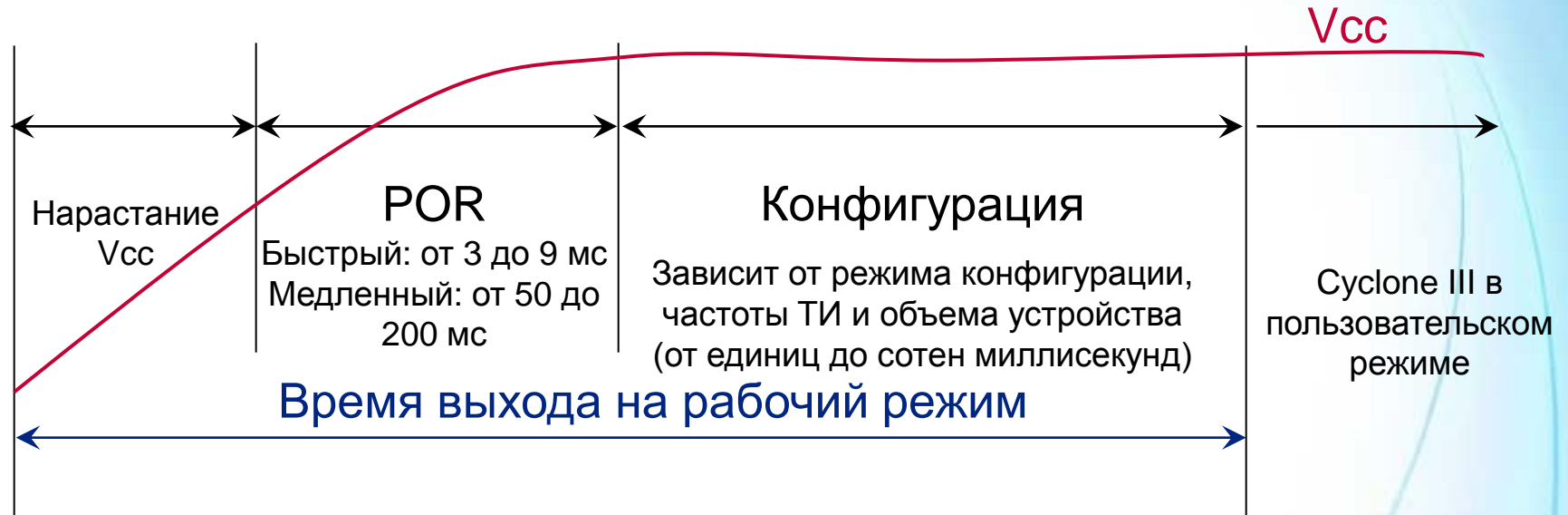


# Описание интерфейса Active Serial

- ПЛИС является задатчиком
  - Контроллер конфигурации реализован в ПЛИС
  - Формирует всю последовательность и ТИ
  - Реализован на основе интерфейса SPI
- Поддерживает каскадирование ПЛИС
- ПЗУ программируется новыми загрузочными кабелями
  - Также поддерживаются программатор Altera (APU) и программаторы третьих фирм



# Включение питания и конфигурация

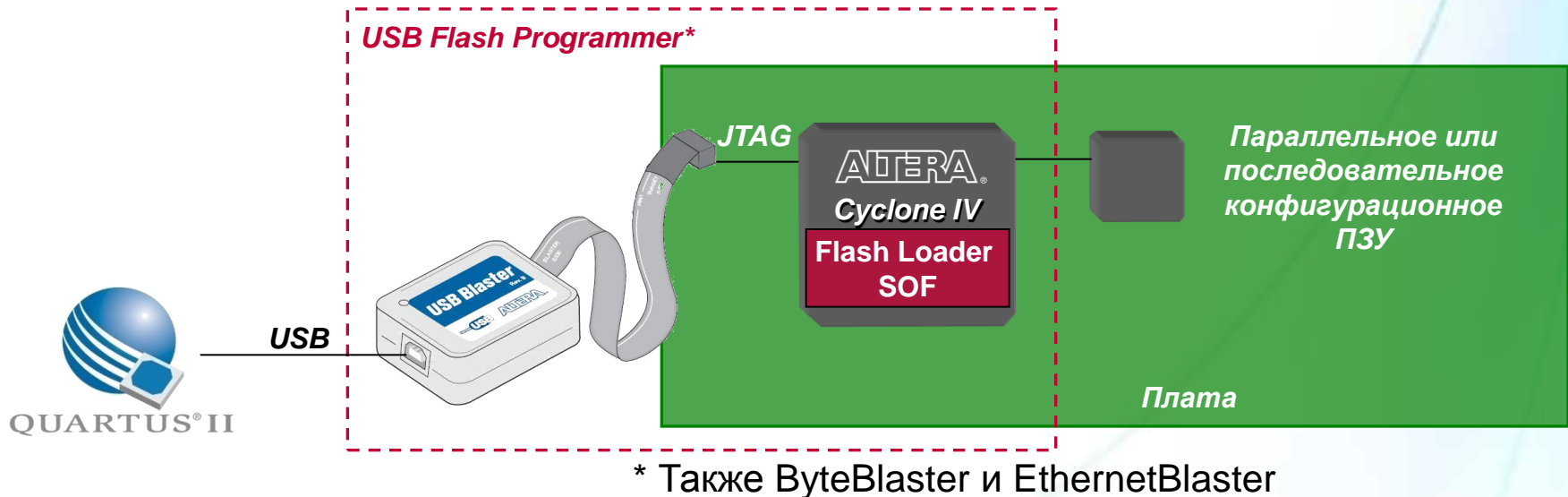


- Режим конфигурации и время POR выбирается выводами MSEL3..0
- Опция быстрого POR требует быстрого нарастания напряжения питания\*

\* Время нарастания напряжения питания должно быть меньше времени POR

# Программирование Flash в системе

- Программирование и считывание конфигурационного ПЗУ из программатора Quartus II
  - ПЛИС используется как программатор (загружается специальная конфигурация Flash loader)
  - Quartus II автоматически конфигурирует ПЛИС прошивкой Flash Loader, пересылает через нее прошивку и программирует Flash
- Устраняет необходимость в дополнительных разъемах и средствах для программирования Flash



# Remote System Upgrade

