

ALTERA®

MAXII CPLD



Содержание

- Введение
- Характеристики
- Архитектура MAX II
- Возможности MAXII
- Конкуренция
- Новое семейство - MAX V

MAX II: Самая дешевая CPLD

- Новая архитектура логики для CPLD
 - Вдвое дешевле
 - В 10 раз ниже потребление
 - В 2 раза выше производительность
 - В 4 раза выше емкость
- Энергонезависимы, быстрый выход на рабочий режим
- Поддерживает напряжения питания 3.3, 2.5 и 1.8V
- Время выхода на рабочий режим – от 200 до 450 мкс после установления напряжения питания ядра



***Революционная технология,
расширяющая рынки***

CPLD на основе таблиц перекодировки?

Требования к CPLD:

Быстрое включение
Низкая цена
Простота использования
Энергонезависимость
Одна микросхема

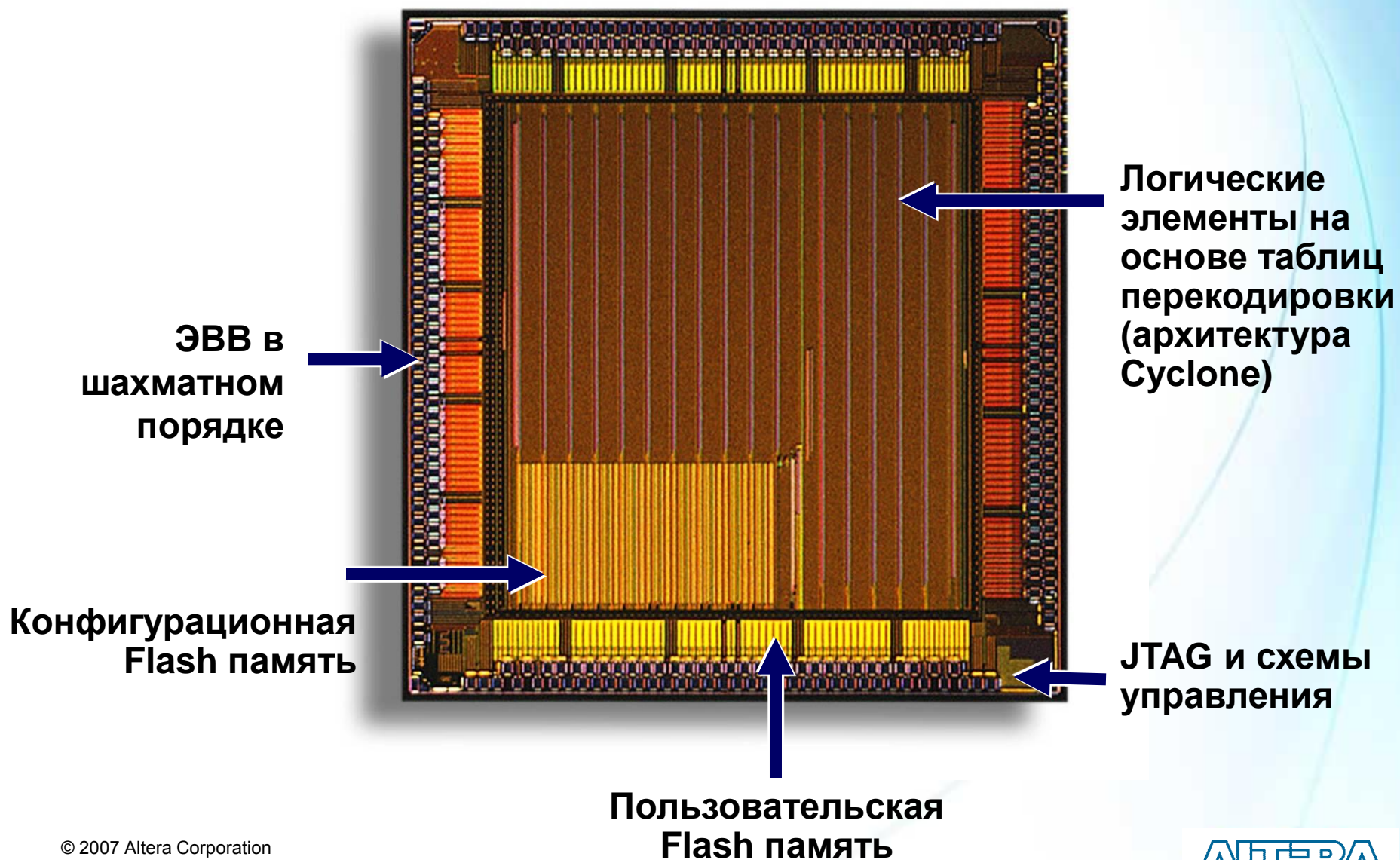


Требования к FPGA:

Высокая степень
интеграции
Высокая f_{MAX}
Встроенное ОЗУ
ФАПЧ
Готовые ядра
интеллектуальной
собственности (IP)



Архитектура MAX II



Семейство MAX II

Тип	Лог. элементов	Макро- ячеек (прибл.)	Макс. пользоват. выводов	Градации по быстро- действию	Наименьше е t_{pd} (нс)	Объем пользоват. Flash (бит)
EPM240	240	192	80	3, 4, 5	4.5	8,192
EPM570	570	440	160	3, 4, 5	5.5	8,192
EPM1270	1,270	980	212	3, 4, 5	6.0	8,192
EPM2210	2,210	1,700	272	3, 4, 5	6.5	8,192

Корпуса и число пользовательских выводов MAX II

Тип	uFBGA 68 0.5мм 5 x 5	uFBGA 100 0.5мм 6 x 6	FBGA 100 1.0 мм 11 x 11	TQFP 100 0.5 мм 16 x 16	TQFP 144 0.5 мм 22 x 22	uFBGA 144 0.5 мм 7 x 7	uFBGA 256 0.5 мм 11 x 11	FBGA 256 1.0 мм 17 x 17	FBGA 324 1.0 мм 19 x 19
ЕРМ240		80	80	80					
ЕРМ570		76	76	76	116		160	160	
ЕРМ1270					116		212	212	
ЕРМ2210								204	272
ЕРМ240Z	54	80							
ЕРМ570Z		76				116	160		



Совместимы по выводам

© 2007 Altera Corporation

Altera, Stratix, Cyclone, Arria, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

ALTERA®

Сравнение MAX и MAX II

Параметр	MAX	MAX II
Тех. процесс	0.3мкм EEPROM	0.18мкм Flash
Архитектура логики	Матрица И-ИЛИ	Табл. перекодировки (LUT)
Логическая емкость	От 32 до 512 макроячеек	От 128 до 2210 экв. макроячеек (от 240 до 2,210 ЛЭ)
Матрица соединений	Одноуровневая (глобальная)	Двухуровневая (строки R4 и столбцы C4)
Пользовательская Flash память на кристалле	Нет	8 кбит
Макс. польз. выводов	212	272
Напряжение питания ядра	5.0В, 3.3В, 2.5В	3.3В/2.5В, 1.8В
Напряжения питания ЭВВ	5.0В, 3.3В, 2.5В, 1.8В	3.3В, 2.5В, 1.8В, 1.5В
Глобальных ТИ	2 в устройстве	4 в устройстве
Разрешений выходов	От 6 до 10 в устройстве	1 на вывод
Триггеры Шмитта	Нет	1 на вывод



Архитектура MAX II



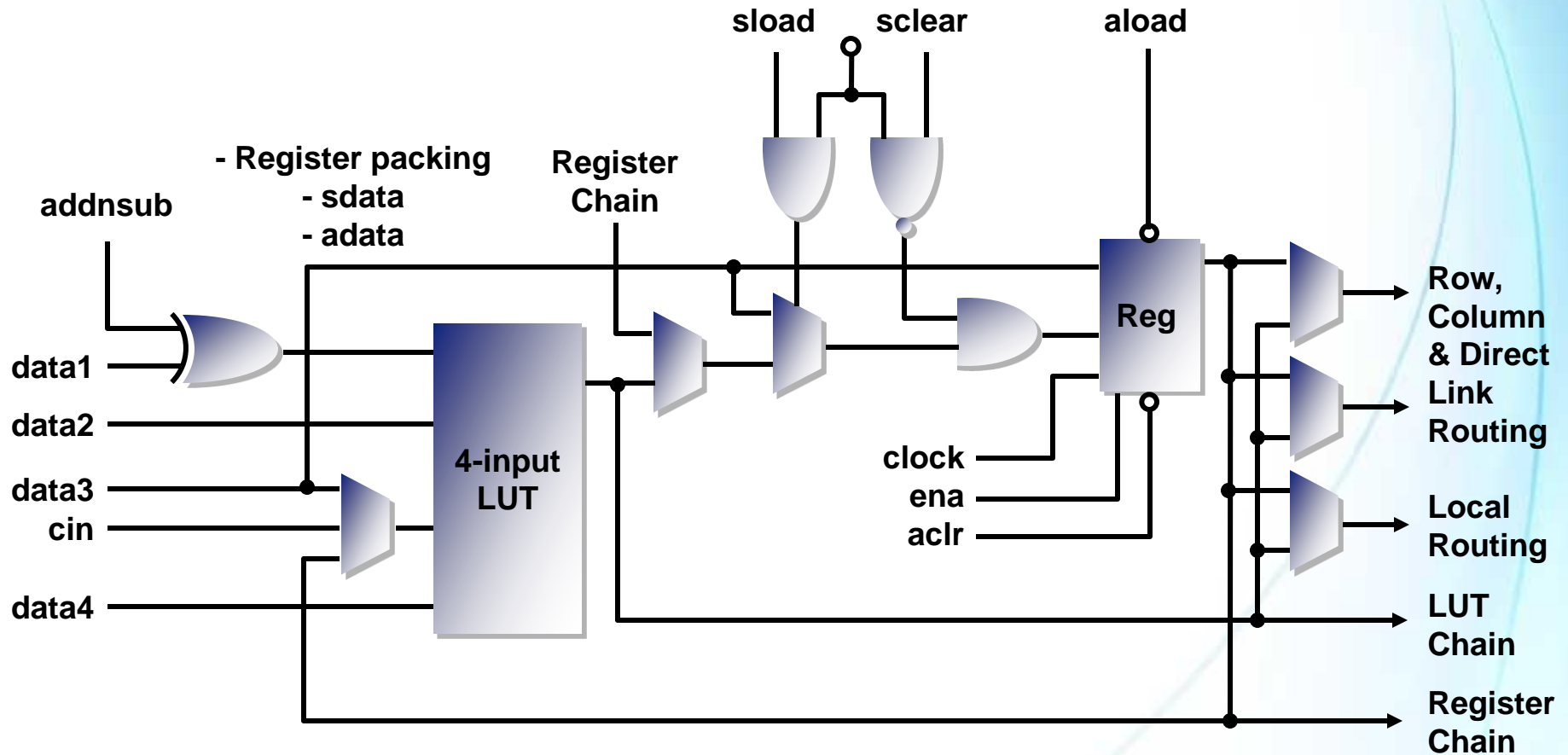
Логический блок MAX II

- 10 логических элементов
- Локальная матрица соединений
- Управляющие сигналы логического блока



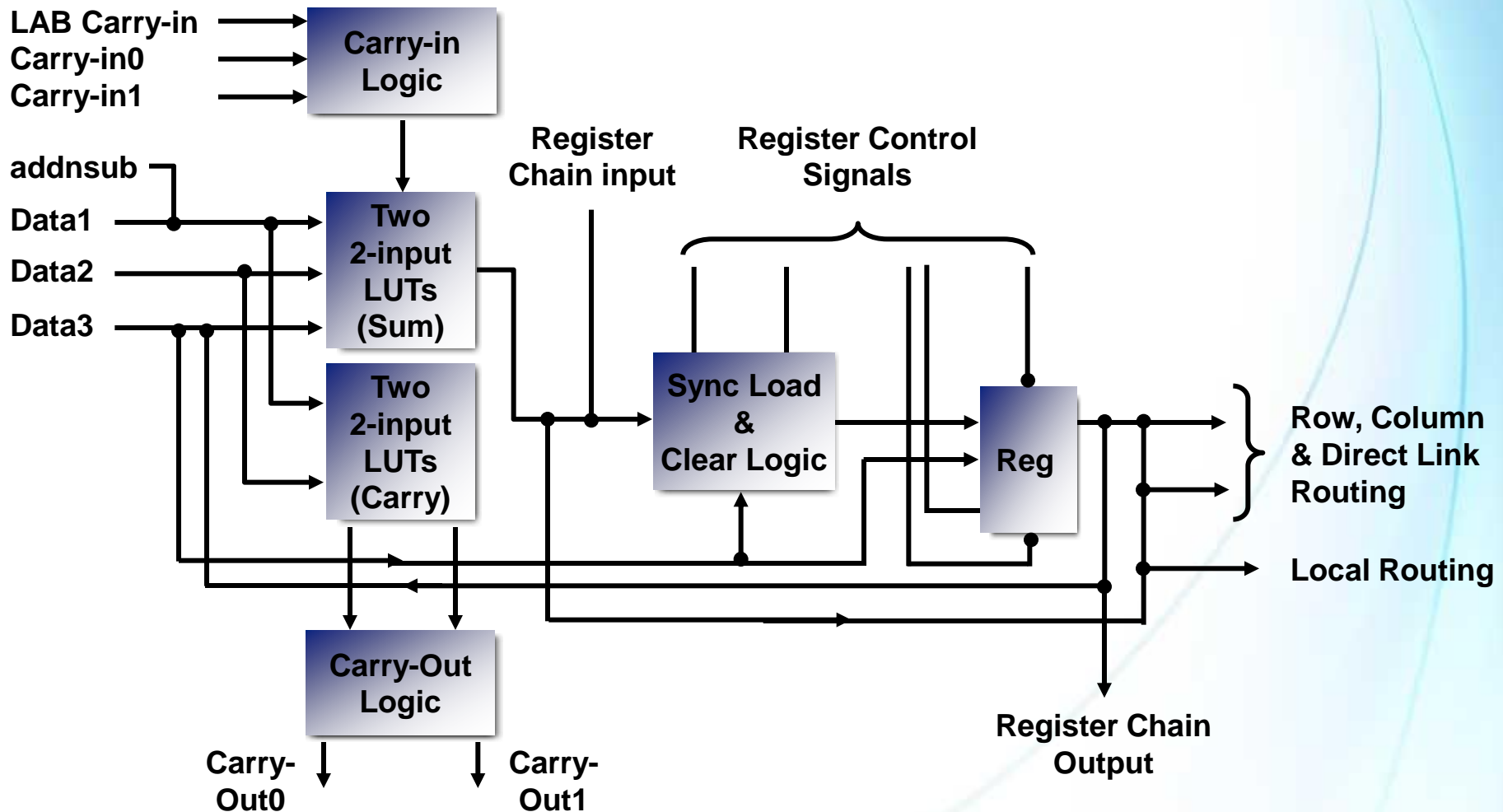
Логический элемент МАХ II

Нормальный режим



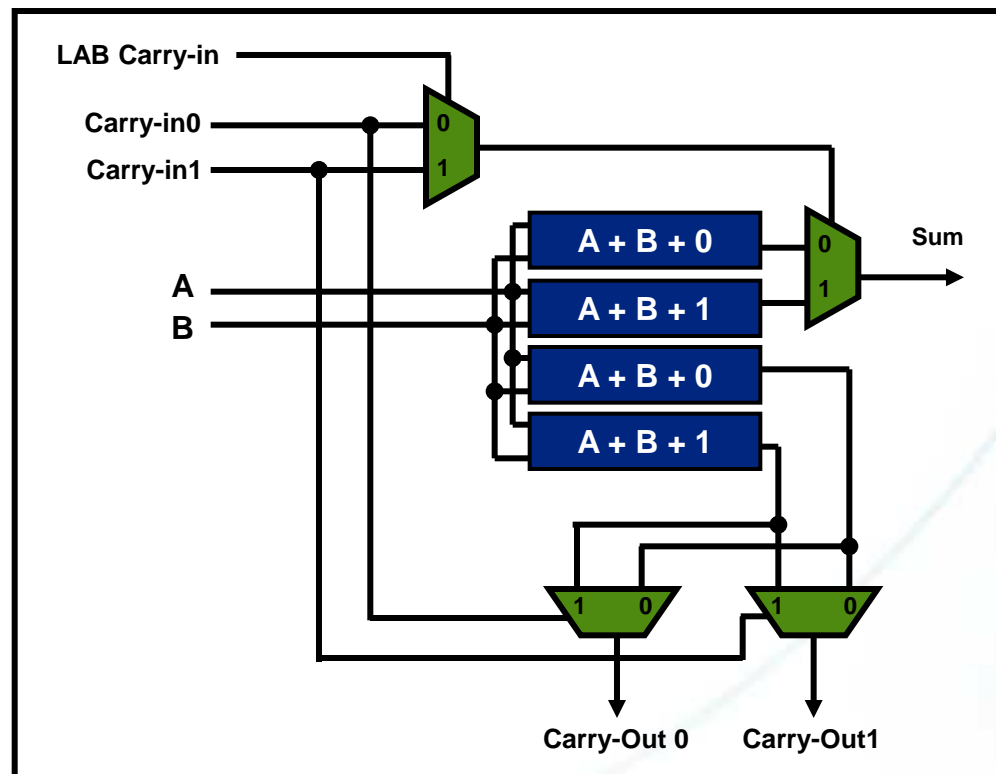
Логический элемент MAXII

Режим динамической арифметики



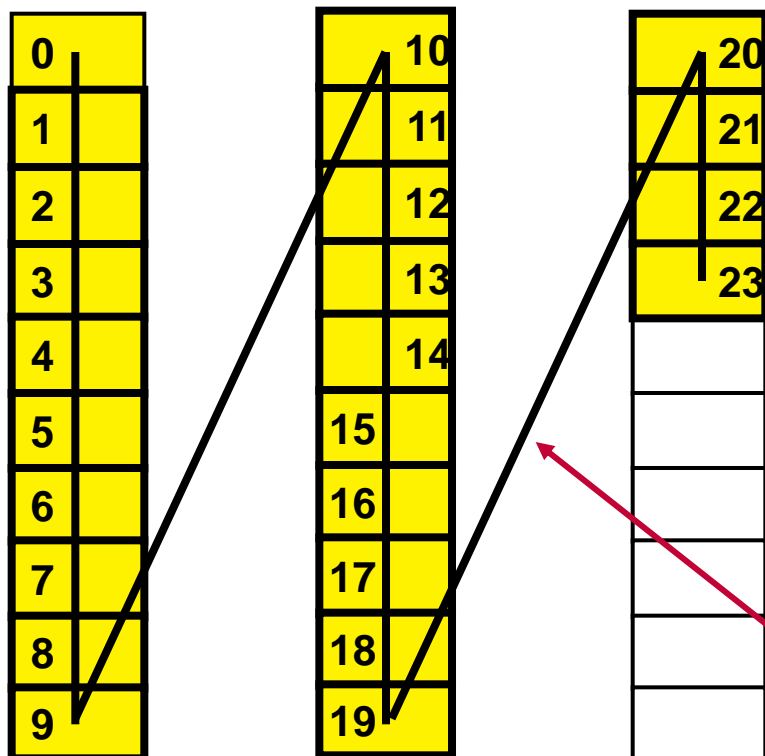
Логика CSA

- Каждая ячейка рассчитывает выходные сумму и перенос для значений входного переноса 0 и 1
- Входные переносы от логического блока и от предыдущего логического элемента выбирают, какой результат используется



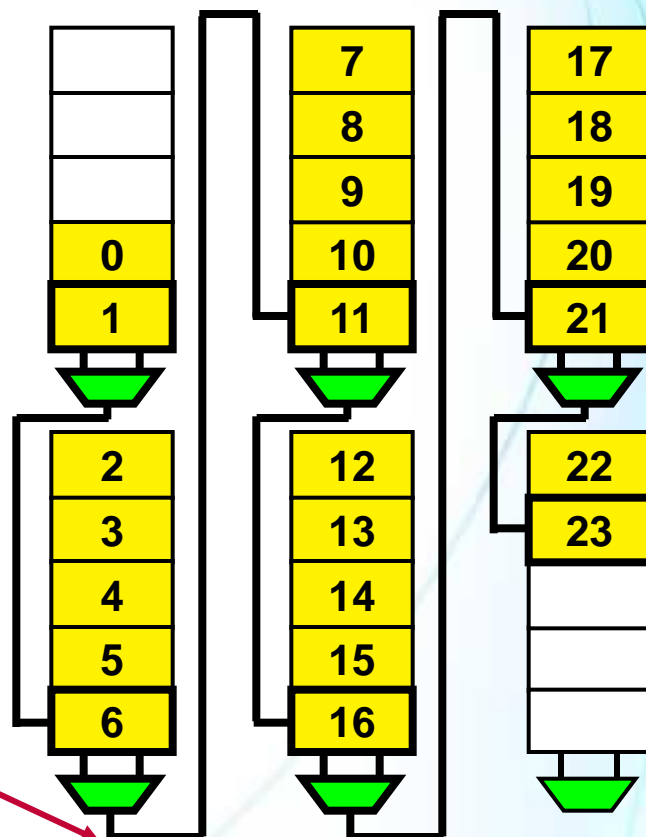
Сравнение 24-битных счетчиков

Цепочный перенос



Критический путь 23 ЛЭ

Выбор переноса



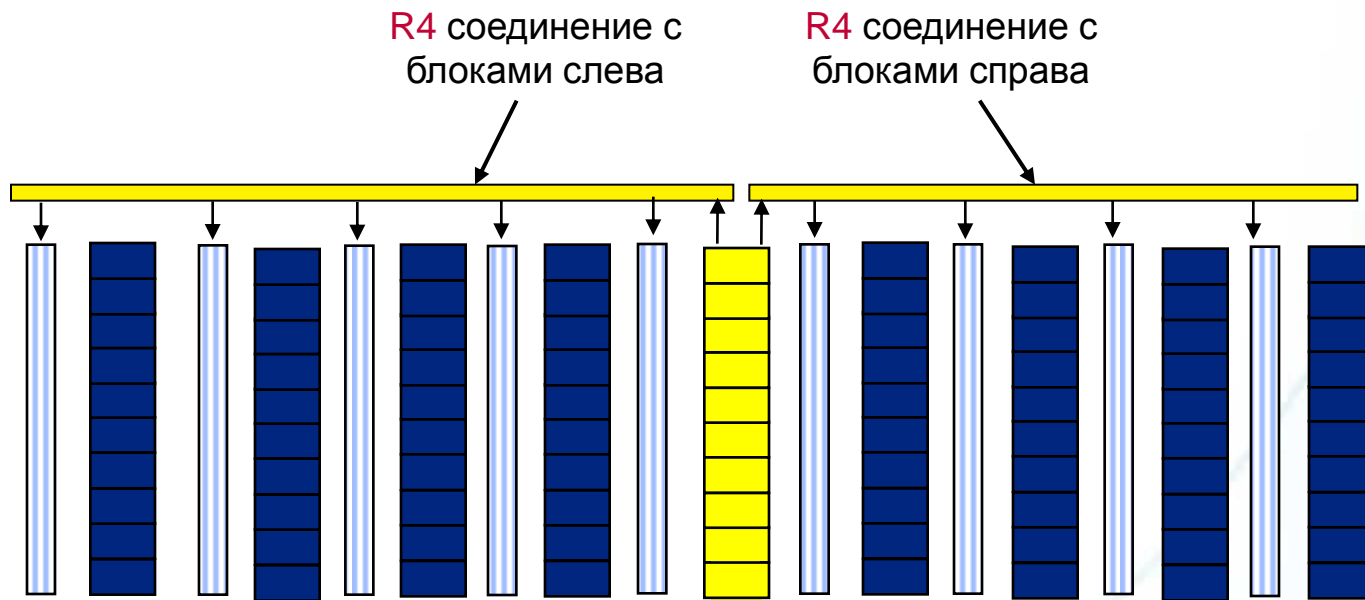
Критический путь 6 ЛЭ

Межсоединения

- Имеются связи между всеми блоками устройства
- Горизонтальные соединения
 - DirectLink
 - R4
- Вертикальные соединения
 - Цепи переноса и регистровые цепи
 - C4

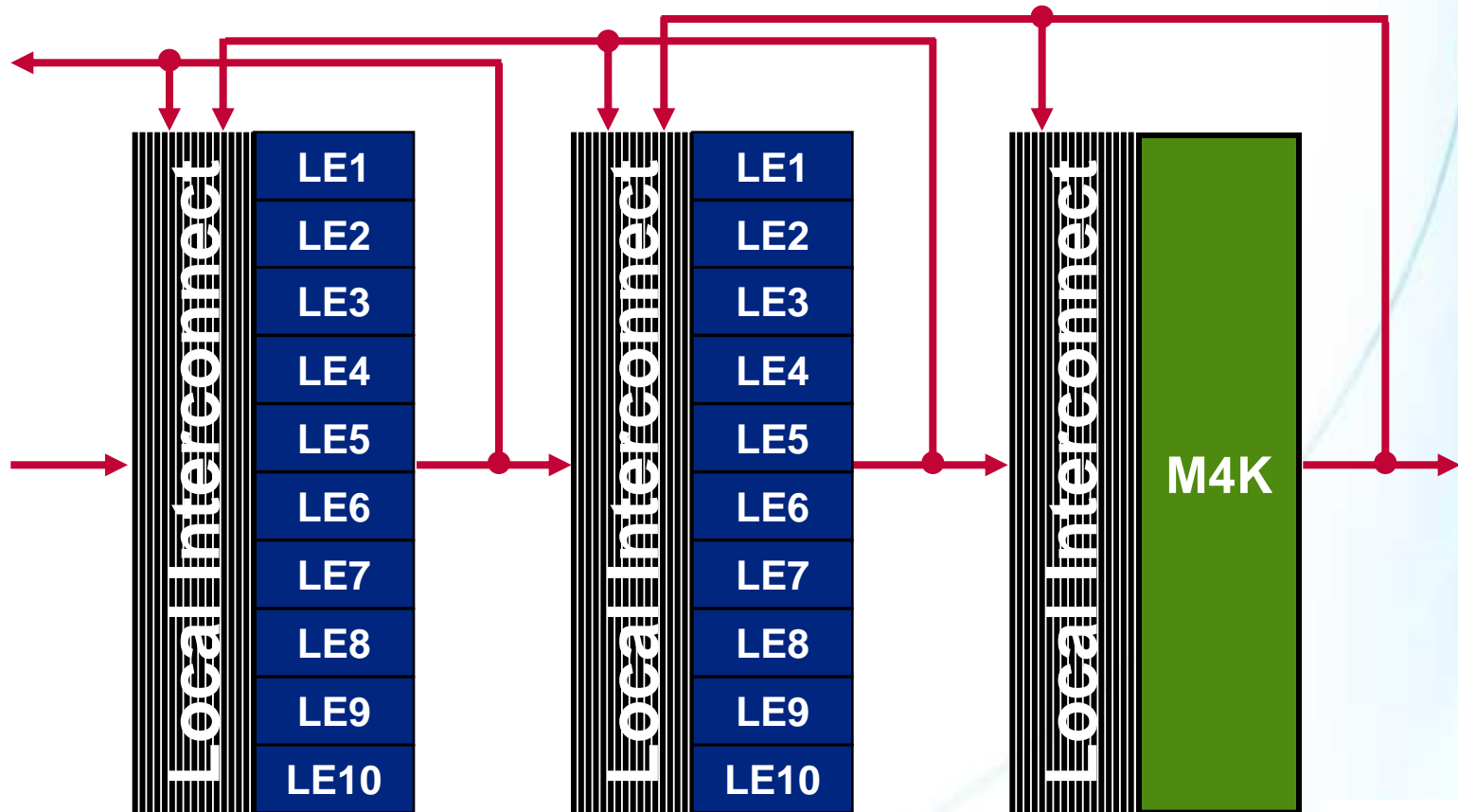
Ресурсы горизонтальных шин

- Каждый блок имеет одинаковые возможности коммутации на проводники горизонтальной шины слева и справа



DirectLink

- Позволяет передавать сигналы в соседний блок в одной строке



DirectLink

- Быстрое соединение между блоками
 - Один логический элемент имеет быстрое соединение с 30 соседними ЛЭ
- Освобождает линии строк глобальной матрицы соединений

***Быстрые межсоединения –
ключ к быстродействию
ПЛИС***



Возможности MAX II



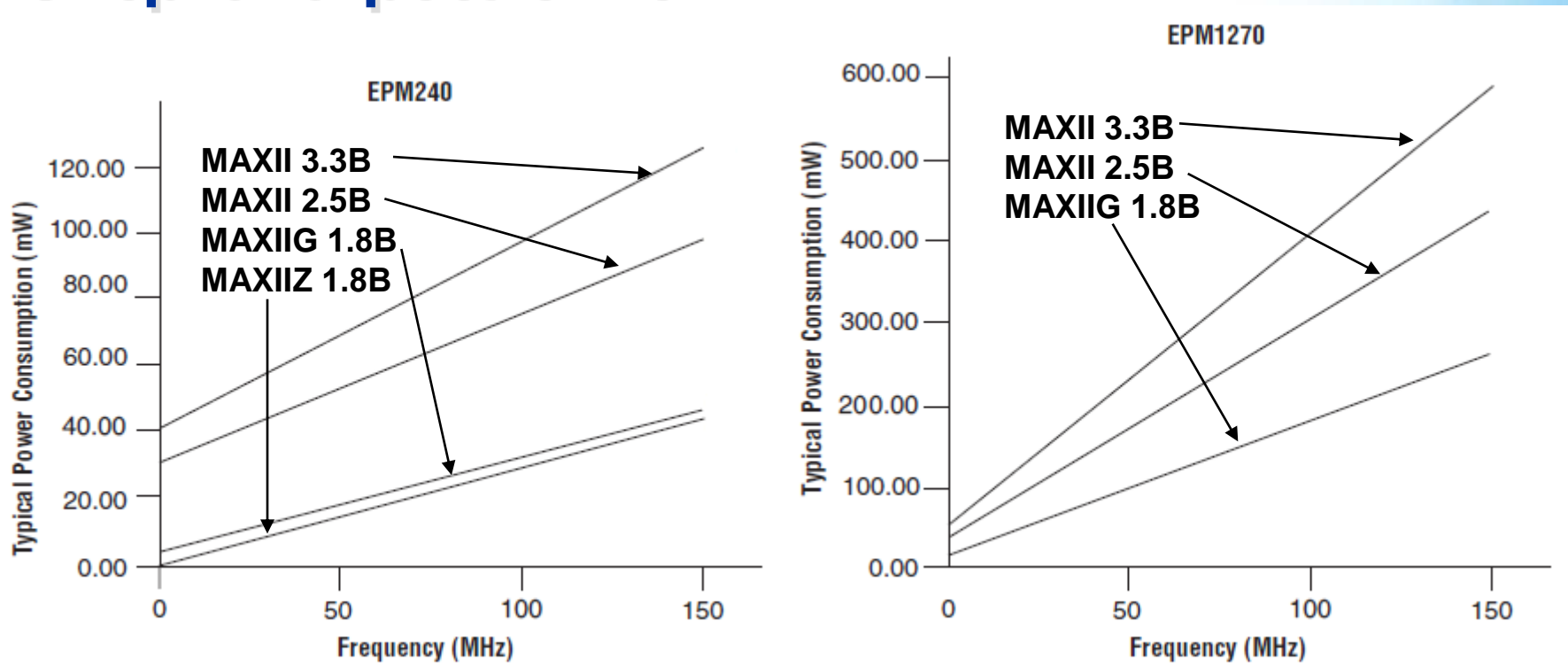
Гибкость формирования питания ядра

- Входные напряжения питания ядра 3.3/2.5В и 1.8В
- В устройствах с питанием 3.3/2.5В имеется встроенный регулятор, формирующий напряжение питания ядра 1.8В
- Есть версии EPM240Z и EPM570Z со сверхнизким статическим потреблением
- Быстродействие MAXIIZ ниже
 - Максимальная частота MAXII и MAXIIG – 304МГц, MAXIIZ – 152МГц
 - Больше задержки по входу и выходу



Удобство использования схем с питанием 3.3В, потребление и производительность схем с питанием 1.8В

Энергопотребление MAXII



- Устройства со встроенным регулятором MAXII значительно проигрывают по статическому потреблению устройствам с заблокированным регулятором MAXIIG и MAXIIZ
- Типичное статическое потребление EPM240G составляет около 4мВт
- Типичное статическое потребление EPM240Z составляет около 60мкВт

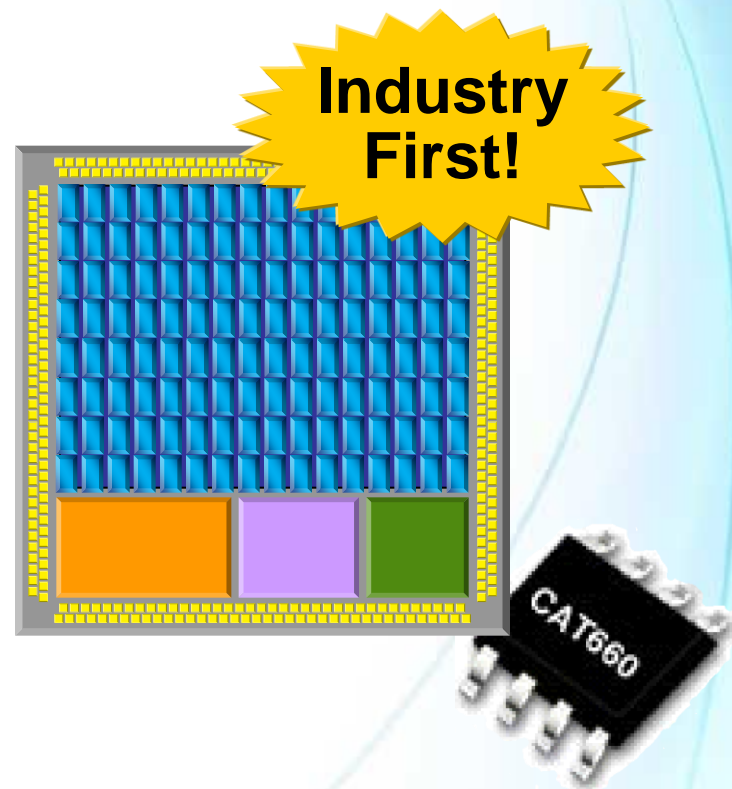
Пользовательская Flash-память

■ Характеристики

- 8,192 бит в устройстве
- Параллельный, SPI и пользовательский интерфейсы
- Интерфейс реализуется автоматически в САПР Quartus II

■ Назначение

- Хранение идентификационного номера
- Хранение загрузочной информации и конфигурации пользователя

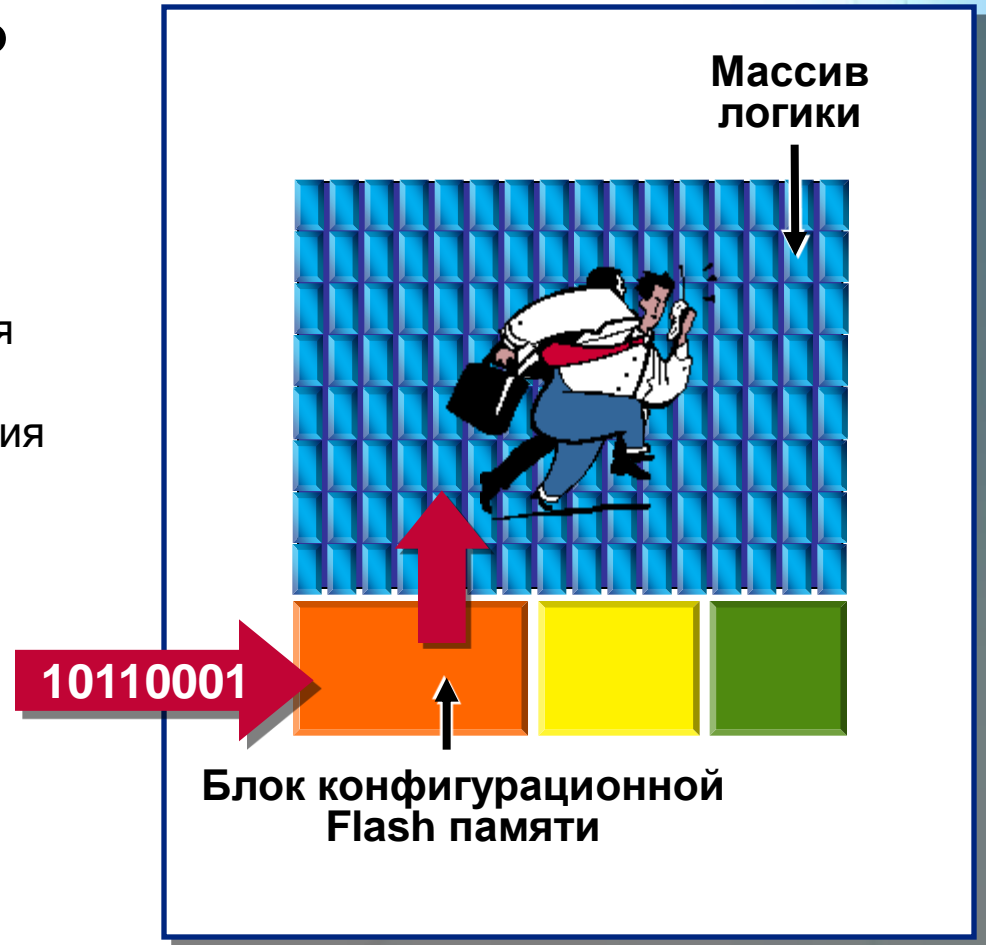


Низкочастотный внутренний генератор

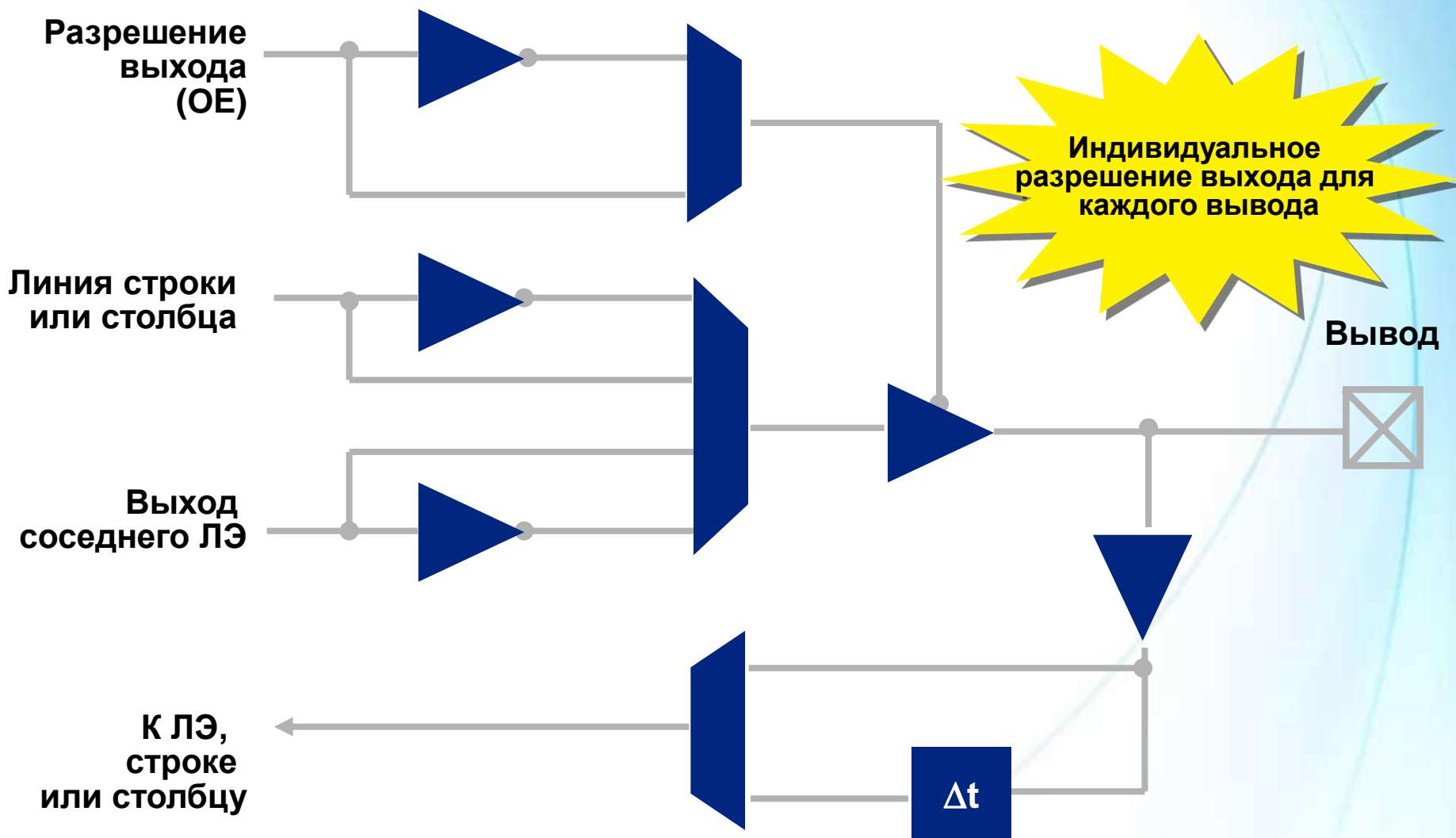
- Основное назначение – формирование циклов программирования/стирания внутренней Flash-памяти
- Выход ($f/4$) с частотой от 4.6МГц до 7.4МГц может быть использован в массиве логики
 - ТИ для начального тактирования конечных автоматов
 - Синхронный ТИ интерфейса пользовательской Flash памяти

Программирование в системе в реальном масштабе времени

- Обновление прошивки во время работы
 - Сокращает время простоя системы при обновлении прошивки
 - Опция мгновенного изменения или изменения после включения/выключения питания



Элемент ввода/вывода MAX II



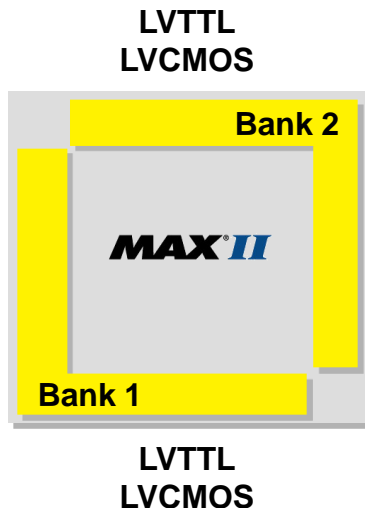
Возможности ЭВВ MAX II

- Индивидуальное разрешение выхода (OE) для каждого вывода
- Поддержка LVTTL, LVCMOS и PCI
- Новые и улучшенные возможности по контролю шумов
- Программируемый подтягивающий резистор
- Bus Hold
- Режим открытого коллектора
- Программируемые выводы земли
- Поддержка горячего включения

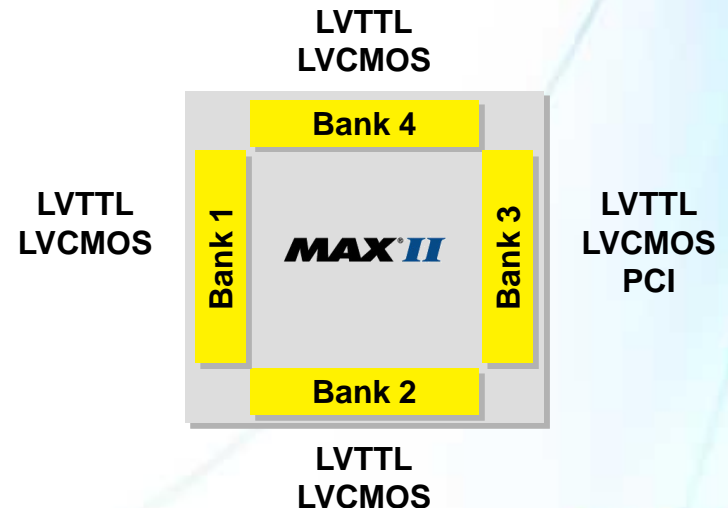
Стандарты ввода/вывода

- Интерфейс MultiVolt I/O – совместимость с уровнями 3.3, 2.5, 1.8 и 1.5 вольтовой логики
- Поддержка требований 3.3В PCI в двух старших устройствах

EPM240 & EPM570

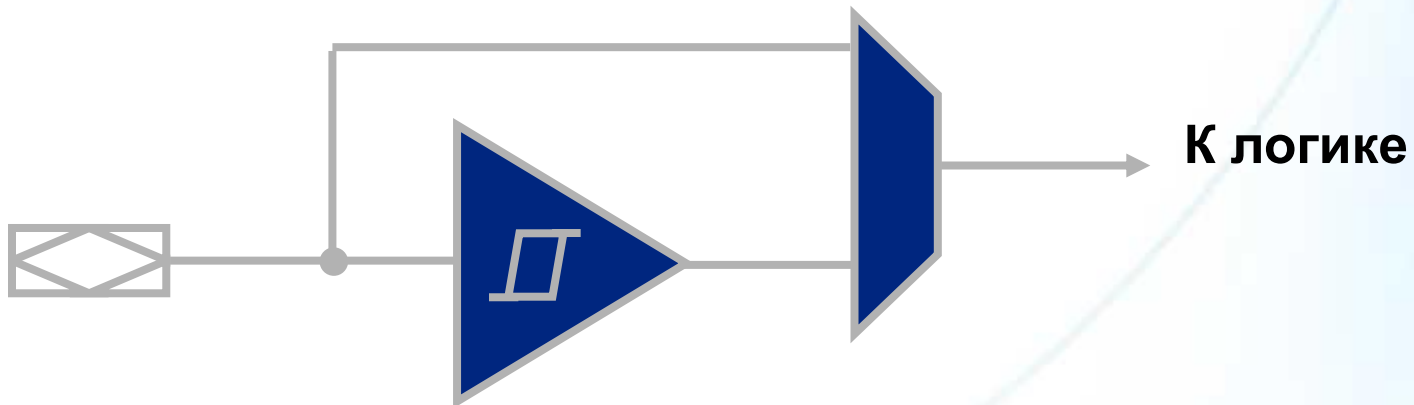


EPM1270 & EPM2210



Контроль шумов в ЭВВ MAX II

- Возможность включения триггера Шмитта на каждом выводе при питании выводов от 3.3В и 2.5В
 - Обеспечивает гистерезис и уменьшение чувствительности к шумам для медленно изменяющихся входов
 - Предотвращает возможность осцилляций входного буфера когда входное напряжение близко к пороговому
 - При использовании вносит дополнительную задержку по входу ~300ps



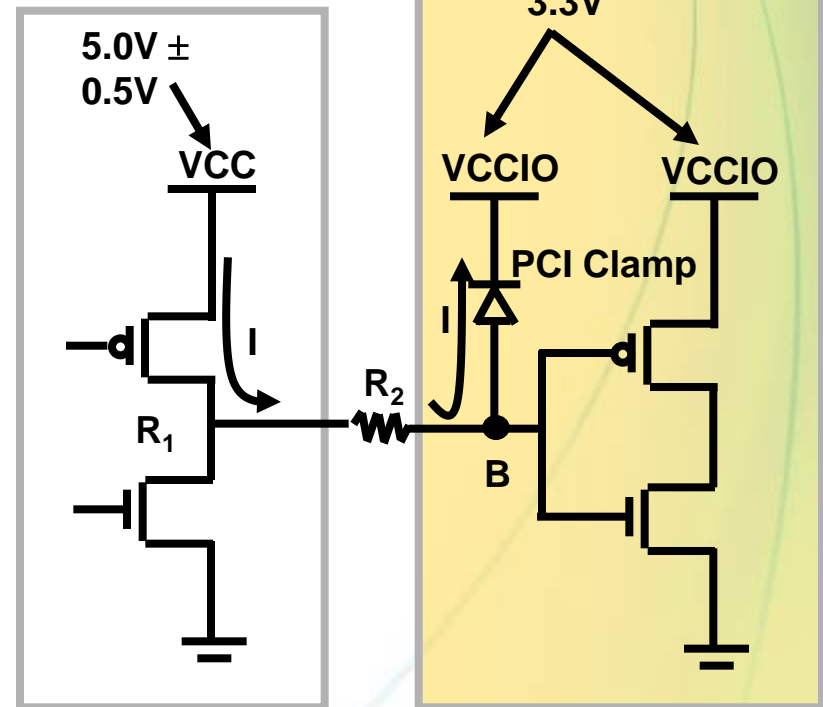
Контроль шумов в ЭВВ MAX II

- Опция низкой скорости нарастания вносит большее влияние, чем в MAX
 - Разница в скорости нарастания 5 раз
 - Влияет на оба фронта
 - Изменение длительности фронта влечет задержку формирования примерно на 8 нс для 3.3V LVTTTL
- Программируемая мощность выхода
 - Две настройки для каждого стандарта I/O
 - Максимальная мощность выхода меньше чем в MAX 7000AE
 - Предоставляет возможность контроля выбросов в сигналах на плате
 - Также изменяет скорость нарастания, в меньшей степени, но без внесения большой задержки формирования

Применение в 5В системах

- Входы MAX II не толерантны к 5В сигналам
 - Буфер, толерантный к уровню 5В, требует слишком много места на кристалле
 - Рассчитайте и используйте внешний последовательный резистор (R_2)
 - Включите ограничивающий диод PCI (PCI Clamp)
 - Доступен только в банке 3 устройств EPM1270 и EPM2210
 - Используйте внешний для EPM240 и EPM570
 - При применении такого решения недопустимо подавать входные сигналы до подачи питания на ПЛИС!

Устройство с питанием 5В



Применение в 5В системах

- Входы всех современных ПЛИС не толерантны к 5В сигналам

Наилучшим решением проблемы является применение специальных трансляторов, например, двунаправленных ключей Bus Switch

SN74CBDT3861 (Texas Instruments)

SN74CBDT3384 (Texas Instruments)

Также см. IDT, Pericom и др.

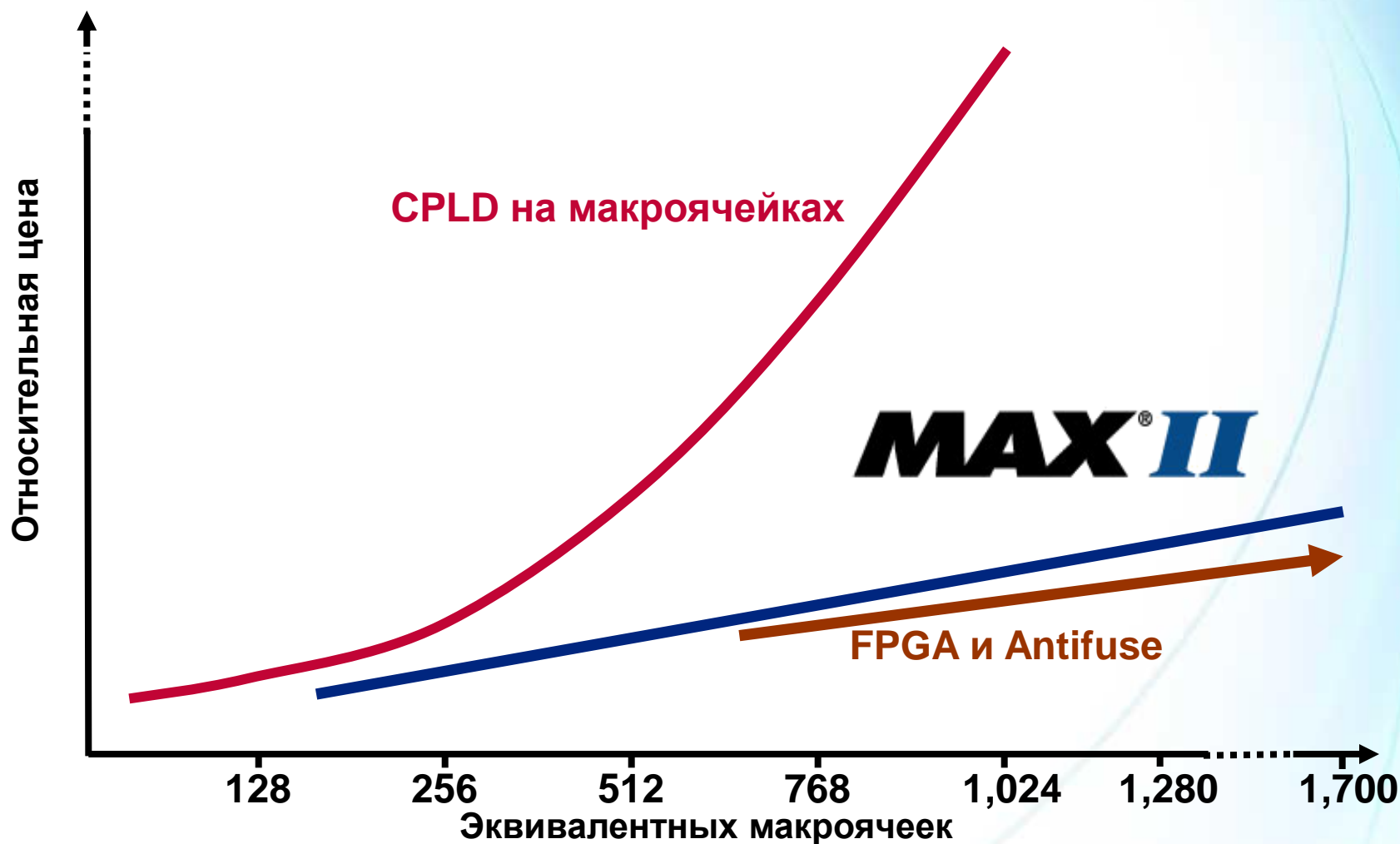
Стоимость трансляции 8 бит составляет менее \$1



Конкуренция

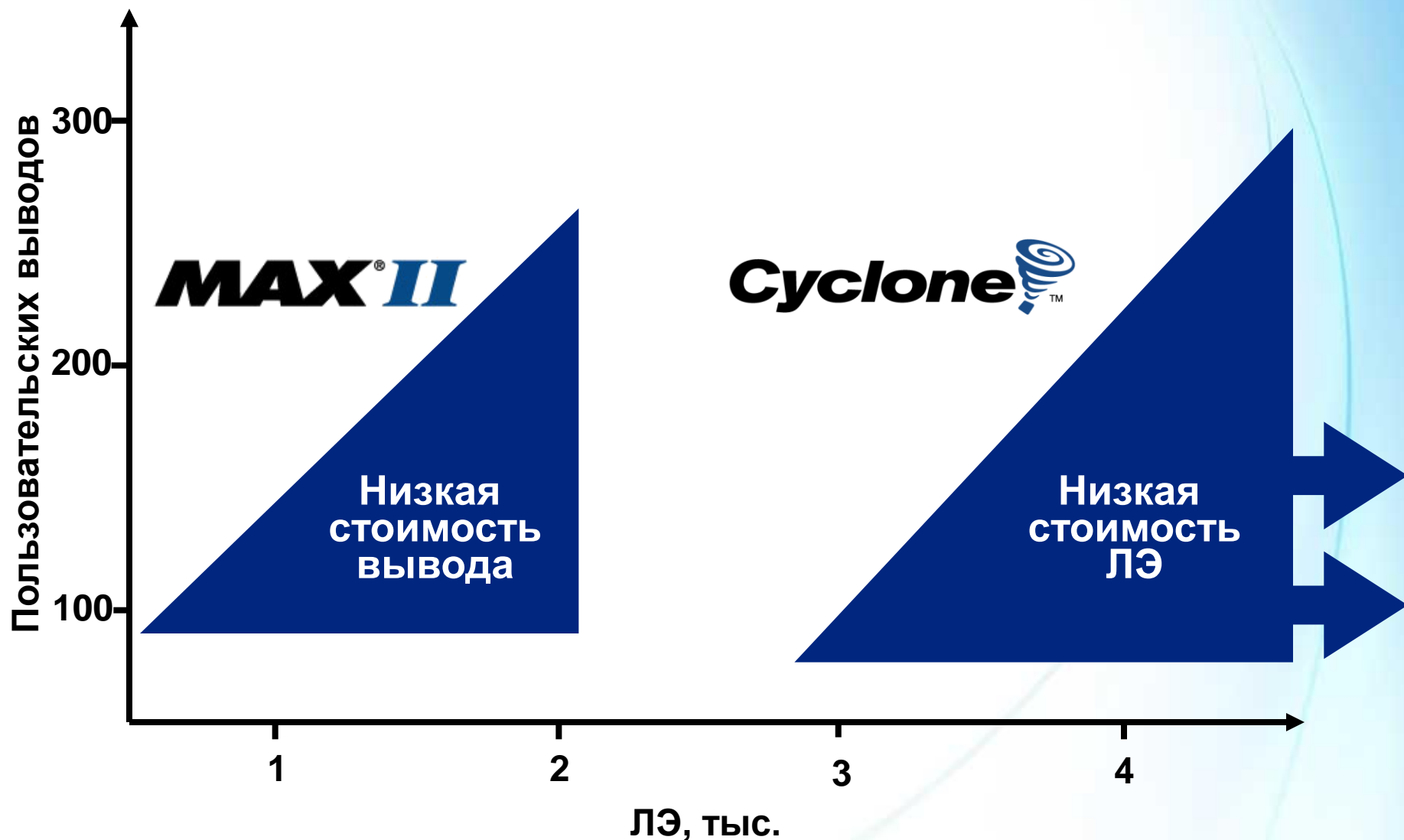


Емкость и цена CPLD



Недорогая CPLD большой емкости

Два недорогих семейства

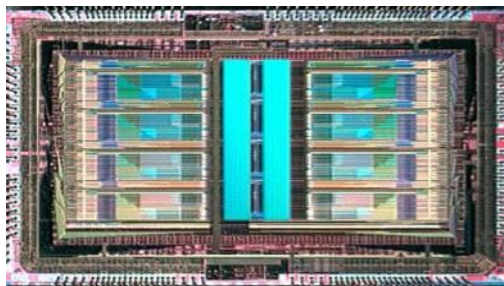


Цена определяется размером кристалла

Lattice

ispXPLD5256

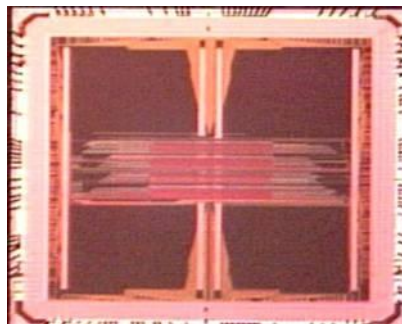
256 Макроячеек
141 Польз. вывод



Xilinx

XC2C256

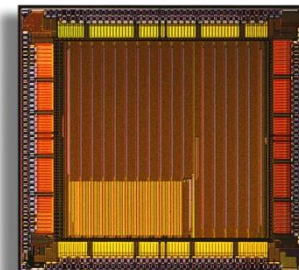
256 Макроячеек
184 Польз. вывода



Altera

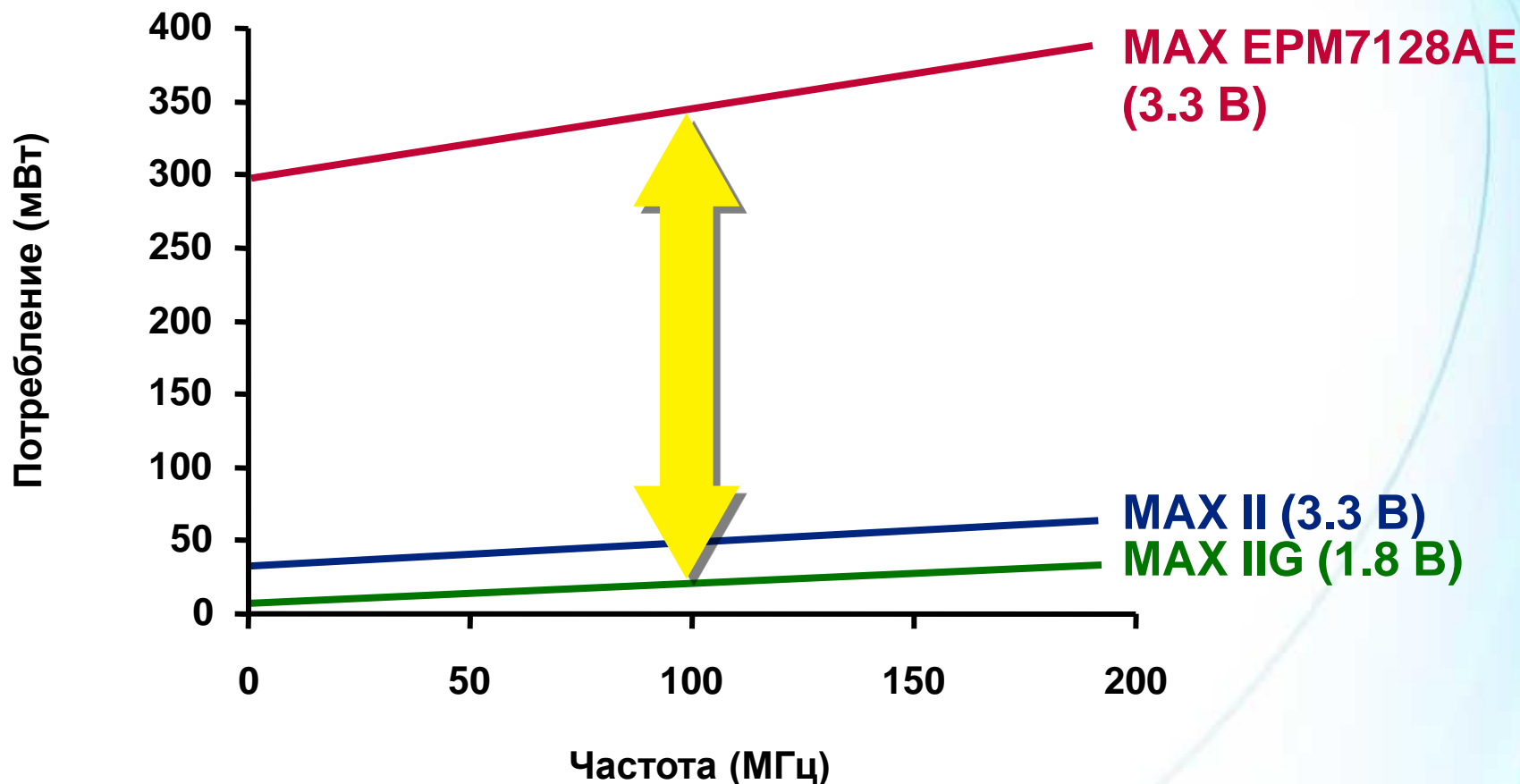
EPM1270

980 Экв. макроячеек
212 Польз. выводов



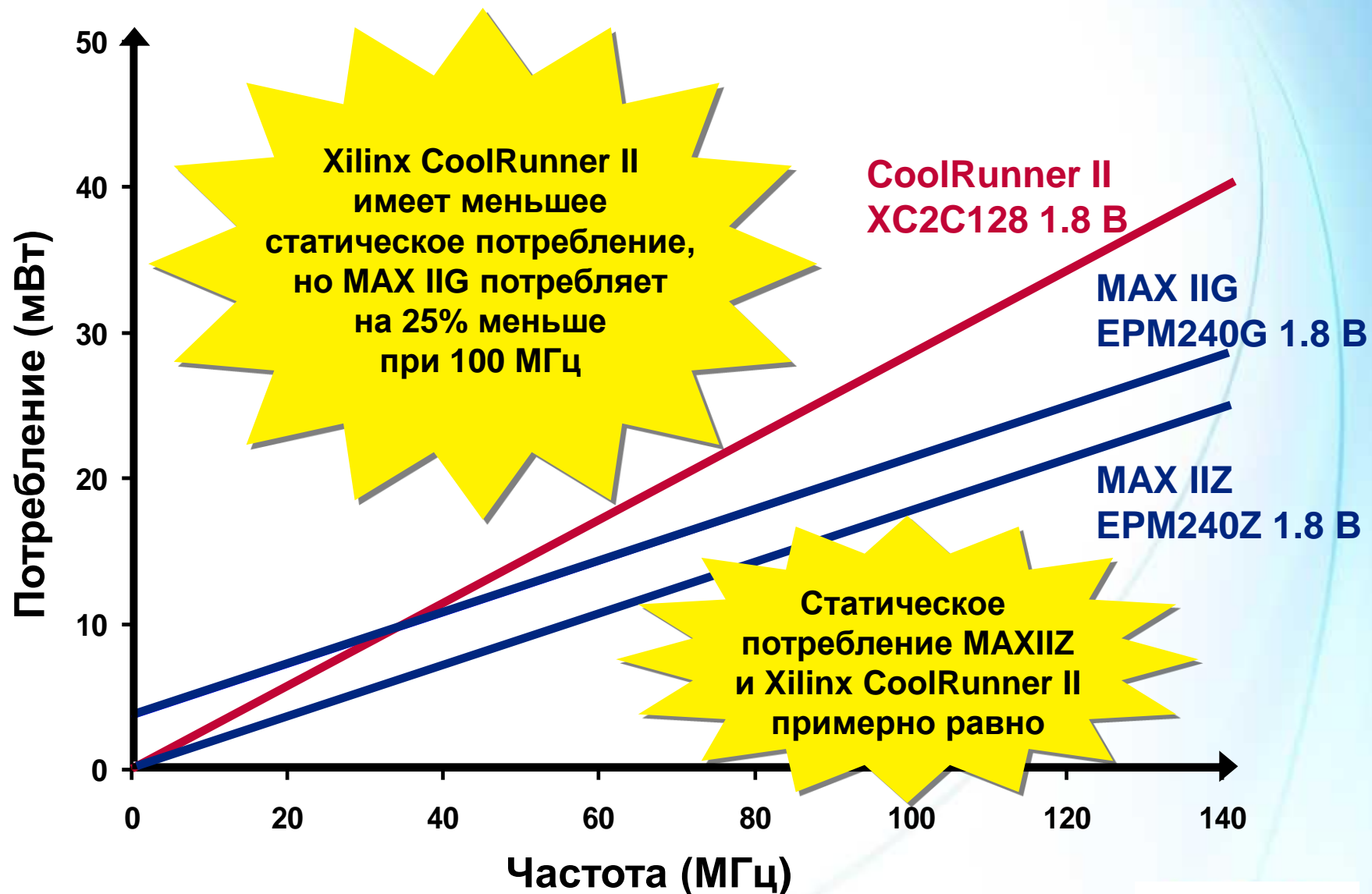
Процесс 0.18 мкм

Потребление MAX II



Потребление ниже на 90%

Потребление MAX II



Новое семейство MAX V

- Аналогичные характеристики, меньшая стоимость
- Добавлены устройства меньшего объема:
 - 40 ЛЭ
 - 80 ЛЭ
 - 160 ЛЭ
- Питание ядра 1.8V
- Устройства малого объема (до 570 ЛЭ) соответствуют MAXIIZ, большого объема (1270 и 2210 ЛЭ) - MAXIIG
- Поддержка стандартов 1.2V
- Эмуляция RSDS и LVDS