

# Проектирование в Quartus II

# Цели

- Практика проектирования на Verilog
- Изучение настроек синтезатора
- Настройка временных требований

# Проектирование в Quartus II

Настройки проекта

# Файлы проекта и папки Quartus II

- Quartus II Project File (.QPF)
- Quartus II Defaults File (.QDF)
- Quartus II Settings File (.QSF)
- Synopsys Design Constraints (.SDC)
  - Содержит описание временных требований
- Папка db
  - Содержит информацию об откомпилированном проекте
  - При инкрементальной компиляции также создается папка **incremental\_db**
- Папка simulation
  - Содержит файлы и библиотеки стороннего средства моделирования.
  - Создается Quartus при запуске моделирования.

# Настройки проекта Quartus

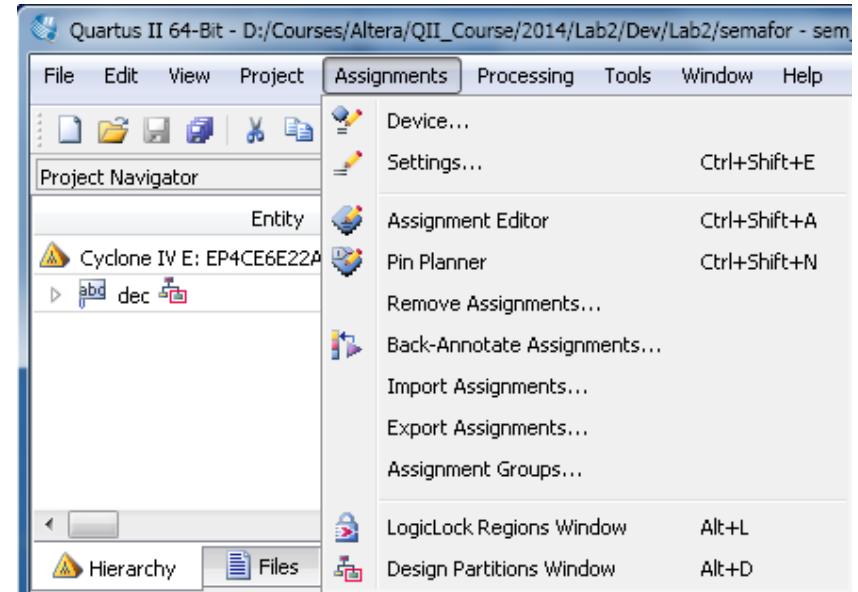
## ■ Два типа настроек

- Settings (Глобальные настройки)
  - Настройки для всего проекта
- Assignments (Локальные настройки и ограничения)
  - Настройки для отдельных узлов проекта (модулей, функций, ресурсов ПЛИС)

## ■ Сохраняются в файле .QSF

# Меню Assignments

- Доступ к глобальным и локальным настройкам
- Открывает
  - Диалог выбора ПЛИС Device...
  - Диалог глобальных настроек проекта Settings...
  - Окно Assignment Editor для локальных настроек
  - Редактор разводки выводов Pin Planner
  - Окна настройки Partition и LogicLock



- Реализует управление настройками
  - Удаление
  - Обратное аннотирование
  - Импорт/экспорт

# Глобальные настройки (Settings)

## ■ Примеры

- Выбор устройства (Assignments=>Device)
- Настройка оптимизации при синтезе
- Настройка оптимизации при разводке
- Настройки средств пакета Quartus

## ■ Вызов в меню Assignments=>Settings

# Выбор устройства Device...

Select the family and device you want to target for compilation.  
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus II software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone IV E

Devices: All

Target device

☐ Auto device selected by the Filter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any

Pin count: Any

Core Speed grade: Any

Name filter:

☒ Show advanced devices

Device and Pin Options...

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit element
EP4CE6E22A7	1.2V	6272	92	276480	30
EP4CE6E22C6	1.2V	6272	92	276480	30
EP4CE6E22C7	1.2V	6272	92	276480	30
EP4CE6E22C8	1.2V	6272	92	276480	30
EP4CE6E22C8L	1.0V	6272	92	276480	30

Migration Devices... 0 migration devices selected

Device and Pin Options - selected device

Category:

- General
- Configuration
- Programming Files
- Unused Pins
- Dual-Purpose Pins
- Capacitive Loading
- Board Trace Model
- I/O Timing
- Voltage

Configuration

Specify the device configuration scheme

Configuration scheme: Active Serial

Configuration mode: Standard

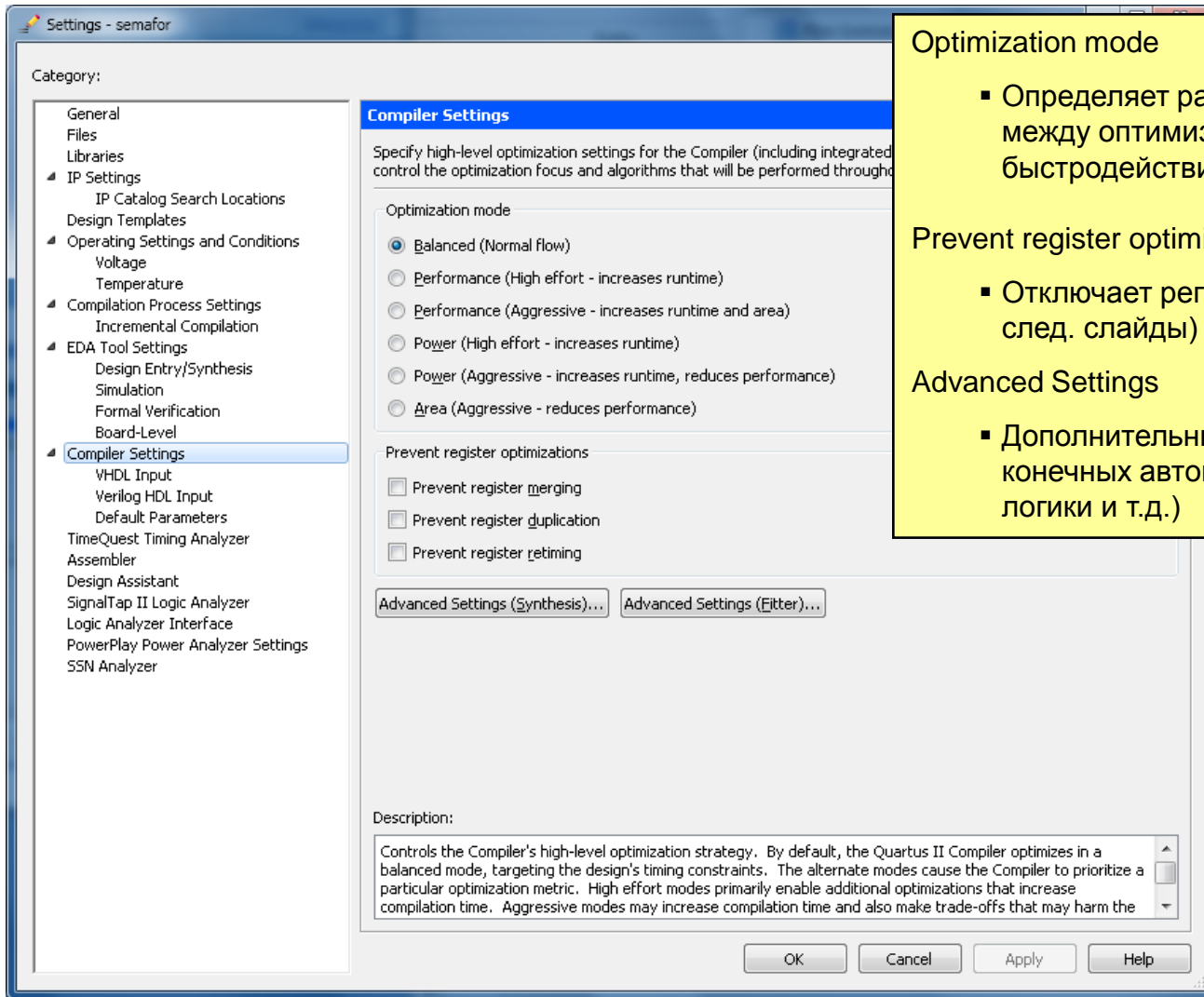
Configuration device

Выбор устройств для миграции

Настройка параметров устройства



# Настройки компиляции



## Optimization mode

- Определяет различные варианты баланса между оптимизацией по объему, быстродействию и энергопотреблению

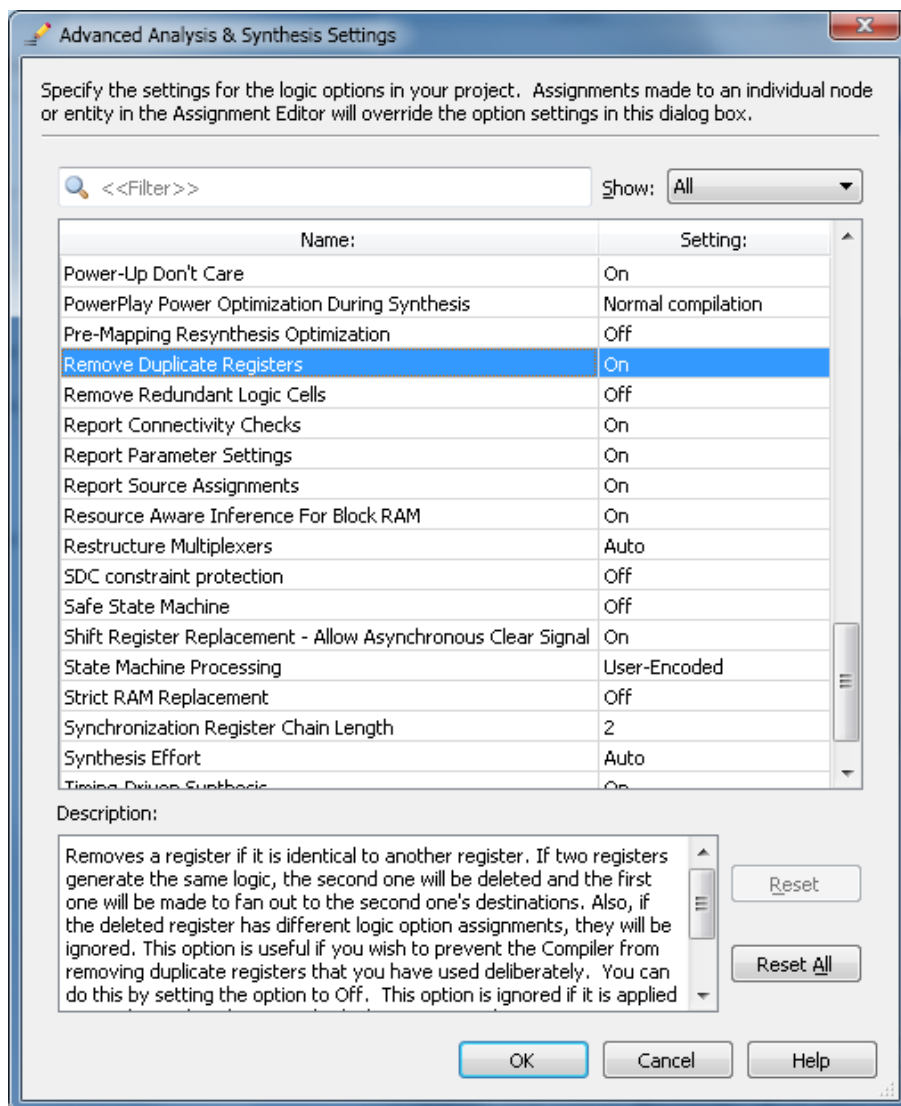
## Prevent register optimizations

- Отключает регистровые оптимизации (см. след. слайды)

## Advanced Settings

- Дополнительные настройки (кодирование конечных автоматов, удаление избыточной логики и т.д.)

# Дополнительные настройки синтеза



Список включает все настройки, в том числе настройки, осуществляемые в основном диалоге Settings

Примеры дополнительных настроек:

## NOT Gate Push Back

- Если в триггере задействован вход асинхронной установки, задействует вход асинхронного сброса и интегрирует в предшествующую и последующую логику инверторы.

## State Machine Processing

- Устанавливает режим кодирования конечных автоматов

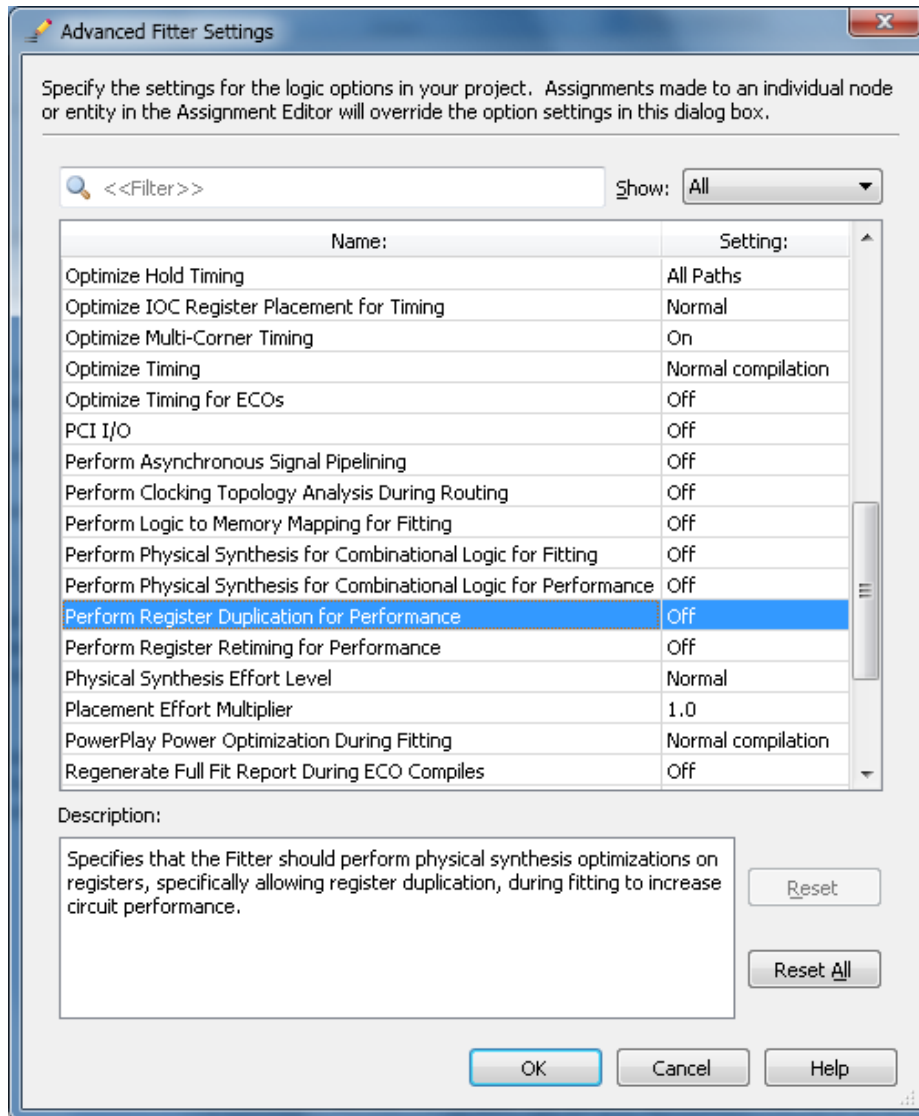
## Remove duplicate registers

- Удаляет дублирующиеся регистры

## Auto...

- Автоматически задействует ресурсы ПЛИС, явно не указанные в коде или настройках. Например, Auto RAM Replacement автоматически задействует блоки памяти для размещения наборов регистров, определенных на VHDL или Verilog.

# Дополнительные настройки разводки



## Auto...

- Автоматически задействует ресурсы ПЛИС, явно не указанные в коде или настройках. Например, Auto Global Clock автоматически размещает на глобальных шинах тактового импульса сигналы, тактирующие триггеры.

## Seed

- Начальное зерно разводки
- Произвольное положительное число, определяющее вариант начального размещения элементов
- Может использоваться при поиске лучшего варианта разводки (перебор 3-5 вариантов)

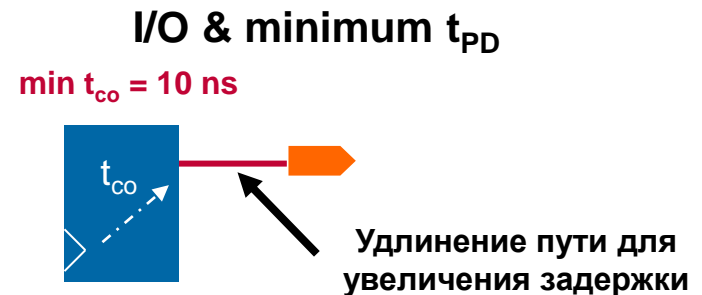
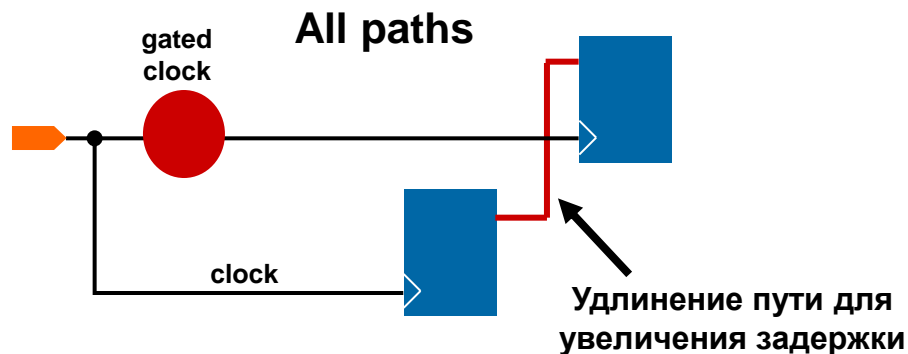
Другие настройки - см. следующие слайды

# Optimize Timing

- Компиляция с учетом временных параметров
- Оптимизирует внутренние временные параметры за счет компактного размещения элементов, относящимся к критическим путям
- Оптимизирует размещение регистров в элементах ввода/вывода
- Optimize multi-corner timing
  - **Off**: оптимизирует проект только по медленной модели (ускоряет компиляцию)
  - **On**: оптимизирует по медленной и быстрой моделям (важно для выполнения требований удержания Hold)

# Optimize Hold Timing

- Оптимизация времени удержания
  - Оптимизирует цепи для устранения нарушений времени удержания (добавляет задержку)
  - По умолчанию выполняется для всех путей.
  - При невыполнении требований по удержанию для интерфейсов можно включить только для цепей ввода-вывода (I/O Paths)
  - Для устранения нарушений по времени удержания по внутренним путям рекомендуется корректировать схему тактирования (избегать Gated Clock, корректировать настройки PLL).

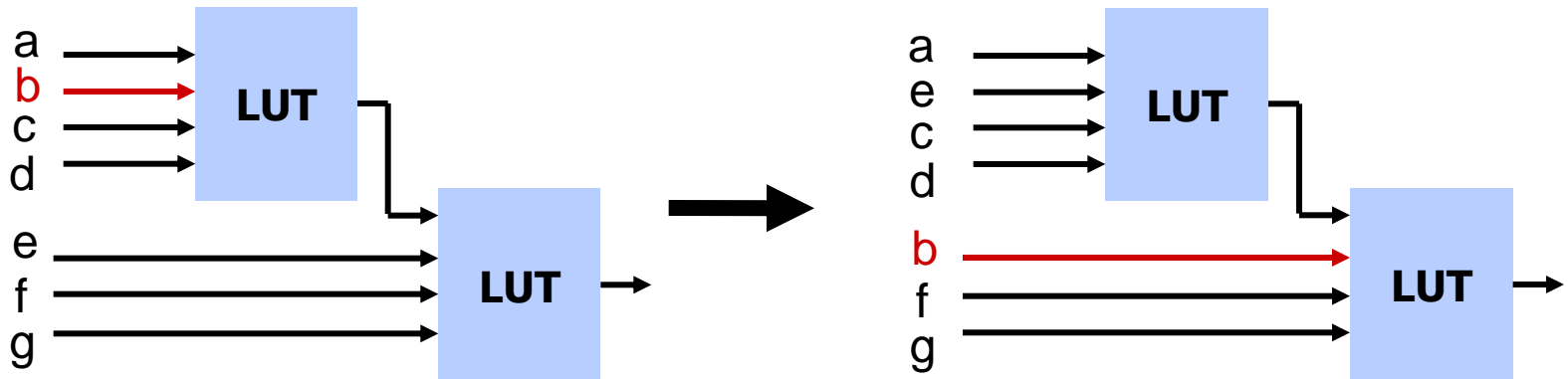


# Physical Synthesis (Физический синтез )

- Оптимизации, учитывающие особенности архитектуры в процессе синтеза и разводки
  - Осуществляет последовательные изменения, улучшающие результат для конкретного варианта размещения
  - Компенсирует задержки на межсоединениях
- Типы
  - Оптимизация по быстродействию для комбинационной логики и регистров
  - Оптимизация для обеспечения возможности разводки проекта
- Effort
  - Компромисс между временем разводки и качеством оптимизации

# Физический синтез логики

- Обменивает входы в таблицы перекодировки для сокращения количества слоев логики в критическом пути



**b** – сигнал в критическом пути

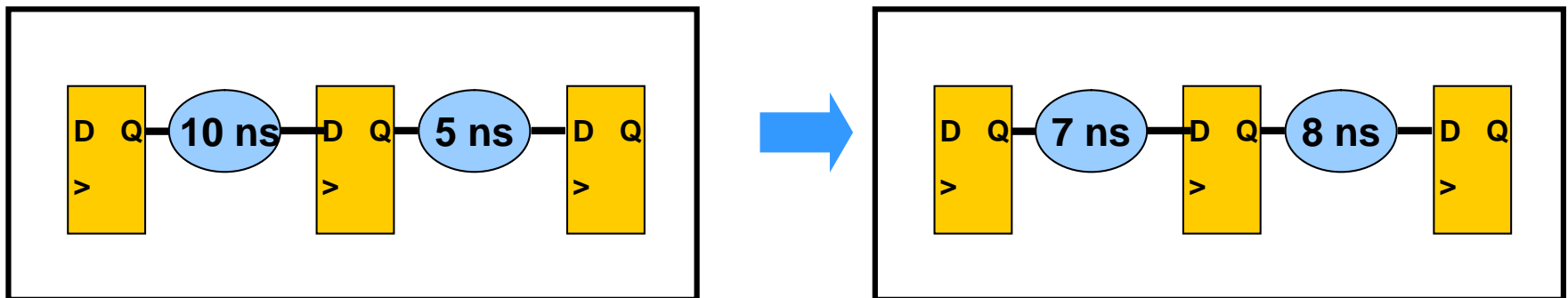
# Регистровые оптимизации

- Ретайминг регистров
- Дублирование регистров
- Размещение регистров в элементах ввода-вывода
- Упаковка регистров



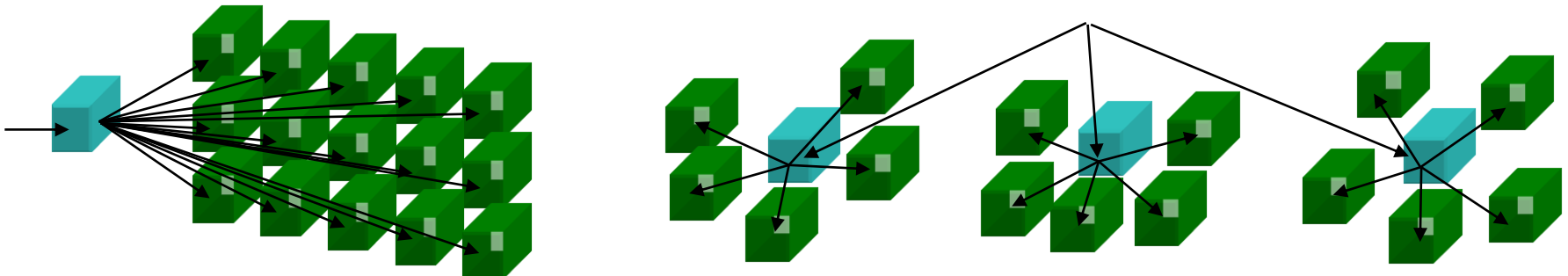
# Register Retiming

- Ретайминг регистров на уровне вентилей
- Перемещает регистры в комбинационной схеме для получения лучших временных характеристик
- Выравнивает задержки на комбинационной логике
- Вносит изменения в схему на уровне вентилей



# Register duplication

- Дублирует регистры с большим коэффициентом разветвления по выходу в разных частях схемы
  - Разрешение тактовых импульсов
  - Сигналы управления памятью
  - ...
- В сложных случаях возможно ручное дублирование с использованием атрибута `preserve` или локальных настроек
  - `(*preserve*) reg [2:0] ena;`

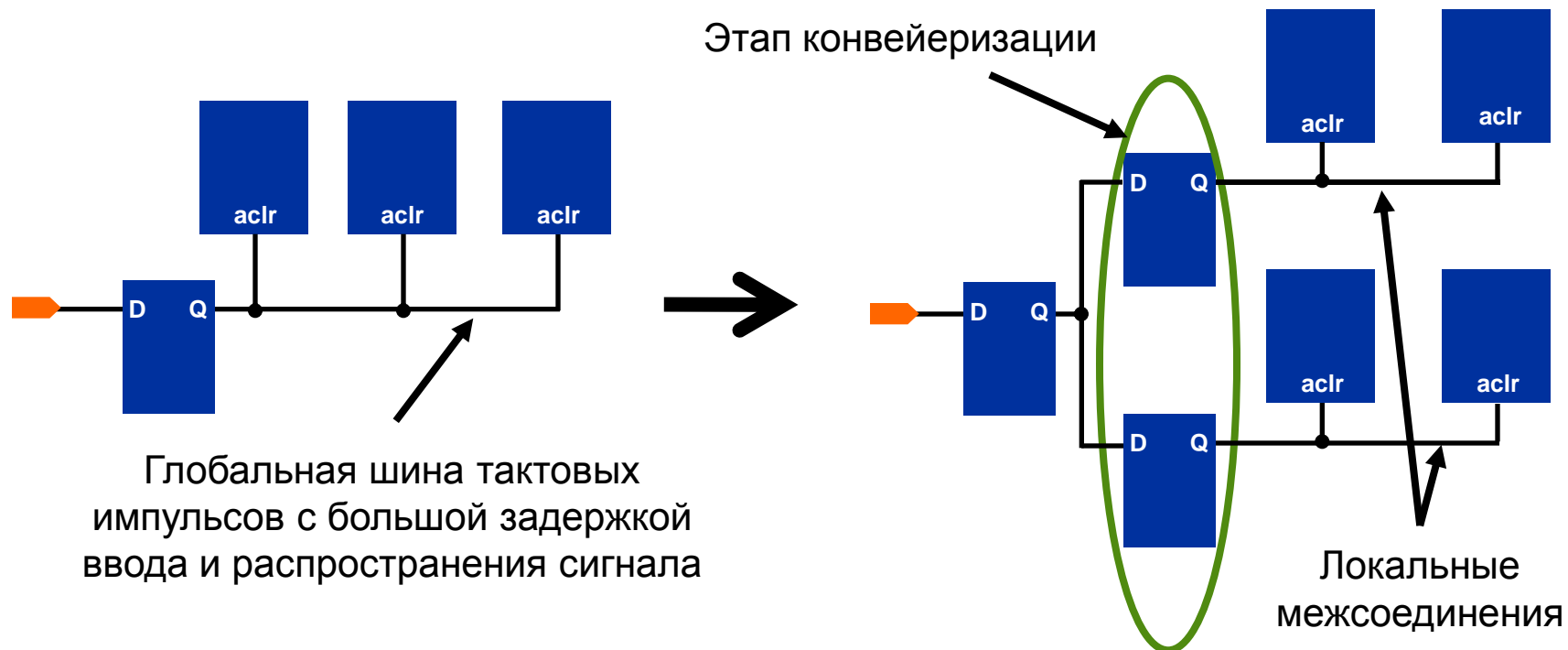


# Asynchronous Control Signals

- Асинхронные управляющие сигналы могут автоматически размещаться компилятором на линиях глобальных тактовых импульсов
  - Минимальная разница во времени прихода к разным триггерам
  - Может вноситься большая задержка в распространение сигнала
- При нарушении времен снятия и восстановления (recovery & removal) можно сделать не глобальными
  - Во всем проекте
    - **Assignments → Settings → Compiler Settings → Advanced Settings (Fitter) → Auto Global Register Control Signals**
  - Для отдельных сигналов
    - Задайте для сигнала настройку **Global Signal** со значением **Off** в Assignment Editor
- Или включить настройку **Automatic asynchronous signal pipelining**

# Asynchronous Signal Pipelining

- Добавляет регистры, конвейеризирующие и дублирующие управляющие сигналы для регистров для уменьшения коэффициента разветвления



# Локальные настройки (Assignments)

## ■ Примеры

- Разводка выводов
- Настройка режимов работы элементов ПЛИС
  - Характеристики выводов (стандарт, скорость нарастания, сила тока выхода, защитные диоды, задержки и т.д.)
  - Опции для внутренних ресурсов (разводка, задержки и т.д.)
- Индивидуальные временные требования
- Настройка параметров синтеза для функций

## ■ Меню Assignments=>Assignment Editor

- Осуществляются для узлов. Список узлов формируется при компиляции. Если на данном этапе компиляция не возможна, для формирования списка узлов требуется провести анализ проекта, вызвав Processing=>Start=>Analysis & Elaboration.

# Редактор настроек Assignment Editor

- Вызывается через Assignments=>Assignment Editor или через контекстное меню в различных редакторах
- Реализован в виде таблицы

The screenshot shows the Assignment Editor window with a table of assignments. Annotations in yellow boxes point to specific features:

- Фильтры** (Filters) points to the "Filter on node names" and "Category" controls.
- Включить /выключить настройку не стирая** (Enable/disable setting without deleting) points to the "Enabled" column.
- Сортировка по значениям в столбцах** (Sorting by values in columns) points to the "From" column.
- Имя узла** (Node name) points to the "To" column.
- Имя настройки** (Setting name) points to the "Assignment Name" column.
- Значение** (Value) points to the "Value" column.
- Описание** (Description) points to the text area at the bottom.

	tatu	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓		out green	Fast Output Register	On	Yes	semafor		
2		<<new>>	<<new>>	<<new>>					

Implements an output register in a cell that has a fast, direct connection to an I/O pin. If such a fast, direct connection to the I/O pin is not available in the I/O cell hardware, this option instructs the Fitter to lock the output register in the LAB adjacent to the I/O cell it is feeding. Turning on the Fast Output Register option can help maximize I/O timing performance, for example, by permitting fast clock-to-output times. Turning this option off for a particular signal prevents the Fitter from implementing the signal automatically in an I/O cell or locking down the output register in the LAB adjacent to the I/O cell. This option is ignored if it is applied to anything other than a register or an output or bidirectional pin fed by a register.

# Поиск узлов в Node Finder

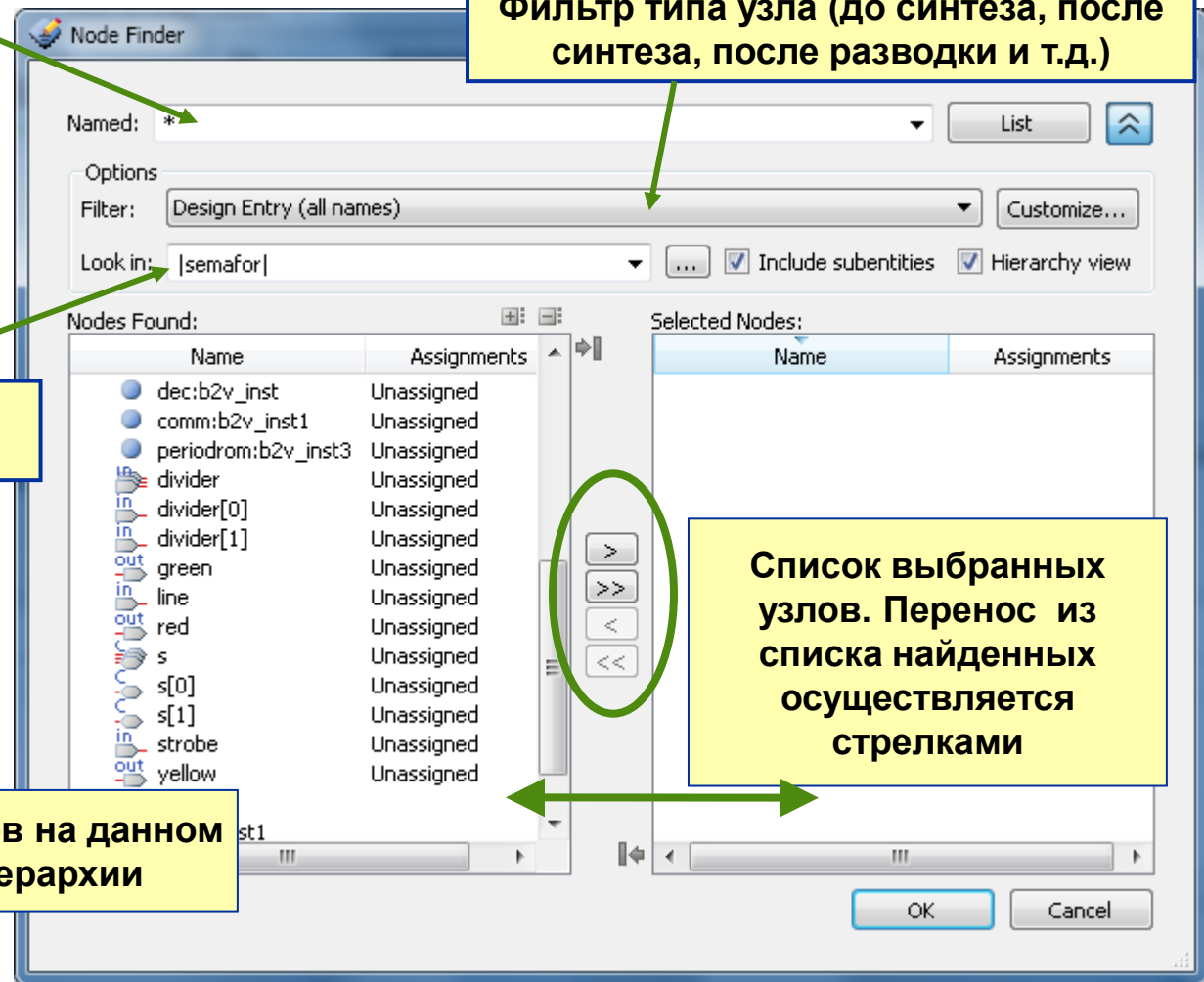


Выбор узла по имени или шаблону (? или \*)

Фильтр типа узла (до синтеза, после синтеза, после разводки и т.д.)

Выбор модуля в иерархии

Список найденных узлов на данном уровне и ниже по иерархии



Список выбранных узлов. Перенос из списка найденных осуществляется стрелками

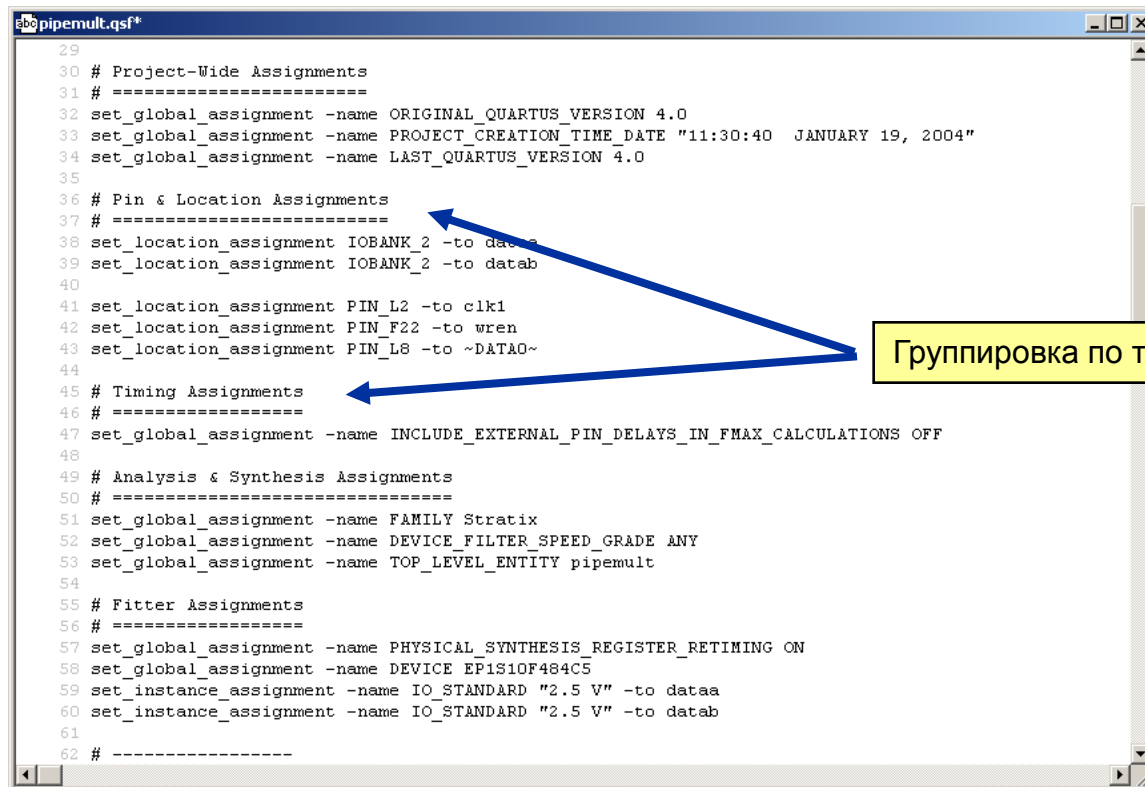
# Примеры настроек

- Настройка оптимизации Optimization Technique и другие настройки синтезатора для отдельных модулей проекта
- Задание глобальных сигналов
  - Global Signal
- Настройка возможностей элементов ввода-вывода:
  - PCI I/O;
  - Ток выхода (Current Strength);
  - Скорость нарастания (Slew Rate);
  - Регистры в элементах ввода-вывода (Fast Input, Fast Output, Fast Output Enable Register);



# Файл настроек .QSF

- Все настройки сохраняются в файле с именем проекта и расширением .QSF
- Используется синтаксис Tcl



```
29
30 # Project-Wide Assignments
31 # =====
32 set_global_assignment -name ORIGINAL_QUARTUS_VERSION 4.0
33 set_global_assignment -name PROJECT_CREATION_TIME_DATE "11:30:40 JANUARY 19, 2004"
34 set_global_assignment -name LAST_QUARTUS_VERSION 4.0
35
36 # Pin & Location Assignments
37 # =====
38 set_location_assignment IOBANK_2 -to dataa
39 set_location_assignment IOBANK_2 -to datab
40
41 set_location_assignment PIN_L2 -to clk1
42 set_location_assignment PIN_F22 -to wren
43 set_location_assignment PIN_L8 -to ~DATA0~
44
45 # Timing Assignments
46 # =====
47 set_global_assignment -name INCLUDE_EXTERNAL_PIN_DELAYS_IN_FMAX_CALCULATIONS OFF
48
49 # Analysis & Synthesis Assignments
50 # =====
51 set_global_assignment -name FAMILY Stratix
52 set_global_assignment -name DEVICE_FILTER_SPEED_GRADE ANY
53 set_global_assignment -name TOP_LEVEL_ENTITY pipemult
54
55 # Fitter Assignments
56 # =====
57 set_global_assignment -name PHYSICAL_SYNTHESIS_REGISTER_RETIMING ON
58 set_global_assignment -name DEVICE EP1S10F484C5
59 set_instance_assignment -name IO_STANDARD "2.5 V" -to dataa
60 set_instance_assignment -name IO_STANDARD "2.5 V" -to datab
61
62 # =====
```

Группировка по типу настроек

# Задание размещения выводов

- Размещение выводов может быть осуществлено следующими способами:
  - В редакторе Pin Planner
  - Вручную в файле .QSF
  - Tcl скриптами
- Возможно задание размещения без привязки к конкретному выводу
  - Настройка банка или стороны корпуса ПЛИС
  - Резервирование выводов

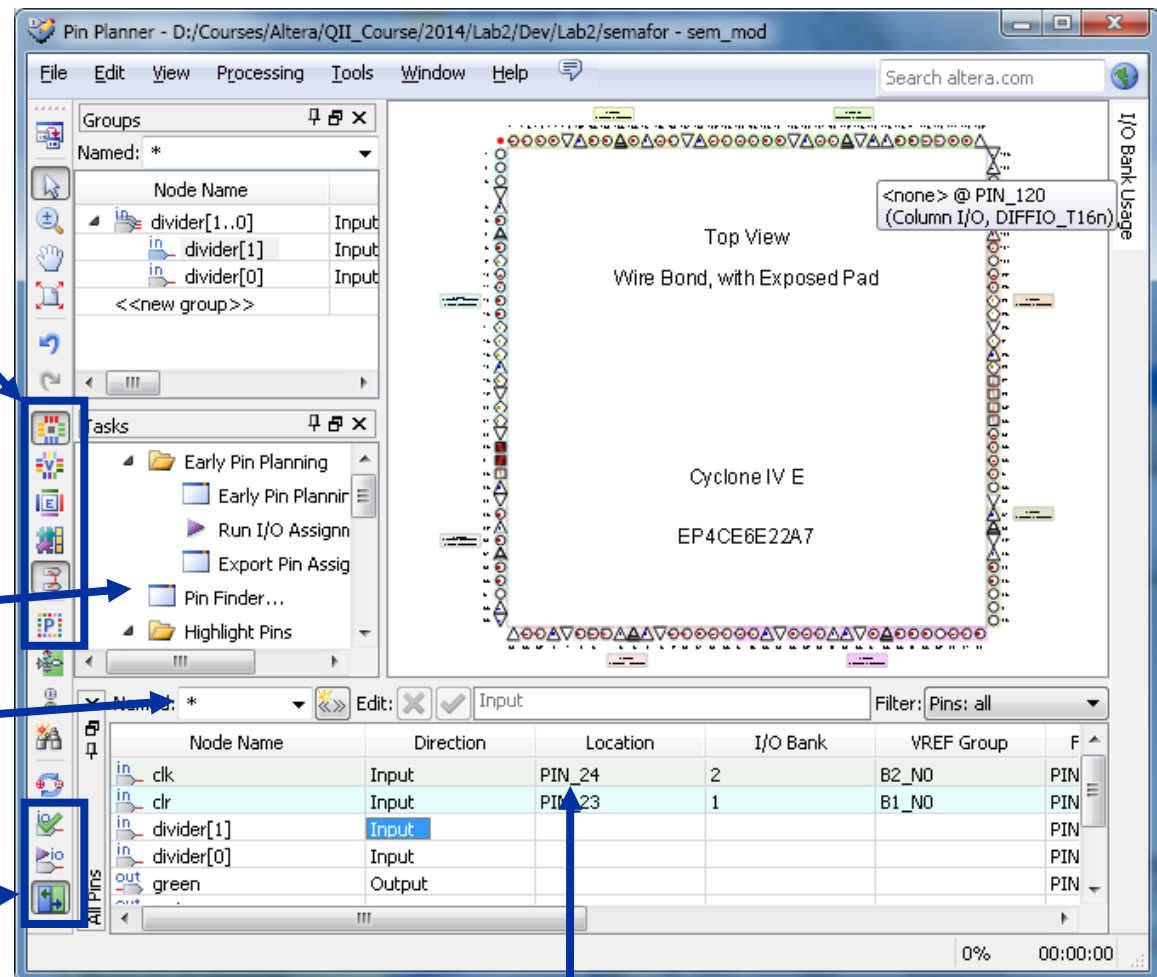
# Pin Planner

Режимы отображения

Список задач

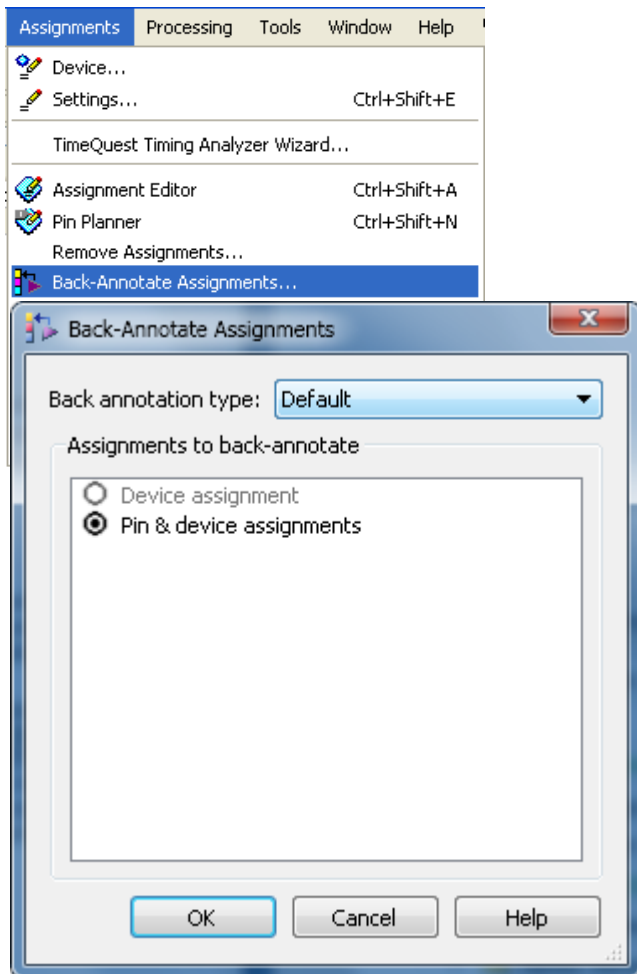
Фильтр выводов

Анализ настроек  
(проверка  
корректности ввода и  
поиск возможных  
перестановок)



Расположение вывода

# Обратное аннотирование



- Assignments=>Back Annotate...
- Копирует настройки устройства и его ресурсов, полученные при компиляции в файл .QSF
  - Выбор микросхемы
  - Размещение выводов
  - Регионы Logic Lock
- Копирование настроек на размещение выводов может использоваться, если устраивает результат размещения компилятором
- Копирование настроек Logic Lock на внутренние ресурсы “привязывает” функции к конкретным ресурсам ПЛИС, лишает разводчик свободы при последующих компиляциях и может использоваться для завершенной и отлаженной части проекта

# Проектирование в Quartus II

Управление проектами

# Управление проектами

## ■ Архивирование проекта

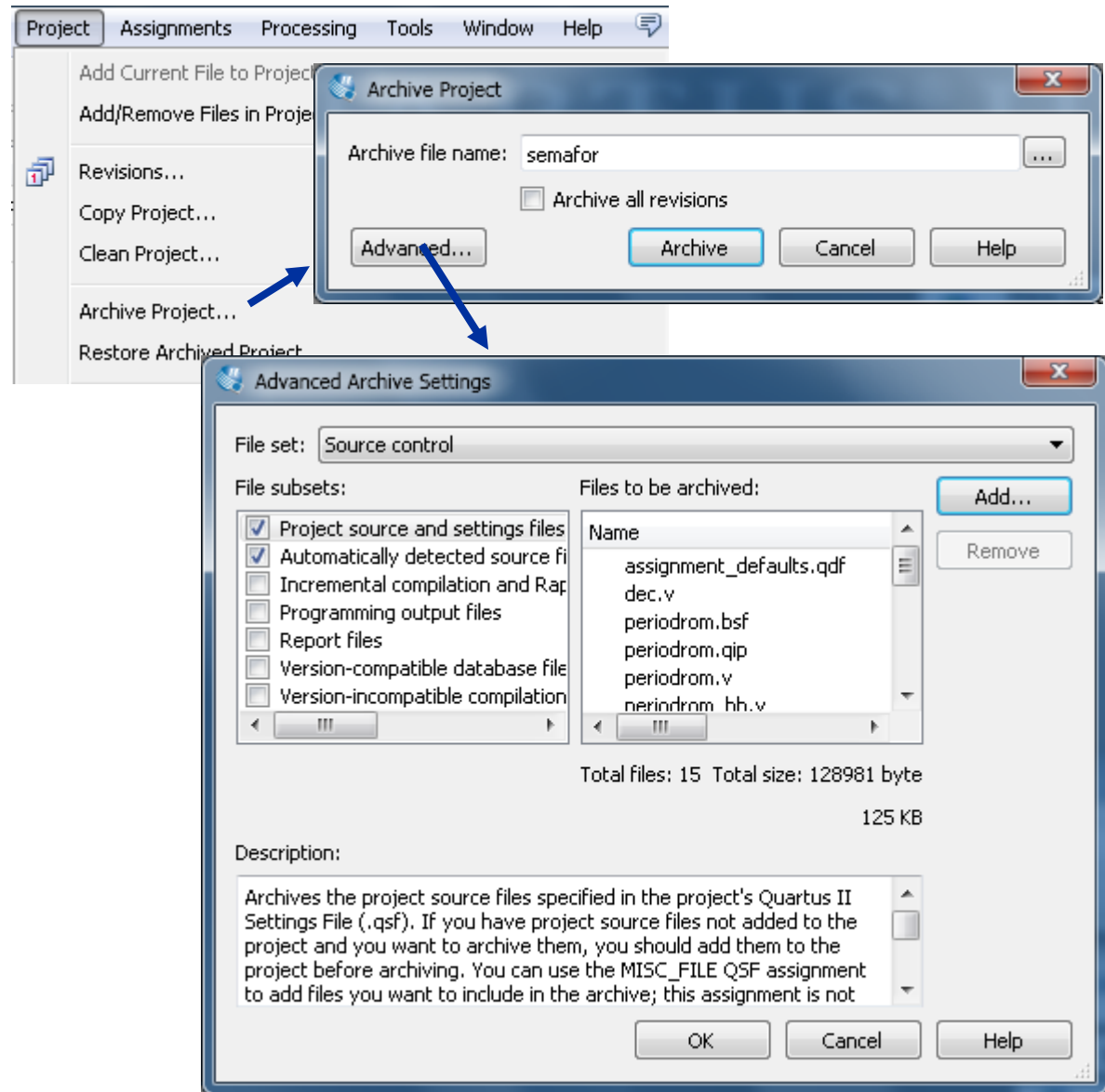
- Используется для создания копий проекта
- Сохраняет все файлы
  - Исходные файлы проекта
  - Файл настроек .qsf
  - Файлы с результатами компиляции

## ■ Создание ревизий

- Используется для сохранения текущих настроек
- Сохраняет только файл настроек
- Возможно сравнение файлов настроек

# Архивирование проекта

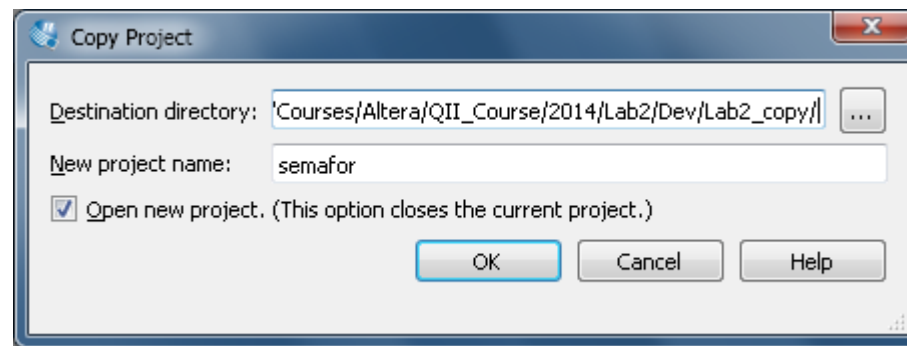
- Архивирование проекта
  - Создает сжатые файлы с архивом проекта (.QAR)
  - Создает лог действий с архивом (.QARLOG)
  - Позволяет выбрать файлы, входящие в состав архива
- Восстановление проекта
  - Извлекает файлы из архива проекта (.QAR)



# Копирование проекта

## ■ Копирование проекта

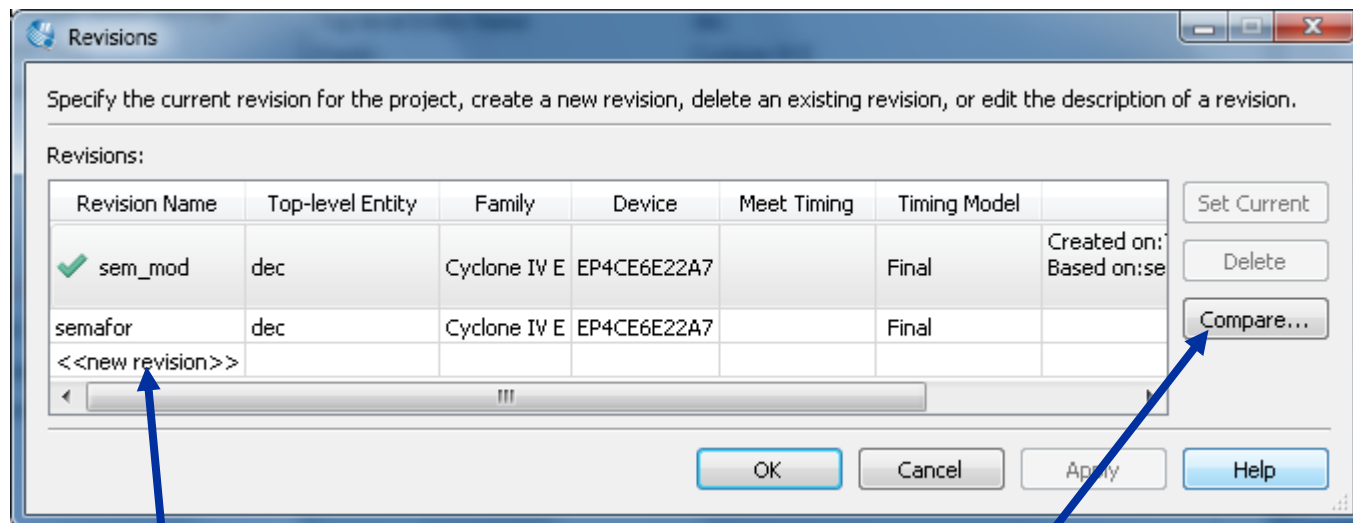
- Создает дубликат проекта в новом каталоге
- Копируется проект, настройки и исходные файлы, включенные в состав проекта
- **Файлы, не входящие в состав проекта, а также пользовательские библиотеки не копируются. Убедитесь, что все используемые исходные файлы в папке проекта входят в него, а пути к пользовательским библиотекам после копирования настроены правильно.**





# Создание ревизии

## ■ Меню Project ⇒ Revisions

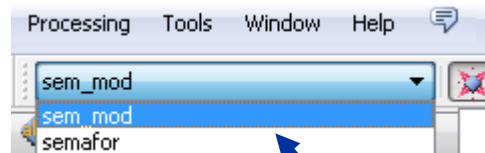


Создание новой  
ревизии

Сравнение  
ревизий

# Выбор ревизии

- Имена активных ревизий хранятся в файле проекта .QPF
- Файл настроек .QSF создается для каждой ревизии
  - <имя\_ревизии>.QSF
- Также создается файл текстового описания каждой ревизии
  - <имя\_ревизии>\_description.TXT



Переключение  
между ревизиями

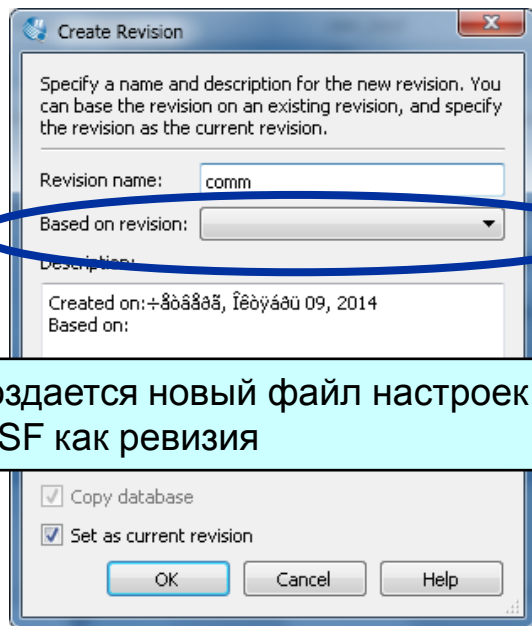
# Сравнение ревизий

- Подробный отчет о результатах работы
  - Синтезатора
  - Разводчика
  - Временного анализатора
- Возможность сравнения настроек проекта
  - Закладка Assignments

	sem_mod	semafor
Analysis & Synthesis		
Fitter		
Fitter Status	Successful - Thu Oct 09 16:20:23 2014	Successful - Mon Oct 06 08:29:20 2014
Quartus II 64-Bit Version	14.0.1 Build 205 08/13/2014 SJ Full Ver...	14.0.1 Build 205 08/13/2014 SJ Full Ver...
Revision Name	sem_mod	semafor
Top-level Entity Name	dec	dec
Family	Cyclone IV E	Cyclone IV E
Device	EP4CE6E22A7	EP4CE6E22A7
Timing Models	Final	Final
Total logic elements	21 / 6,272 ( < 1 % )	18 / 6,272 ( < 1 % )
Total combinational functions	19 / 6,272 ( < 1 % )	18 / 6,272 ( < 1 % )
Dedicated logic registers	13 / 6,272 ( < 1 % )	13 / 6,272 ( < 1 % )
Total registers	15	16
Total pins	7 / 92 ( 8 % )	7 / 92 ( 8 % )
Total virtual pins	0	0
Total memory bits	128 / 276,480 ( < 1 % )	128 / 276,480 ( < 1 % )
Embedded Multiplier 9-bit elements	0 / 30 ( 0 % )	0 / 30 ( 0 % )
Total PLLs	0 / 2 ( 0 % )	0 / 2 ( 0 % )
TimeQuest Timing Analyzer		
Slow 1200mV 125C Model Setup 'sclk'		
Slack	-2.395	-1.081
TNS	-4.543	-3.243
Slow 1200mV 125C Model Hold 'sclk'		
Slow 1200mV 125C Model Minimum P...		
Slow 1200mV -40C Model Setup 'sclk'		
Slow 1200mV -40C Model Hold 'sclk'		
Slow 1200mV -40C Model Minimum Pu...		
Fast 1200mV -40C Model Setup 'sclk'		
Fast 1200mV -40C Model Hold 'sclk'		

# Компиляция модуля в проекте

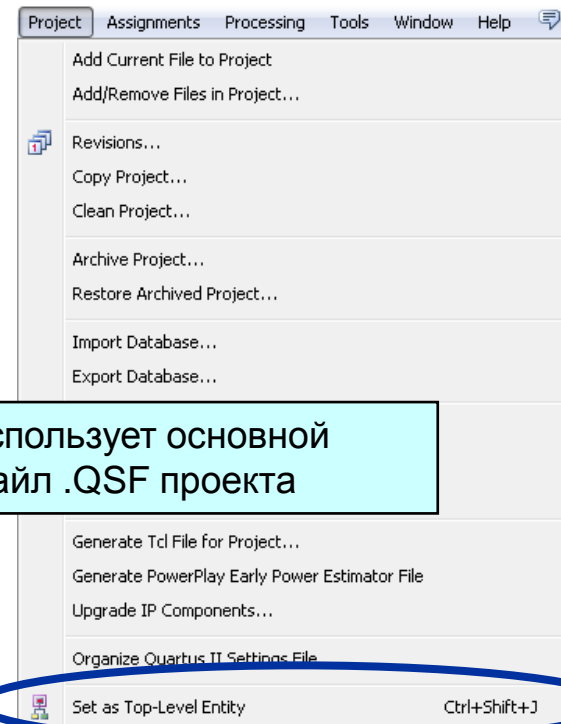
1. Создайте новую ревизию с именем модуля
2. Не заполняйте "Based on revision"



Создается новый файл настроек .QSF как ревизия

Или

1. Откройте модуль
2. Выберите Project=>Set as Top-Level Entity



Использует основной файл .QSF проекта

Создание новой ревизии более предпочтительно, так как это позволяет избежать изменения настроек, сделанных для проекта в целом (разводка выводов и т.д.)