



复旦微电子

JFMK50 系列 FPGA

技术手册

2023. 05



本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不作为转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsh.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

章节列表

1 产品概述及应用范围	3
2 产品特点	3
2.1 产品结构特点	3
2.2 产品功能	4
2.3 质量等级	6
2.4 抗静电 ESD 能力	6
2.5 MSL 等级	7
2.6 器件重量	7
3 外形尺寸图	8
3.1 JFMK50T4、JFMK50T4-AS、JFMK50T4-N 外形及尺寸	8
3.2 JFMK50、JFMK50-AS、JFMK50-N 外形及尺寸	8
3.3 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 外形及尺寸	9
4 引出端信息	10
4.1 引出端功能定义	10
4.2 配置管脚	11
4.3 引脚信息	12
4.3.1 JFMK50T4、JFMK50T4-AS、JFMK50T4-N 引脚信息	12
4.3.2 JFMK50、JFMK50-AS、JFMK50-N 引脚信息	25
4.3.3 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 引脚信息	39
5 性能指标	47
5.1 器件工作条件	47
5.2 电参数	48
5.2.1 电特性参数	48
5.2.2 IO 电特性参数	49
5.2.3 UHST 电特性	55
5.2.4 Pin To Pin 开关参数	56
5.2.5 SYS_MON 性能参数	58
5.2.6 配置开关参数	59
5.2.7 UHST 开关特性	61
5.2.8 网络应用接口性能参数	67
5.2.9 存储接口性能参数	67
5.2.10 IOU PAD 输入/输出三态开关特性	68
5.2.11 输入输出逻辑开关特性	75
5.2.12 可配置逻辑模块(LB)特性	81
5.2.13 块 RAM(HRAM)与 FIFO 开关特性	84
5.2.14 CU 开关特性	87
5.2.15 时钟网络特性	91
5.3 器件特性曲线	97
5.3.1 负载电流与输出电压特性曲线	97
5.3.2 静态电流随温度变化特性曲线	98
5.3.3 动态功耗与温度、频率的特性曲线	100
5.3.4 AC 参数与温度的特性曲线	102
6 环境极限	108
7 应用要求和典型应用	109



7.1 应用要求	109
7.1.1 配置专用 IO PCB 信号设计推荐	109
7.1.2 高速收发器 UHST PCB 设计注意事项	113
7.1.3 DDR 控制器 PCB 设计注意事项	117
7.1.4 SYS_MON PCB 设计注意事项	121
7.1.5 未使用 IO BANK 接法推荐	122
7.1.6 其他注意事项	123
7.2 典型应用	124
8 包装、贮存和运输要求	125
8.1 包装	125
8.2 贮存要求	126
8.3 运输要求	127
9 推荐板级安装说明	127
10 常规故障及处理方法	127
11 注意事项	128
12 特殊说明	128
版本信息	129
上海复旦微电子集团股份有限公司销售及服务中心	130

1 产品概述及应用范围

JFMK50 系列 FPGA 是复旦微电子在 28nm 工艺平台开发的高性能低功耗 FPGA 产品。JFMK50 系列产品提供了可编程逻辑单元、数字信号处理单元、存储器单元、高速收发器以及强大的安全防护方案。面向 5G 通信、视频图像处理、工业控制、各类消费电子市场的需求，支持以下特征：

- LUT5 结构，支持进位链逻辑；
- 可配置存储器；
- 可配置 25 x 18 bit 乘法器，48bit 加法器；
- 输入输出端口支持多种电平标准（1.2V、1.5V、1.8V、2.5V、3.3V），支持差分 LVDS；
- 支持高速 DDR3 接口，可达 800Mbps；
- 支持高速收发器 UHST，速率范围 0.5~12.5Gbps，支持 PCIE Gen1/Gen2；
- 可靠的安全方案，可选择 SM4 和 AES 加密方式，抗侧信道攻击；
- 支持片上电压和温度实时监测；
- 支持不同封装形式的 9 款产品（FCFBGA484、FCFBGA324、FCFBGA236）。

表 1-1 产品信息表

产品型号	封装规格	工作温度(T _j)范围
JFMK50	FCFBGA324, 15mm*15mm, 锡银焊球	-40℃ ~ +100℃
JFMK50T2	FCFBGA236, 10mm*10mm, 锡银焊球	-40℃ ~ +100℃
JFMK50T4	FCFBGA484, 19mm*19mm, 锡银焊球	-40℃ ~ +100℃
JFMK50-AS	FCFBGA324, 15mm*15mm, 锡银焊球	-55℃ ~ +125℃
JFMK50T2-AS	FCFBGA236, 10mm*10mm, 锡银焊球	-55℃ ~ +125℃
JFMK50T4-AS	FCFBGA484, 19mm*19mm, 锡银焊球	-55℃ ~ +125℃
JFMK50-N	FCFBGA324, 15mm*15mm, 锡银焊球	-55℃ ~ +125℃
JFMK50T2-N	FCFBGA236, 10mm*10mm, 锡银焊球	-55℃ ~ +125℃
JFMK50T4-N	FCFBGA484, 19mm*19mm, 锡银焊球	-55℃ ~ +125℃

2 产品特点

2.1 产品结构特点

器件采用 28nm、High-K Metal Gate CMOS 工艺设计。芯片凸点使用 solder bump 工艺。器件采用倒装焊，非气密性的封装工艺。器件潮湿敏感等级为 MSL3。芯片和基板间采用助焊剂进行倒装焊接。封装引脚材料参考表 1-1 里的焊球材料说明。

JFMK50T4 系列封装结构主要包括散热片、芯片、填充胶、封装基板以及焊球，芯片背面和散热板（铜镀镍）间采用导热胶粘接固化，器件侧视结构如图 2-1 所示。

JFMK50 系列、JFMK50T2 系列封装结构主要包括塑封料、芯片、填充胶、封装基板以及焊球，器件侧视结构如图 2-2 所示。

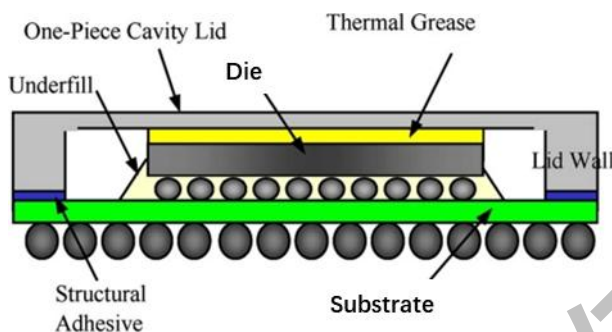


图 2-1 JFMK50T4 系列器件侧视结构示意图

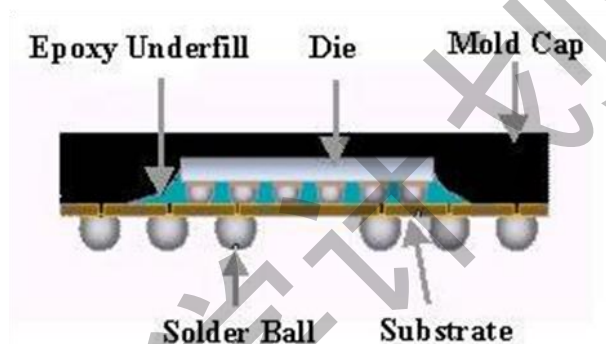


图 2-2 JFMK50 系列、JFMK50T2 系列器件侧视结构示意图

2.2 产品功能

JFMK50 系列产品支持 7 种外部及 1 种内部配置模式，分别为 Master Serial、Slave Serial、Master Parallel、Slave Parallel、Master SPI、Master BPI、JTAG 和 UAC 配置模式。外部配置模式通过模式选择引脚 CFG_T[2:0]来选择相应的配置模式，配置模式及引脚见表 2-1；内部配置模式通过 UAC 原语来实现位流配置。

- ◆ JTAG 模式：支持 JTAG IEEE1149.1，并且拥有最高优先级；
- ◆ Master Parallel 模式：支持数据位宽 8bit 和 16bit；
- ◆ Slave Parallel 模式：支持数据位宽 8bit、16bit 和 32bit；
- ◆ Master SPI 模式：支持数据位宽 1bit、2bit 和 4bit；
- ◆ Master BPI 模式：支持数据位宽 8bit 和 16bit；

◆ UAC 模式：支持数据位宽 32bit。

此外，JFMK50 系列产品还提供以下功能：

- ◆ 支持位流压缩配置；
- ◆ 可靠的安全方案，抗侧信道攻击，支持 AES/SM4 加密；
- ◆ 支持 fallback multiboot 功能，在配置失败后，FPGA 主动读取存储器件（FLASH/PROM）中其他区块存储的备份位流，或者由用户控制读取存储器件中任意位置存储的位流；
- ◆ 支持串行/并行菊花链配置；
- ◆ 支持 ECC 刷新或定时刷新的抗软错误机制。

配置引脚分为专用配置管脚和可复用配置管脚两类，其中可复用配置管脚在配置过程中为配置引脚，配置完成后可复用为用户 IO。

表 2-1 引脚定义

配置引脚	类型	配置模式				
		Serial	Parallel	JTAG	SPI	BPI
CFG_V	专用	CFG_V	CFG_V	CFG_V	CFG_V	CFG_V
CFG_T[2:0]	专用	3'b000-master 3'b111-slave	3'b100-master 3'b110-slave	3'b101	3'b001	3'b010
TCK	专用	TCK	TCK	TCK	TCK	TCK
TMS	专用	TMS	TMS	TMS	TMS	TMS
TDI	专用	TDI	TDI	TDI	TDI	TDI
TDO	专用	TDO	TDO	TDO	TDO	TDO
CFG_ENB	专用	CFG_ENB	CFG_ENB	CFG_ENB	CFG_ENB	CFG_ENB
CFG_STA_B	专用	CFG_STA_B	CFG_STA_B	CFG_STA_B	CFG_STA_B	CFG_STA_B
CFG_DONE	专用	CFG_DONE	CFG_DONE	CFG_DONE	CFG_DONE	CFG_DONE
CFG_CLK	专用	CFG_CLK	CFG_CLK	CFG_CLK	CFG_CLK	CFG_CLK
PUDC_B	复用	PUDC_B	PUDC_B	PUDC_B	PUDC_B	PUDC_B
ECLK	复用	ECLK	ECLK	ECLK	ECLK	ECLK
CSIN_B	复用		CSIN_B			
CFGDO_CSON_B	复用	CFGDO_B	CSON_B		CFGDO (x1)	CSON_B
RDWR_B	复用		RDWR			
CS_B	复用				CS	CS
D00_MOSI	复用		D00		MOSI	D00
D01_DIN	复用	DIN	D01		DIN(x1)/D01(x2x4)	D01
D02	复用		D02		D02	D02
D03	复用		D03		D03(x4)	D03
D[7:4]	复用		D[7:4](x8)			D[7:4](x8)
D[15:8]	复用		D[15:8](x16)			D[15:8](x16)
A[15:0]_D[31:16]	复用		D[31:16](x32)			A[15:0]
A[28:16]	复用					A[28:16]
OE_B	复用					OE_B
WE_B	复用					WE_B

配置引脚	类型	配置模式				
		Serial	Parallel	JTAG	SPI	BPI
ADV_B	复用					ADV_B
RS0	复用	RS0	RS0	RS0		RS0
RS1	复用	RS1	RS1	RS1		RS1

JFMK50 系列资源具体数量如下表所示：

表 2-2 JFMK50 系列资源

资源	JFMK50、 JFMK50-AS、 JFMK50-N	JFMK50T2、 JFMK50T2-AS、 JFMK50T2-N	JFMK50T4、 JFMK50T4-AS、 JFMK50T4-N
逻辑单元, LB (Logic Block)	52K	52K	52K
计算单元, CU (Compute Unit)	120	120	120
高性能 RAM 模块, HRAM (High Performance RAM Blocks)	2700Kb	2700Kb	2700Kb
通用高速收发器, UHST (Universal High Speed Transceivers)	-	2	4
UHST Max Speed	-	12.5Gb/s	12.5Gb/s
DDR3	800 Mb/s	800 Mb/s	800 Mb/s
PCIe 2.1 硬核	-	1	1
User I/O	210	106	250
SYS_MON	1	1	1
安全	支持 SM4 和 AES 加密	支持 SM4 和 AES 加密	支持 SM4 和 AES 加密
封装	FCFBGA324	FCFBGA236	FCFBGA484
尺寸	15x15 mm	10x10 mm	19x19 mm

2.3 质量等级

表 2-3 质量等级表

Device	规范	质量等级
JFMK50、JFMK50T2、JFMK50T4	JEDEC 总规范	工业级
JFMK50-AS、JFMK50T2-AS、JFMK50T4-AS	JEDEC 总规范	工业宽温级
JFMK50-N、JFMK50T2-N、JFMK50T4-N	GJB7400 总规范	N1 级

2.4 抗静电 ESD 能力

ESD 等级为 1 级, HBM 不小于 1500V。

2.5 MSL 等级

根据 J-STD-020D 潮湿敏感器件分级标准要求，本产品湿度敏感等级为 3 级。

表 2-4 MSL 等级

MSL 等级	客户端车间寿命(Floor Life)	
	时间	环境
MSL3	168 小时	$\leq 30^{\circ}\text{C}/60\%\text{RH}$

1. MBB 袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，重新用 MBB 袋包装或放入干燥箱内，如果客户端车间寿命或环境超出规定，则需进行烘干处理。

2. 在干燥包装条件下，可贮存在常温常湿的环境中，在贮存环境为 $<40^{\circ}\text{C}/90\%\text{RH}$ 状态下，储存有效期为 12 个月。储存时间 12 个月均从包装之日算起，包装日期及储存期限标注于 MSL 警示标签上。

3. 湿敏器件干燥包装检验开袋后重置干燥包装；或者干燥包装存储超期；或者 MBB 袋破损，须根据 J-STD-033D 的相关规定进行处理。

4. 烘烤条件：

烘烤温度 $125\pm 5/-0^{\circ}\text{C}$ 、烘烤时间通常 48 小时。器件进行烘烤时不能直接放入 125°C 的烘箱中，必须从室温缓慢升温至 125°C ，升温时间大于半小时，最大升温速率不能大于 $4^{\circ}\text{C}/\text{min}$ 。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125°C 条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装。

2.6 器件重量

表 2-5 器件重量

产品型号	重量(g)
JFMK50	0.8 ± 0.2
JFMK50T2	0.22 ± 0.05
JFMK50T4	2.2 ± 0.2
JFMK50-AS	0.8 ± 0.2
JFMK50T2-AS	0.22 ± 0.05
JFMK50T4-AS	2.2 ± 0.2
JFMK50-N	0.8 ± 0.2

JFMK50T2-N	0.22±0.05
JFMK50T4-N	2.2±0.2

3 外形尺寸图

3.1 JFMK50T4、JFMK50T4-AS、JFMK50T4-N 外形及尺寸

JFMK50T4、JFMK50T4-AS、JFMK50T4-N 采用 484 引脚 Flip-Chip BGA (FCFBGA484) 封装，外形尺寸见图 3-1。

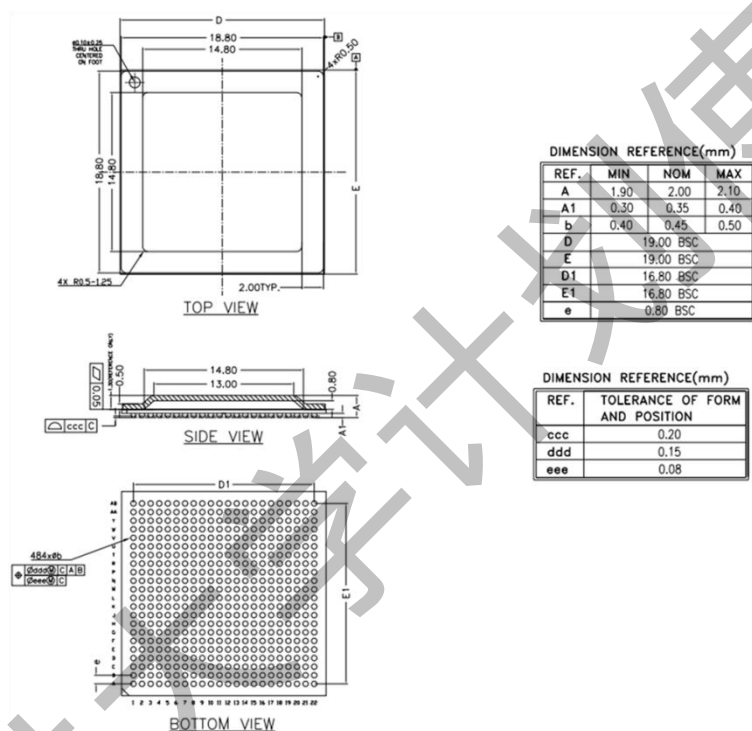


图 3-1 FCFBGA484 外形尺寸

3.2 JFMK50、JFMK50-AS、JFMK50-N 外形及尺寸

JFMK50、JFMK50-AS、JFMK50-N 采用 324 引脚 Flip-Chip BGA (FCFBGA324) 封装，外形尺寸见图 3-2。

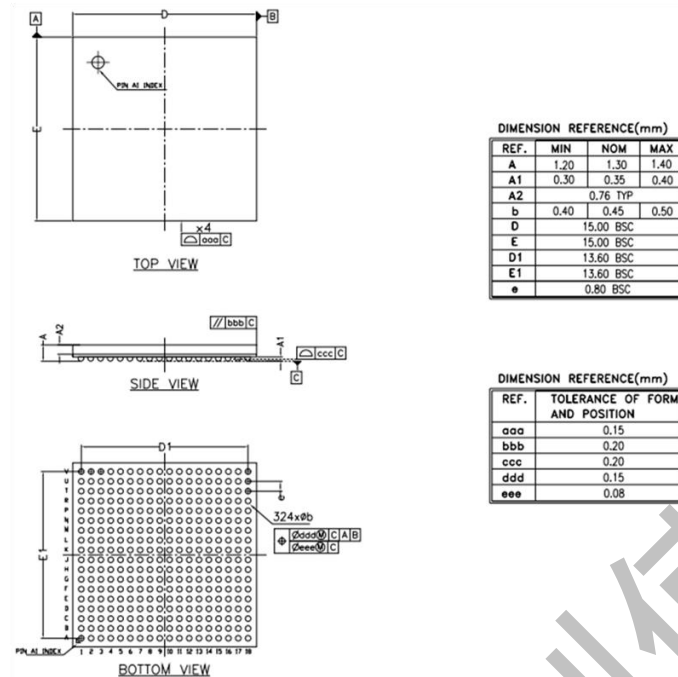


图 3-2 FCFBGA324 外形尺寸

3.3 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 外形及尺寸

JFMK50T2、JFMK50T2-AS、JFMK50T2-N 采用 238 引脚 Flip-Chip BGA (引脚代码 FCFBGA236) 封装, 外形尺寸见图 3-3。

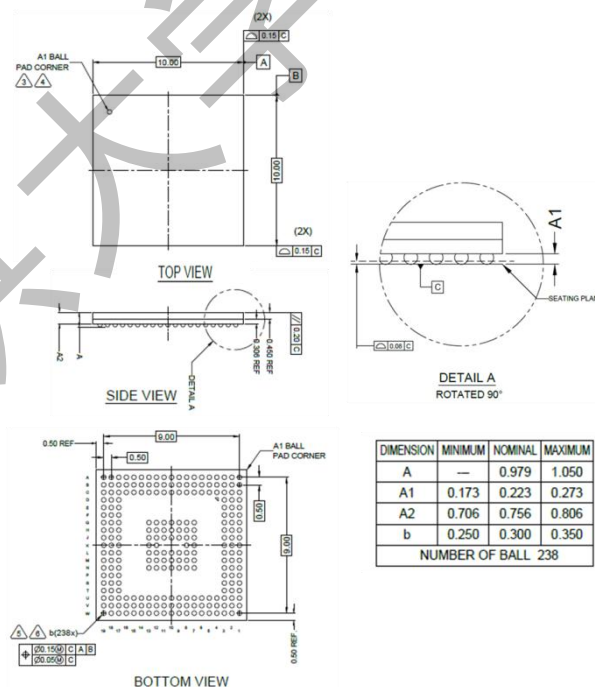


图 3-3 FCFBGA236 外形尺寸

4 引出端信息

4.1 引出端功能定义

表 4-1 引出端功能定义

接口名称	功能描述
“U#_XXY”或“U#_SXX”	<ul style="list-style-type: none"> ● #表示组(Bank)号; ● S 表示单端信号 ● XX 表示该信号在所在组(Bank)的编号。
多功能复用可配置管脚	
U#_XXY_ZZZ	“ZZZ”表示一种或多种功能。
电源	
GND	接地引脚
VCCCORE	1.0V 核电压
VCCSUP	1.8V 辅助电源
VCCHRAM	1.0V HRAM 电源
F0_VCCP	BANK0 IO 电源
U1_VCCP	BANK1 IO 电源
U2_VCCP	BANK2 IO 电源
U3_VCCP	BANK3 IO 电源
U4_VCCP	BANK4 IO 电源
U5_VCCP	BANK5 IO 电源
VREF	输入管脚的参考电压阈值。 注：只有特殊电平标准时才使用该参考电压电压阈值；对于非特殊电平标准，只需使用相应 BANK 的 VCCP 即可。
SYS_MON 管脚	
F0_GNDADC	SYS_MON 的模拟地
F0_VCCADC	SYS_MON 的模拟电源
F0_VIN	SYS_MON 模拟输入，负端
F0_VIP	SYS_MON 模拟输入，正端
F0_VREFP	1.25V 参考输入
F0_VREFN	1.25V 参考地
AD0P-AD15P AD0N-AD15N	SYS_MON 差分输入
时钟	
MRC	全局时钟
SRC	局部时钟
高速 Serdes	
高速 Serdes 以 UHST#表示，其中	
<ul style="list-style-type: none"> ● UHST1，表示高速 Serdes 最高速率达到 6.25Gbps; ● UHST2，表示高速 Serdes 最高速率达到 12.5Gbps; ● UHST3，表示高速 Serdes 最高速率达到 13.1Gbps; ● UHST4，表示高速 Serdes 最高速率达到 28.05Gbps。 	
UHSTREFCLK0/1P	UHST2 差分时钟的正极
UHSTREFCLK0/1N	UHST2 差分时钟的负极
UHST2RXP[0:3]	UHST2 差分接收端口正极

接口名称	功能描述
UHST2RXN[0:3]	UHST2 差分接收端口负极
UHST2TXP[0:3]	UHST2 差分发送端口正极
UHST2TXN[0:3]	UHST2 差分发送端口负极
其他	
G0, G1, G2, G3	Memory group
G0_DQS、G1_DQS、G2_DQS、G3_DQS	DDR DQS strobe 管脚
RS0, RS1	BPI 模式下用于 MultiBoot 版本输出控制，进行多个镜像选择。

4.2 配置管脚

表 4-2 配置管脚说明

序号	信号名	类型	说明
1.	TCK	专用	JTAG 测试时钟
2.	TMS	专用	JTAG 测试模式选择
3.	TDI	专用	JTAG 测试数据输入
4.	TDO	专用	JTAG 测试数据输出
5.	T[2:0]	专用	配置模式
6.	CFG_V	专用	配置 bank 电源选择
7.	CFG_STA_B	专用	配置初始化完成标志。输出从低电平到高电平表示配置内存已经被清理；在配置过程中，输出低电平表示配置数据错误已经发生；配置完成后，其输出可以用来指示 CRC 状态。作为输入时保持低电平，配置被延迟。
8.	CFG_DONE	专用	作为输出，这个引脚表示配置过程已经完成；作为输入，配置为低电平可以延迟启动。
9.	CFG_CLK	专用	配置时钟
10.	CFG_ENB	专用	配置复位信号
11.	PUDC_B	多功能	芯片内部上拉电阻控制
12.	ECLK	多功能	主模式外部配置时钟
13.	CSIN_B	多功能	在 Select MAP 模式下，这是一个低有效的片选信号。
14.	CFGDO	多功能	在串行配置模式下，端口作为菊花链配置的串行数据输出。
15.	RDWR_B	多功能	在 SelectMAP 模式下，作为低电平有效的写使能信号。
16.	CS_B	多功能	在 Select MAP 模式下，这是一个低有效的片选信号。
17.	MOSI	多功能	Master-Output, Slave-Input
18.	DIN	多功能	在串行配置模式下的单数据输入。
19.	D[00:31]	多功能	数据总线
20.	A[00:28]	多功能	地址总线
21.	OE_B	多功能	Flash 输出使能
22.	WE_B	多功能	Flash 写使能
23.	ADV_B	多功能	地址有效信号
24.	CSON_B	多功能	片选输出

4.3 引脚信息

4.3.1 JFMK50T4、JFMK50T4-AS、JFMK50T4-N 引脚信息

表 4-3 JFMK50T4、JFMK50T4-AS、JFMK50T4-N 引脚

序号	位置	Memory Group	Bank	信号名	说明
1	M10	N/A	0	F0_VIN	ADC 模拟输入，负端
2	M14	N/A	0	F0_VIP	ADC 模拟输入，正端
3	T21	N/A	1	U1_S0	BANK1 用户管脚，单端
4	U22	0	1	U1_1P_G0_D00_MOSI	BANK1 用户管脚；差分信号的正端；配置数据管脚 0；SPI flash 命令输出
5	V22	0	1	U1_1N_G0_D01_DIN	BANK1 用户管脚；差分信号的负端；配置数据管脚 1；串行数据输入管脚；
6	V21	0	1	U1_2P_G0_D02	BANK1 用户管脚；差分信号的正端；配置数据管脚 2
7	W21	0	1	U1_2N_G0_D03	BANK1 用户管脚；差分信号的负端；配置数据管脚 3
8	Y22	0	1	U1_3P_G0_DQS_PUDC_B	BANK1 用户管脚；差分信号的正端；配置过程中上拉控制信号
9	AA22	0	1	U1_3N_G0_DQS_ECLK	BANK1 用户管脚；差分信号的正端；外部配置时钟
10	T20	0	1	U1_4P_G0_D04	BANK1 用户管脚；差分信号的正端；配置数据管脚 4
11	T19	0	1	U1_4N_G0_D05	BANK1 用户管脚；差分信号的负端；配置数据管脚 5
12	U20	0	1	U1_5P_G0_D06	BANK1 用户管脚；差分信号的正端；配置数据管脚 6
13	U19	0	1	U1_5N_G0_D07	BANK1 用户管脚；差分信号的负端；配置数据管脚 7
14	V20	0	1	U1_6P_G0_CS_B	BANK1 用户管脚；差分信号的正端；BPI flash 片选
15	V19	0	1	U1_6N_G0_D08_VREF	BANK1 用户管脚；差分信号的负端；配置数据管脚 8；特殊电平标准的电压参考阈值
16	Y20	1	1	U1_7P_G1_D09	BANK1 用户管脚；差分信号的正端；配置数据管脚 9
17	W20	1	1	U1_7N_G1_D10	BANK1 用户管脚；差分信号的负端；配置数据管脚 10
18	AA19	1	1	U1_8P_G1_D11	BANK1 用户管脚；差分信号的正端；配置数据管脚 11
19	Y19	1	1	U1_8N_G1_D12	BANK1 用户管脚；差分信号的负端；配置数据管脚 12
20	AA21	1	1	U1_9P_G1_DQS	BANK1 用户管脚；差分信号的正端；
21	AA20	1	1	U1_9N_G1_DQS_D13	BANK1 用户管脚；差分信号的负端；配置数据管脚 13
22	AB19	1	1	U1_10P_G1_D14	BANK1 用户管脚；差分信号的正端；配



序号	位置	Memory Group	Bank	信号名	说明
					置数据管脚 14
23	AB18	1	1	U1_10N_G1_D15	BANK1 用户管脚；差分信号的负端；配置数据管脚 15
24	AB21	1	1	U1_11P_G1_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
25	AB20	1	1	U1_11N_G1_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
26	AA18	1	1	U1_12P_G1_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
27	AA17	1	1	U1_12N_G1_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
28	W17	2	1	U1_13P_G2_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
29	Y18	2	1	U1_13N_G2_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
30	U18	2	1	U1_14P_G2_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
31	U17	2	1	U1_14N_G2_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
32	AA16	2	1	U1_15P_G2_DQS_RDWR_B	BANK1 用户管脚；差分信号的正端；SelectMap 数据总线方向
33	AB17	2	1	U1_15N_G2_DQS_CFGDO_C SON_B	BANK1 用户管脚；差分信号的负端；菊花链配置数据输出；并行菊花链的片选。
34	V18	2	1	U1_16P_G2_CSIN_B	BANK1 用户管脚；差分信号的正端；SelectMap 片选输入
35	V17	2	1	U1_16N_G2_A15_D31	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 15；配置数据管脚 31
36	Y16	2	1	U1_17P_G2_A14_D30	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 14；配置数据管脚 30
37	AA15	2	1	U1_17N_G2_A13_D29	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 13；配置数据管脚 29
38	V16	2	1	U1_18P_G2_A12_D28	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 12；配置数据管脚 28
39	U16	2	1	U1_18N_G2_A11_D27	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 11；配置数据管脚 27
40	U15	3	1	U1_19P_G3_A10_D26	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 10；配置数据管脚 26
41	W15	3	1	U1_19N_G3_A09_D25_VREF	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 09；配置数据管脚 25；特殊电平标准的电压参考阈值
42	W16	3	1	U1_20P_G3_A08_D24	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 8；配置数据管脚 24
43	V15	3	1	U1_20N_G3_A07_D23	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 7；配置数据管脚 23
44	Y14	3	1	U1_21P_G3_DQS	BANK1 用户管脚；差分信号的正端；



序号	位置	Memory Group	Bank	信号名	说明
45	AA14	3	1	U1_21N_G3_DQS_A06_D22	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 06; 配置数据管脚 22
46	V13	3	1	U1_22P_G3_A05_D21	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 05; 配置数据管脚 21
47	W14	3	1	U1_22N_G3_A04_D20	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 04; 配置数据管脚 20
48	AB14	3	1	U1_23P_G3_A03_D19	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 03; 配置数据管脚 19
49	AB15	3	1	U1_23N_G3_A02_D18	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 02; 配置数据管脚 18
50	AB13	3	1	U1_24P_G3_A01_D17	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 01; 配置数据管脚 17
51	AA13	3	1	U1_24N_G3_A00_D16	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 0; 配置数据管脚 26
52	W13	N/A	1	U1_S25	BANK1 用户管脚; 单端信号
53	K16	N/A	2	U2_S0	BANK2 用户管脚; 单端信号
54	J16	0	2	U2_1P_G0_AD0P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 0 正端
55	H16	0	2	U2_1N_G0_AD0N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 0 负端
56	J17	0	2	U2_2P_G0_AD8P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 8 正端
57	J18	0	2	U2_2N_G0_AD8N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 8 负端
58	H17	0	2	U2_3P_G0_DQS_AD1P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 1 正端
59	J19	0	2	U2_3N_G0_DQS_AD1N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 1 负端
60	H19	0	2	U2_4P_G0	BANK2 用户管脚; 差分信号的正端;
61	H20	0	2	U2_4N_G0	BANK2 用户管脚; 差分信号的负端;
62	K17	0	2	U2_5P_G0_AD9P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 9 正端
63	L17	0	2	U2_5N_G0_AD9N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 9 负端
64	G21	0	2	U2_6P_G0	BANK2 用户管脚; 差分信号的正端;
65	G22	0	2	U2_6N_G0_VREF	BANK2 用户管脚; 差分信号的负端; 特殊电平电压参考阈值
66	G18	1	2	U2_7P_G1_AD2P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 2 正端
67	G19	1	2	U2_7N_G1_AD2N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 2 负端
68	J20	1	2	U2_8P_G1_AD10P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 10 正端
69	K19	1	2	U2_8N_G1_AD10N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 10 负端



序号	位置	Memory Group	Bank	信号名	说明
70	K20	1	2	U2_9P_G1_DQS_AD3P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 3 正端
71	K21	1	2	U2_9N_G1_DQS_AD3N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 3 负端
72	L18	1	2	U2_10P_G1_AD11P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 11 正端
73	L19	1	2	U2_10N_G1_AD11N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 11 负端
74	L21	1	2	U2_11P_G1_SRC	BANK2 用户管脚; 差分信号的正端; 局部时钟管脚
75	L22	1	2	U2_11N_G1_SRC	BANK2 用户管脚; 差分信号的负端; 局部时钟管脚
76	L16	1	2	U2_12P_G1_MRC	BANK2 用户管脚; 差分信号的正端; 全局时钟管脚
77	M16	1	2	U2_12N_G1_MRC	BANK2 用户管脚; 差分信号的负端; 全局时钟管脚
78	H22	2	2	U2_13P_G2_MRC	BANK2 用户管脚; 差分信号的正端; 全局时钟管脚
79	H21	2	2	U2_13N_G2_MRC	BANK2 用户管脚; 差分信号的负端; 全局时钟管脚
80	M20	2	2	U2_14P_G2_SRC	BANK2 用户管脚; 差分信号的正端; 局部时钟管脚
81	M19	2	2	U2_14N_G2_SRC	BANK2 用户管脚; 差分信号的负端; 局部时钟管脚
82	K22	2	2	U2_15P_G2_DQS	BANK2 用户管脚; 差分信号的正端;
83	J22	2	2	U2_15N_G2_DQS_ADV_B	BANK2 用户管脚; 差分信号的负端; BPI FLASH 地址有效
84	R22	2	2	U2_16P_G2_A28	BANK2 用户管脚; 差分信号的正端; BPI 地址线 28
85	R21	2	2	U2_16N_G2_A27	BANK2 用户管脚; 差分信号的负端; BPI 地址线 27
86	N21	2	2	U2_17P_G2_A26	BANK2 用户管脚; 差分信号的正端; BPI 地址线 26
87	M21	2	2	U2_17N_G2_A25	BANK2 用户管脚; 差分信号的负端; BPI 地址线 25
88	R20	2	2	U2_18P_G2_A24	BANK2 用户管脚; 差分信号的正端; BPI 地址线 24
89	P20	2	2	U2_18N_G2_A23	BANK2 用户管脚; 差分信号的负端; BPI 地址线 23
90	P22	3	2	U2_19P_G3_A22	BANK3 用户管脚; 差分信号的正端; BPI 地址线 22
91	N22	3	2	U2_19N_G3_A21_VREF	BANK3 用户管脚; 差分信号的负端; BPI 地址线 21; 特殊电平电压参考阈值
92	M17	3	2	U2_20P_G3_A20	BANK2 用户管脚; 差分信号的正端; BPI 地址线 20



序号	位置	Memory Group	Bank	信号名	说明
93	N17	3	2	U2_20N_G3_A19	BANK2 用户管脚; 差分信号的负端; BPI 地址线 19
94	P18	3	2	U2_21P_G3_DQS	BANK2 用户管脚; 差分信号的正端;
95	P19	3	2	U2_21N_G3_DQS_A18	BANK2 用户管脚; 差分信号的负端; BPI 地址线 18
96	N19	3	2	U2_22P_G3_A17	BANK2 用户管脚; 差分信号的正端; BPI 地址线 17
97	N18	3	2	U2_22N_G3_A16	BANK2 用户管脚; 差分信号的负端; BPI 地址线 16
98	R19	3	2	U2_23P_G3_OE_B	BANK2 用户管脚; 差分信号的正端; BPI FLASH 输出使能
99	R18	3	2	U2_23N_G3_WE_B	BANK2 用户管脚; 差分信号的负端; BPI FLASH 写使能
100	P17	3	2	U2_24P_G3_RS1	BANK2 用户管脚; 差分信号的正端; RS1 和 RS0 组合管理 multiboot 是版本输出
101	P16	3	2	U2_24N_G3_RS0	BANK2 用户管脚; 差分信号的负端; RS1 和 RS0 组合管理 multiboot 是版本输出
102	T22	N/A	2	U2_S25	BANK2 用户管脚, 单端信号
103	F15	N/A	3	U3_S0	BANK3 用户管脚, 单端信号
104	F14	0	3	U3_1P_G0	BANK3 用户管脚; 差分信号的正端;
105	F13	0	3	U3_1N_G0	BANK3 用户管脚; 差分信号的负端;
106	E14	0	3	U3_2P_G0	BANK3 用户管脚; 差分信号的正端;
107	E13	0	3	U3_2N_G0	BANK3 用户管脚; 差分信号的负端;
108	D15	0	3	U3_3P_G0_DQS	BANK3 用户管脚; 差分信号的正端;
109	D14	0	3	U3_3N_G0_DQS	BANK3 用户管脚; 差分信号的负端;
110	C13	0	3	U3_4P_G0	BANK3 用户管脚; 差分信号的正端;
111	B13	0	3	U3_4N_G0	BANK3 用户管脚; 差分信号的负端;
112	B15	0	3	U3_5P_G0	BANK3 用户管脚; 差分信号的正端;
113	B16	0	3	U3_5N_G0	BANK3 用户管脚; 差分信号的负端;
114	A13	0	3	U3_6P_G0	BANK3 用户管脚; 差分信号的正端;
115	A14	0	3	U3_6N_G0_VREF	BANK3 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
116	A15	1	3	U3_7P_G1	BANK3 用户管脚; 差分信号的正端;
117	A16	1	3	U3_7N_G1	BANK3 用户管脚; 差分信号的负端;
118	C14	1	3	U3_8P_G1	BANK3 用户管脚; 差分信号的正端;
119	C15	1	3	U3_8N_G1	BANK3 用户管脚; 差分信号的负端;
120	D16	1	3	U3_9P_G1_DQS	BANK3 用户管脚; 差分信号的正端;
121	E16	1	3	U3_9N_G1_DQS	BANK3 用户管脚; 差分信号的负端;
122	E17	1	3	U3_10P_G1	BANK3 用户管脚; 差分信号的正端;
123	F16	1	3	U3_10N_G1	BANK3 用户管脚; 差分信号的负端;
124	B17	1	3	U3_11P_G1_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
125	B18	1	3	U3_11N_G1_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
126	C17	1	3	U3_12P_G1_MRC	BANK3 用户管脚; 差分信号的正端; 全



序号	位置	Memory Group	Bank	信号名	说明
					局时钟管脚
127	D17	1	3	U3_12N_G1_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
128	A19	2	3	U3_13P_G2_MRC	BANK3 用户管脚; 差分信号的正端; 全局时钟管脚
129	A18	2	3	U3_13N_G2_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
130	G16	2	3	U3_14P_G2_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
131	G17	2	3	U3_14N_G2_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
132	C19	2	3	U3_15P_G2_DQS	BANK3 用户管脚; 差分信号的正端;
133	C18	2	3	U3_15N_G2_DQS	BANK3 用户管脚; 差分信号的负端;
134	D19	2	3	U3_16P_G2	BANK3 用户管脚; 差分信号的正端;
135	E19	2	3	U3_16N_G2	BANK3 用户管脚; 差分信号的负端;
136	B21	2	3	U3_17P_G2	BANK3 用户管脚; 差分信号的正端;
137	A21	2	3	U3_17N_G2	BANK3 用户管脚; 差分信号的负端;
138	A20	2	3	U3_18P_G2	BANK3 用户管脚; 差分信号的正端;
139	B20	2	3	U3_18N_G2	BANK3 用户管脚; 差分信号的负端;
140	F18	3	3	U3_19P_G3	BANK3 用户管脚; 差分信号的正端;
141	E18	3	3	U3_19N_G3_VREF	BANK3 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
142	B22	3	3	U3_20P_G3	BANK3 用户管脚; 差分信号的正端;
143	C22	3	3	U3_20N_G3	BANK3 用户管脚; 差分信号的负端;
144	D20	3	3	U3_21P_G3_DQS	BANK3 用户管脚; 差分信号的正端;
145	C20	3	3	U3_21N_G3_DQS	BANK3 用户管脚; 差分信号的负端;
146	D22	3	3	U3_22P_G3	BANK3 用户管脚; 差分信号的正端;
147	E22	3	3	U3_22N_G3	BANK3 用户管脚; 差分信号的负端;
148	E21	3	3	U3_23P_G3	BANK3 用户管脚; 差分信号的正端;
149	D21	3	3	U3_23N_G3	BANK3 用户管脚; 差分信号的负端;
150	F19	3	3	U3_24P_G3	BANK3 用户管脚; 差分信号的正端;
151	F20	3	3	U3_24N_G3	BANK3 用户管脚; 差分信号的负端;
152	F21	N/A	3	U3_S25	BANK3 用户管脚, 单端信号
153	T3	N/A	4	U4_S0	BANK4 用户管脚, 单端信号
154	R2	0	4	U4_1P_G0	BANK4 用户管脚; 差分信号的正端;
155	R3	0	4	U4_1N_G0	BANK4 用户管脚; 差分信号的负端;
156	U2	0	4	U4_2P_G0	BANK4 用户管脚; 差分信号的正端;
157	V2	0	4	U4_2N_G0	BANK4 用户管脚; 差分信号的负端;
158	T1	0	4	U4_3P_G0_DQS	BANK4 用户管脚; 差分信号的正端;
159	U1	0	4	U4_3N_G0_DQS	BANK4 用户管脚; 差分信号的负端;
160	W2	0	4	U4_4P_G0	BANK4 用户管脚; 差分信号的正端;
161	Y2	0	4	U4_4N_G0	BANK4 用户管脚; 差分信号的负端;
162	W1	0	4	U4_5P_G0	BANK4 用户管脚; 差分信号的正端;
163	Y1	0	4	U4_5N_G0	BANK4 用户管脚; 差分信号的负端;
164	T4	0	4	U4_6P_G0	BANK4 用户管脚; 差分信号的正端;



序号	位置	Memory Group	Bank	信号名	说明
165	R4	0	4	U4_6N_G0_VREF	BANK4 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
166	AA1	1	4	U4_7P_G1	BANK4 用户管脚；差分信号的正端；
167	AB1	1	4	U4_7N_G1	BANK4 用户管脚；差分信号的负端；
168	U3	1	4	U4_8P_G1	BANK4 用户管脚；差分信号的正端；
169	V3	1	4	U4_8N_G1	BANK4 用户管脚；差分信号的负端；
170	T5	1	4	U4_9P_G1_DQS	BANK4 用户管脚；差分信号的正端；
171	U5	1	4	U4_9N_G1_DQS	BANK4 用户管脚；差分信号的负端；
172	AB2	1	4	U4_10P_G1	BANK4 用户管脚；差分信号的正端；
173	AB3	1	4	U4_10N_G1	BANK4 用户管脚；差分信号的负端；
174	Y3	1	4	U4_11P_G1_SRC	BANK4 用户管脚；差分信号的正端；局部时钟管脚
175	AA3	1	4	U4_11N_G1_SRC	BANK4 用户管脚；差分信号的负端；局部时钟管脚
176	V4	1	4	U4_12P_G1_MRC	BANK4 用户管脚；差分信号的正端；全局时钟管脚
177	W4	1	4	U4_12N_G1_MRC	BANK4 用户管脚；差分信号的负端；全局时钟管脚
178	AA5	2	4	U4_13P_G2_MRC	BANK4 用户管脚；差分信号的正端；全局时钟管脚
179	AB5	2	4	U4_13N_G2_MRC	BANK4 用户管脚；差分信号的负端；全局时钟管脚
180	V5	2	4	U4_14P_G2_SRC	BANK4 用户管脚；差分信号的正端；局部时钟管脚
181	U6	2	4	U4_14N_G2_SRC	BANK4 用户管脚；差分信号的负端；局部时钟管脚
182	T6	2	4	U4_15P_G2_DQS	BANK4 用户管脚；差分信号的正端；
183	R6	2	4	U4_15N_G2_DQS	BANK4 用户管脚；差分信号的负端；
184	Y4	2	4	U4_16P_G2	BANK4 用户管脚；差分信号的正端；
185	AA4	2	4	U4_16N_G2	BANK4 用户管脚；差分信号的负端；
186	W6	2	4	U4_17P_G2	BANK4 用户管脚；差分信号的正端；
187	W5	2	4	U4_17N_G2	BANK4 用户管脚；差分信号的负端；
188	Y6	2	4	U4_18P_G2	BANK4 用户管脚；差分信号的正端；
189	AA6	2	4	U4_18N_G2	BANK4 用户管脚；差分信号的负端；
190	V7	3	4	U4_19P_G3	BANK4 用户管脚；差分信号的正端；
191	W7	3	4	U4_19N_G3_VREF	BANK4 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
192	AB6	3	4	U4_20P_G3	BANK4 用户管脚；差分信号的正端；
193	AB7	3	4	U4_20N_G3	BANK4 用户管脚；差分信号的负端；
194	V9	3	4	U4_21P_G3_DQS	BANK4 用户管脚；差分信号的正端；
195	V8	3	4	U4_21N_G3_DQS	BANK4 用户管脚；差分信号的负端；
196	AB8	3	4	U4_22P_G3	BANK4 用户管脚；差分信号的正端；
197	AA8	3	4	U4_22N_G3	BANK4 用户管脚；差分信号的负端；
198	Y8	3	4	U4_23P_G3	BANK4 用户管脚；差分信号的正端；
199	Y7	3	4	U4_23N_G3	BANK4 用户管脚；差分信号的负端；



序号	位置	Memory Group	Bank	信号名	说明
200	W9	3	4	U4_24P_G3	BANK4 用户管脚; 差分信号的正端;
201	Y9	3	4	U4_24N_G3	BANK4 用户管脚; 差分信号的负端;
202	U7	N/A	4	U4_S25	BANK4 用户管脚; 单端信号
203	F4	N/A	5	U5_S0	BANK5 用户管脚; 单端信号
204	J6	0	5	U5_1P_G0_AD4P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 4 正端
205	K6	0	5	U5_1N_G0_AD4N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 4 负端
206	H4	0	5	U5_2P_G0_AD12P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 12 正端
207	G4	0	5	U5_2N_G0_AD12N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 12 负端
208	H5	0	5	U5_3P_G0_DQS_AD5P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 5 正端
209	J5	0	5	U5_3N_G0_DQS_AD5N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 5 负端
210	E3	0	5	U5_4P_G0	BANK5 用户管脚; 差分信号的正端;
211	F3	0	5	U5_4N_G0	BANK5 用户管脚; 差分信号的负端;
212	G3	0	5	U5_5P_G0_AD13P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 13 正端
213	H3	0	5	U5_5N_G0_AD13N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 13 负端
214	B2	0	5	U5_6P_G0	BANK5 用户管脚; 差分信号的正端;
215	C2	0	5	U5_6N_G0_VREF	BANK5 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
216	D1	1	5	U5_7P_G1_AD6P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 6 正端
217	E1	1	5	U5_7N_G1_AD6N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 6 负端
218	D2	1	5	U5_8P_G1_AD14P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 14 正端
219	E2	1	5	U5_8N_G1_AD14N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 14 负端
220	B1	1	5	U5_9P_G1_DQS_AD7P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 7 正端
221	A1	1	5	U5_9N_G1_DQS_AD7N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 7 负端
222	K4	1	5	U5_10P_G1_AD15P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 15 正端
223	J4	1	5	U5_10N_G1_AD15N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 15 负端
224	K3	1	5	U5_11P_G1_SRC	BANK5 用户管脚; 差分信号的正端; 局部时钟输入
225	L3	1	5	U5_11N_G1_SRC	BANK5 用户管脚; 差分信号的负端; 局部时钟输入



序号	位置	Memory Group	Bank	信号名	说明
226	H2	1	5	U5_12P_G1_MRC	BANK5 用户管脚；差分信号的正端；全局时钟输入
227	G2	1	5	U5_12N_G1_MRC	BANK5 用户管脚；差分信号的负端；全局时钟输入
228	L4	2	5	U5_13P_G2_MRC	BANK5 用户管脚；差分信号的正端；全局时钟输入
229	L5	2	5	U5_13N_G2_MRC	BANK5 用户管脚；差分信号的负端；全局时钟输入
230	J1	2	5	U5_14P_G2_SRC	BANK5 用户管脚；差分信号的正端；局部时钟输入
231	K1	2	5	U5_14N_G2_SRC	BANK5 用户管脚；差分信号的负端；局部时钟输入
232	K2	2	5	U5_15P_G2_DQS	BANK5 用户管脚；差分信号的正端；
233	J2	2	5	U5_15N_G2_DQS	BANK5 用户管脚；差分信号的负端；
234	L1	2	5	U5_16P_G2	BANK5 用户管脚；差分信号的正端；
235	M1	2	5	U5_16N_G2	BANK5 用户管脚；差分信号的负端；
236	F1	2	5	U5_17P_G2	BANK5 用户管脚；差分信号的正端；
237	G1	2	5	U5_17N_G2	BANK5 用户管脚；差分信号的负端；
238	M6	2	5	U5_18P_G2	BANK5 用户管脚；差分信号的正端；
239	M5	2	5	U5_18N_G2	BANK5 用户管脚；差分信号的负端；
240	M2	3	5	U5_19P_G3	BANK5 用户管脚；差分信号的正端；
241	M3	3	5	U5_19N_G3_VREF	BANK5 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
242	N2	3	5	U5_20P_G3	BANK5 用户管脚；差分信号的正端；
243	P2	3	5	U5_20N_G3	BANK5 用户管脚；差分信号的负端；
244	N4	3	5	U5_21P_G3_DQS	BANK5 用户管脚；差分信号的正端；
245	N3	3	5	U5_21N_G3_DQS	BANK5 用户管脚；差分信号的负端；
246	N5	3	5	U5_22P_G3	BANK5 用户管脚；差分信号的正端；
247	P6	3	5	U5_22N_G3	BANK5 用户管脚；差分信号的负端；
248	R1	3	5	U5_23P_G3	BANK5 用户管脚；差分信号的正端；
249	P1	3	5	U5_23N_G3	BANK5 用户管脚；差分信号的负端；
250	P4	3	5	U5_24P_G3	BANK5 用户管脚；差分信号的正端；
251	P5	3	5	U5_24N_G3	BANK5 用户管脚；差分信号的负端；
252	L6	N/A	5	U5_S25	BANK5 用户管脚；单端信号
253	F6	N/A	101	U101_UHSTREFCLK0N	UHST #0 的参考时钟，负端
254	E6	N/A	101	U101_UHSTREFCLK0P	UHST #0 的参考时钟，正端
255	C11	N/A	101	U101_UHST2RXP1	UHST #1 的接收端，正端
256	A10	N/A	101	U101_UHST2RXP2	UHST #2 的接收端，正端
257	D9	N/A	101	U101_UHST2RXP3	UHST #3 的接收端，正端
258	A8	N/A	101	U101_UHST2RXN0	UHST #0 的接收端，负端
259	C7	N/A	101	U101_UHST2TXP3	UHST #3 的发送端，正端
260	A6	N/A	101	U101_UHST2TXP2	UHST #2 的发送端，正端
261	E10	N/A	101	U101_UHSTREFCLK1P	UHST #1 的参考时钟，正端
262	F10	N/A	101	U101_UHSTREFCLK1N	UHST #1 的参考时钟，负端
263	D11	N/A	101	U101_UHST2RXN1	UHST #1 的接收端，负端



序号	位置	Memory Group	Bank	信号名	说明
264	B10	N/A	101	U101_UHST2RXN2	UHST #2 的接收端，负端
265	C9	N/A	101	U101_UHST2RXN3	UHST #3 的接收端，负端
266	B8	N/A	101	U101_UHST2RXP0	UHST #0 的接收端，正端
267	D7	N/A	101	U101_UHST2TXN3	UHST #3 的发送端，负端
268	B6	N/A	101	U101_UHST2TXN2	UHST #2 的发送端，负端
269	C5	N/A	101	U101_UHST2TXP1	UHST #1 的发送端，正端
270	D5	N/A	101	U101_UHST2TXN1	UHST #1 的发送端，负端
271	A4	N/A	101	U101_UHST2TXP0	UHST #0 的发送端，正端
272	B4	N/A	101	U101_UHST2TXN0	UHST #0 的发送端，负端
273	R13	N/A	0	F0_CFG_DONE	配置完成信号
274	K14	N/A	0	NC	
275	L13	N/A	0	F0_GNDADC	ADC 模拟地
276	K11	N/A	0	F0_VCCADC	ADC 模拟电源
277	L14	N/A	0	F0_VREFP	ADC 1.25V 参考电源输入，正端
278	M13	N/A	0	F0_VCCBAT	保存密钥的电池电源输入
279	N13	N/A	0	F0_TCK	JTAG 时钟
280	J14	N/A	0	NC	
281	L10	N/A	0	F0_VREFN	ADC 1.25V 参考电源输入，负端
282	N14	N/A	0	F0_CFG_CLK	配置时钟
283	U14	N/A	0	F0_CFG_T0	配置模式选择
284	T13	N/A	0	F0_CFG_T1	配置模式选择
285	P11	N/A	0	F0_CFG_STA_B	配置 memory 的初始化标识
286	P13	N/A	0	F0_TDI	JTAG 数据输入
287	P14	N/A	0	F0_TDO	JTAG 数据输出
288	U11	N/A	0	F0_CFG_T2	配置模式选择
289	R11	N/A	0	F0_CFG_V	选择配置相关 BANK 在配置过程中的电压
290	T14	N/A	0	F0_CFG_ENB	配置使能
291	N10	N/A	0	F0_TMS	JTAG 模式选择
292	F8	N/A	101	U101_UHSTREF	内部校准终端用精密参考电阻管脚
293	D6	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
294	D10	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
295	F7	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
296	F9	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
297	E8	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
298	B5	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
299	B7	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
300	B9	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
301	B11	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
302	C4	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
303	C8	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
304	D8	N/A	N/A	GND	地
305	A2	N/A	N/A	GND	地
306	A3	N/A	N/A	GND	地
307	A5	N/A	N/A	GND	地



序号	位置	Memory Group	Bank	信号名	说明
308	A7	N/A	N/A	GND	地
309	A9	N/A	N/A	GND	地
310	A11	N/A	N/A	GND	地
311	A12	N/A	N/A	GND	地
312	A22	N/A	N/A	GND	地
313	AA2	N/A	N/A	GND	地
314	AA12	N/A	N/A	GND	地
315	F12	N/A	N/A	GND	地
316	AB9	N/A	N/A	GND	地
317	J21	N/A	N/A	GND	地
318	B3	N/A	N/A	GND	地
319	B12	N/A	N/A	GND	地
320	B19	N/A	N/A	GND	地
321	C3	N/A	N/A	GND	地
322	C6	N/A	N/A	GND	地
323	C10	N/A	N/A	GND	地
324	C12	N/A	N/A	GND	地
325	C16	N/A	N/A	GND	地
326	D3	N/A	N/A	GND	地
327	D4	N/A	N/A	GND	地
328	D12	N/A	N/A	GND	地
329	D13	N/A	N/A	GND	地
330	E4	N/A	N/A	GND	地
331	E5	N/A	N/A	GND	地
332	E7	N/A	N/A	GND	地
333	E9	N/A	N/A	GND	地
334	E11	N/A	N/A	GND	地
335	E20	N/A	N/A	GND	地
336	F5	N/A	N/A	GND	地
337	F11	N/A	N/A	GND	地
338	F17	N/A	N/A	GND	地
339	G5	N/A	N/A	GND	地
340	G6	N/A	N/A	GND	地
341	G7	N/A	N/A	GND	地
342	G8	N/A	N/A	GND	地
343	G9	N/A	N/A	GND	地
344	G10	N/A	N/A	GND	地
345	G12	N/A	N/A	GND	地
346	G15	N/A	N/A	GND	地
347	H1	N/A	N/A	GND	地
348	H7	N/A	N/A	GND	地
349	H9	N/A	N/A	GND	地
350	H11	N/A	N/A	GND	地
351	K13	N/A	N/A	GND	地
352	K18	N/A	N/A	GND	地



序号	位置	Memory Group	Bank	信号名	说明
353	M15	N/A	N/A	GND	地
354	J12	N/A	N/A	GND	地
355	M22	N/A	N/A	GND	地
356	K5	N/A	N/A	GND	地
357	K7	N/A	N/A	GND	地
358	N12	N/A	N/A	GND	地
359	K15	N/A	N/A	GND	地
360	L2	N/A	N/A	GND	地
361	L8	N/A	N/A	GND	地
362	N20	N/A	N/A	GND	地
363	M7	N/A	N/A	GND	地
364	M11	N/A	N/A	GND	地
365	R14	N/A	N/A	GND	地
366	N6	N/A	N/A	GND	地
367	N8	N/A	N/A	GND	地
368	N16	N/A	N/A	GND	地
369	P3	N/A	N/A	GND	地
370	P7	N/A	N/A	GND	地
371	P9	N/A	N/A	GND	地
372	T11	N/A	N/A	GND	地
373	T17	N/A	N/A	GND	地
374	R8	N/A	N/A	GND	地
375	R10	N/A	N/A	GND	地
376	U4	N/A	N/A	GND	地
377	U8	N/A	N/A	GND	地
378	U10	N/A	N/A	GND	地
379	U21	N/A	N/A	GND	地
380	Y13	N/A	N/A	GND	地
381	Y21	N/A	N/A	GND	地
382	AB16	N/A	N/A	GND	地
383	AB22	N/A	N/A	GND	地
384	V1	N/A	N/A	GND	地
385	V11	N/A	N/A	GND	地
386	E12	N/A	N/A	GND	地
387	W8	N/A	N/A	GND	地
388	W18	N/A	N/A	GND	地
389	Y5	N/A	N/A	GND	地
390	Y15	N/A	N/A	GND	地
391	L9	N/A	N/A	VCCCORE	核电压输入管脚
392	M9	N/A	N/A	VCCCORE	核电压输入管脚
393	J7	N/A	N/A	VCCCORE	核电压输入管脚
394	N9	N/A	N/A	VCCCORE	核电压输入管脚
395	K8	N/A	N/A	VCCCORE	核电压输入管脚
396	L7	N/A	N/A	VCCCORE	核电压输入管脚
397	M8	N/A	N/A	VCCCORE	核电压输入管脚



序号	位置	Memory Group	Bank	信号名	说明
398	N7	N/A	N/A	VCCCORE	核电压输入管脚
399	P8	N/A	N/A	VCCCORE	核电压输入管脚
400	P10	N/A	N/A	VCCCORE	核电压输入管脚
401	R7	N/A	N/A	VCCCORE	核电压输入管脚
402	R9	N/A	N/A	VCCCORE	核电压输入管脚
403	T8	N/A	N/A	VCCCORE	核电压输入管脚
404	T10	N/A	N/A	VCCCORE	核电压输入管脚
405	H12	N/A	N/A	VCCSUP	辅助电压输入管脚
406	K12	N/A	N/A	VCCSUP	辅助电压输入管脚
407	M12	N/A	N/A	VCCSUP	辅助电压输入管脚
408	P12	N/A	N/A	VCCSUP	辅助电压输入管脚
409	T12	N/A	N/A	VCCSUP	辅助电压输入管脚
410	R12	N/A	0	F0_VCCP	BANK0 电压输入管脚
411	U13	N/A	0	F0_VCCP	BANK0 电压输入管脚
412	T15	N/A	1	U1_VCCP	BANK1 电压输入管脚
413	Y17	N/A	1	U1_VCCP	BANK1 电压输入管脚
414	T18	N/A	1	U1_VCCP	BANK1 电压输入管脚
415	W19	N/A	1	U1_VCCP	BANK1 电压输入管脚
416	W22	N/A	1	U1_VCCP	BANK1 电压输入管脚
417	V14	N/A	1	U1_VCCP	BANK1 电压输入管脚
418	N15	N/A	2	U2_VCCP	BANK2 电压输入管脚
419	P21	N/A	2	U2_VCCP	BANK2 电压输入管脚
420	M18	N/A	2	U2_VCCP	BANK2 电压输入管脚
421	G20	N/A	2	U2_VCCP	BANK2 电压输入管脚
422	H18	N/A	2	U2_VCCP	BANK2 电压输入管脚
423	L20	N/A	2	U2_VCCP	BANK2 电压输入管脚
424	F22	N/A	3	U3_VCCP	BANK3 电压输入管脚
425	E15	N/A	3	U3_VCCP	BANK3 电压输入管脚
426	D18	N/A	3	U3_VCCP	BANK3 电压输入管脚
427	C21	N/A	3	U3_VCCP	BANK3 电压输入管脚
428	B14	N/A	3	U3_VCCP	BANK3 电压输入管脚
429	A17	N/A	3	U3_VCCP	BANK3 电压输入管脚
430	R5	N/A	4	U4_VCCP	BANK4 电压输入管脚
431	T2	N/A	4	U4_VCCP	BANK4 电压输入管脚
432	V6	N/A	4	U4_VCCP	BANK4 电压输入管脚
433	W3	N/A	4	U4_VCCP	BANK4 电压输入管脚
434	AA7	N/A	4	U4_VCCP	BANK4 电压输入管脚
435	AB4	N/A	4	U4_VCCP	BANK4 电压输入管脚
436	C1	N/A	5	U5_VCCP	BANK5 电压输入管脚
437	F2	N/A	5	U5_VCCP	BANK5 电压输入管脚
438	H6	N/A	5	U5_VCCP	BANK5 电压输入管脚
439	J3	N/A	5	U5_VCCP	BANK5 电压输入管脚
440	M4	N/A	5	U5_VCCP	BANK5 电压输入管脚
441	N1	N/A	5	U5_VCCP	BANK5 电压输入管脚
442	J11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚

序号	位置	Memory Group	Bank	信号名	说明
443	L11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
444	N11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
445	T7	N/A	N/A	NC	
446	H8	N/A	N/A	NC	
447	J8	N/A	N/A	NC	
448	J9	N/A	N/A	NC	
449	K9	N/A	N/A	NC	
450	T9	N/A	N/A	NC	
451	U9	N/A	N/A	NC	
452	AA9	N/A	N/A	NC	
453	H10	N/A	N/A	NC	
454	J10	N/A	N/A	NC	
455	K10	N/A	N/A	NC	
456	V10	N/A	N/A	NC	
457	W10	N/A	N/A	NC	
458	Y10	N/A	N/A	NC	
459	AA10	N/A	N/A	NC	
460	AB10	N/A	N/A	NC	
461	G11	N/A	N/A	NC	
462	W11	N/A	N/A	NC	
463	Y11	N/A	N/A	NC	
464	AA11	N/A	N/A	NC	
465	AB11	N/A	N/A	NC	
466	L12	N/A	N/A	NC	
467	U12	N/A	N/A	NC	
468	V12	N/A	N/A	NC	
469	W12	N/A	N/A	NC	
470	Y12	N/A	N/A	NC	
471	AB12	N/A	N/A	NC	
472	G13	N/A	N/A	NC	
474	H13	N/A	N/A	NC	
474	J13	N/A	N/A	NC	
475	G14	N/A	N/A	NC	
476	H14	N/A	N/A	NC	
477	H15	N/A	N/A	NC	
478	J15	N/A	N/A	NC	
479	L15	N/A	N/A	NC	
480	P15	N/A	N/A	NC	
481	R15	N/A	N/A	NC	
482	R16	N/A	N/A	NC	
483	T16	N/A	N/A	NC	
484	R17	N/A	N/A	NC	

4.3.2 JFMK50、JFMK50-AS、JFMK50-N 引脚信息

表 4-4 JFMK50、JFMK50-AS、JFMK50-N 引脚

序号	位置	Memory Group	Bank	信号名	说明
1	K9	N/A	0	F0_VIN	ADC 模拟输入，负端



序号	位置	Memory Group	Bank	信号名	说明
2	J10	N/A	0	F0_VIP	ADC 模拟输入，正端
3	R11	0	1	U1_S0	BANK1 用户管脚，单端
4	K17	0	1	U1_1P_G0_D00_MOSI	BANK1 用户管脚；差分信号的正端；存储器字节组 0；配置数据管脚 0；SPI flash 命令输出
5	K18	0	1	U1_1N_G0_D01_DIN	BANK1 用户管脚；差分信号的负端；存储器字节组 0；配置数据管脚 1；串行数据输入管脚；
6	L18	0	1	U1_2P_G0_D02	BANK1 用户管脚；差分信号的正端；存储器字节组 0；配置数据管脚 2
7	M18	0	1	U1_2N_G0_D03	BANK1 用户管脚；差分信号的负端；存储器字节组 0；配置数据管脚 3
8	L15	0	1	U1_3P_G0_DQS_PUDC_B	BANK1 用户管脚；差分信号的正端；存储器字节组 0 的 DDR DQS；配置过程中上拉控制信号
9	L16	0	1	U1_3N_G0_DQS_ECLK	BANK1 用户管脚；差分信号的正端；存储器字节组 0 的 DDR DQS；外部配置时钟
10	L14	0	1	U1_4P_G0_D04	BANK1 用户管脚；差分信号的正端；存储器字节组 0；配置数据管脚 4
11	M14	0	1	U1_4N_G0_D05	BANK1 用户管脚；差分信号的负端；存储器字节组 0；配置数据管脚 5
12	P18	0	1	U1_5P_G0_D06	BANK1 用户管脚；差分信号的正端；存储器字节组 0；配置数据管脚 6
13	N17	0	1	U1_5N_G0_D07	BANK1 用户管脚；差分信号的负端；存储器字节组 0；配置数据管脚 7
14	L13	0	1	U1_6P_G0_CS_B	BANK1 用户管脚；差分信号的正端；存储器字节组 0；BPI flash 片选
15	M13	0	1	U1_6N_G0_D08_VREF	BANK1 用户管脚；差分信号的负端；存储器字节组 0；配置数据管脚 8；特殊电平标准的电压参考阈值
16	R18	1	1	U1_7P_G1_D09	BANK1 用户管脚；差分信号的正端；存储器字节组 1；配置数据管脚 9
17	T18	1	1	U1_7N_G1_D10	BANK1 用户管脚；差分信号的负端；存储器字节组 1；配置数据管脚 10
18	M16	1	1	U1_8P_G1_D11	BANK1 用户管脚；差分信号的正端；存储器字节组 1；配置数据管脚 11
19	M17	1	1	U1_8N_G1_D12	BANK1 用户管脚；差分信号的负端；存储器字节组 1；配置数据管脚 12
20	U16	1	1	U1_9P_G1_DQS	BANK1 用户管脚；差分信号的正端；存储器字节组 1 的 DDR DQS
21	V17	1	1	U1_9N_G1_DQS_D13	BANK1 用户管脚；差分信号的负端；存储器字节组 1 的 DDR DQS；配置数据管脚 13
22	P17	1	1	U1_10P_G1_D14	BANK1 用户管脚；差分信号的正端；存储器字节组 1；配置数据管脚 14



序号	位置	Memory Group	Bank	信号名	说明
23	R17	1	1	U1_10N_G1_D15	BANK1 用户管脚；差分信号的负端；存储器字节组 1；配置数据管脚 15
24	N16	1	1	U1_11P_G1_SRC	BANK1 用户管脚；差分信号的正端；存储器字节组 1；局部时钟输入
25	N15	1	1	U1_11N_G1_SRC	BANK1 用户管脚；差分信号的负端；存储器字节组 1；局部时钟输入
26	R16	1	1	U1_12P_G1_MRC	BANK1 用户管脚；差分信号的正端；存储器字节组 1；全局时钟输入
27	T16	1	1	U1_12N_G1_MRC	BANK1 用户管脚；差分信号的负端；存储器字节组 1；全局时钟输入
28	R15	2	1	U1_13P_G2_MRC	BANK1 用户管脚；差分信号的正端；存储器字节组 2；全局时钟输入
29	P15	2	1	U1_13N_G2_MRC	BANK1 用户管脚；差分信号的负端；存储器字节组 2；全局时钟输入
30	V16	2	1	U1_14P_G2_SRC	BANK1 用户管脚；差分信号的正端；存储器字节组 2；局部时钟输入
31	V15	2	1	U1_14N_G2_SRC	BANK1 用户管脚；差分信号的负端；存储器字节组 2；局部时钟输入
32	P14	2	1	U1_15P_G2_DQS_RDWR_B	BANK1 用户管脚；差分信号的正端；存储器字节组 2 的 DDR DQS; SelectMap 数据总线方向
33	N14	2	1	U1_15N_G2_DQS_CFGDO_C SON_B	BANK1 用户管脚；差分信号的负端；存储器字节组 2 的 DDR DQS；菊花链配置数据输出；并行菊花链的片选。
34	T15	2	1	U1_16P_G2_CSIN_B	BANK1 用户管脚；差分信号的正端；存储器字节组 2；SelectMap 片选输入
35	T14	2	1	U1_16N_G2_A15_D31	BANK1 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址管脚 15；配置数据管脚 31
36	U17	2	1	U1_17P_G2_A14_D30	BANK1 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址管脚 14；配置数据管脚 30
37	U18	2	1	U1_17N_G2_A13_D29	BANK1 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址管脚 13；配置数据管脚 29
38	V14	2	1	U1_18P_G2_A12_D28	BANK1 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址管脚 12；配置数据管脚 28
39	U14	2	1	U1_18N_G2_A11_D27	BANK1 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址管脚 11；配置数据管脚 27
40	T13	3	1	U1_19P_G3_A10_D26	BANK1 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址管脚 10；配置数据管脚 26
41	U13	3	1	U1_19N_G3_A09_D25_VREF	BANK1 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址管脚 09；配



序号	位置	Memory Group	Bank	信号名	说明
					置数据管脚 25; 特殊电平标准的电压参考阈值
42	V12	3	1	U1_20P_G3_A08_D24	BANK1 用户管脚; 差分信号的正端; 存储器字节组 3; BPI 地址管脚 8; 配置数据管脚 24
43	U12	3	1	U1_20N_G3_A07_D23	BANK1 用户管脚; 差分信号的负端; 存储器字节组 3; BPI 地址管脚 7; 配置数据管脚 23
44	T11	3	1	U1_21P_G3_DQS	BANK1 用户管脚; 差分信号的正端; 存储器字节组 3 的 DDR DQS
45	U11	3	1	U1_21N_G3_DQS_A06_D22	BANK1 用户管脚; 差分信号的负端; 存储器字节组 3; BPI 地址管脚 06; 配置数据管脚 22
46	R13	3	1	U1_22P_G3_A05_D21	BANK1 用户管脚; 差分信号的正端; 存储器字节组 3; BPI 地址管脚 05; 配置数据管脚 21
47	R12	3	1	U1_22N_G3_A04_D20	BANK1 用户管脚; 差分信号的负端; 存储器字节组 3; BPI 地址管脚 04; 配置数据管脚 20
48	V10	3	1	U1_23P_G3_A03_D19	BANK1 用户管脚; 差分信号的正端; 存储器字节组 3; BPI 地址管脚 03; 配置数据管脚 19
49	V11	3	1	U1_23N_G3_A02_D18	BANK1 用户管脚; 差分信号的负端; 存储器字节组 3; BPI 地址管脚 02; 配置数据管脚 18
50	T9	3	1	U1_24P_G3_A01_D17	BANK1 用户管脚; 差分信号的正端; 存储器字节组 3; BPI 地址管脚 01; 配置数据管脚 17
51	T10	3	1	U1_24N_G3_A00_D16	BANK1 用户管脚; 差分信号的负端; 存储器字节组 3; BPI 地址管脚 0; 配置数据管脚 26
52	R10	N/A	1	U1_S25	BANK1 用户管脚; 单端信号
53	G13	N/A	2	U2_S0	BANK2 用户管脚; 单端信号
54	F13	0	2	U2_1P_G0_AD0P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 0; ADC 的差分输入 0 正端
55	F14	0	2	U2_1N_G0_AD0N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0; ADC 的差分输入 0 负端
56	D12	0	2	U2_2P_G0_AD8P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 0; ADC 的差分输入 8 正端
57	D13	0	2	U2_2N_G0_AD8N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0; ADC 的差分输入 8 负端
58	C12	0	2	U2_3P_G0_DQS_AD1P	BANK2 用户管脚; 差分信号的正端;



序号	位置	Memory Group	Bank	信号名	说明
					存储器字节组 0 的 DDR DQS; ADC 的差分输入 1 正端
59	B12	0	2	U2_3N_G0_DQS_AD1N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0 的 DDR DQS; ADC 的差分输入 1 负端
60	B11	0	2	U2_4P_G0	BANK2 用户管脚; 差分信号的正端; 存储器字节组 0;
61	A11	0	2	U2_4N_G0	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0;
62	D14	0	2	U2_5P_G0_AD9P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 0; ADC 的差分输入 9 正端
63	C14	0	2	U2_5N_G0_AD9N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0; ADC 的差分输入 9 负端
64	B14	0	2	U2_6P_G0	BANK2 用户管脚; 差分信号的正端; 存储器字节组 0;
65	B13	0	2	U2_6N_G0_VREF	BANK2 用户管脚; 差分信号的负端; 存储器字节组 0; 特殊电平电压参考阈值
66	A13	1	2	U2_7P_G1_AD2P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 1; ADC 的差分输入 2 正端
67	A14	1	2	U2_7N_G1_AD2N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 1; ADC 的差分输入 2 负端
68	H14	1	2	U2_8P_G1_AD10P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 1; ADC 的差分输入 10 正端
69	G14	1	2	U2_8N_G1_AD10N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 1; ADC 的差分输入 10 负端
70	B16	1	2	U2_9P_G1_DQS_AD3P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 1 的 DDR DQS; ADC 的差分输入 3 正端
71	B17	1	2	U2_9N_G1_DQS_AD3N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 1 的 DDR DQS; ADC 的差分输入 3 负端
72	J14	1	2	U2_10P_G1_AD11P	BANK2 用户管脚; 差分信号的正端; 存储器字节组 1; ADC 的差分输入 11 正端
73	H15	1	2	U2_10N_G1_AD11N	BANK2 用户管脚; 差分信号的负端; 存储器字节组 1; ADC 的差分输入 11 负端
74	E15	1	2	U2_11P_G1_SRC	BANK2 用户管脚; 差分信号的正端; 存储器字节组 1; 局部时钟管脚



序号	位置	Memory Group	Bank	信号名	说明
75	E16	1	2	U2_11N_G1_SRC	BANK2 用户管脚；差分信号的负端；存储器字节组 1；局部时钟管脚
76	D15	1	2	U2_12P_G1_MRC	BANK2 用户管脚；差分信号的正端；存储器字节组 1；全局时钟管脚
77	C15	1	2	U2_12N_G1_MRC	BANK2 用户管脚；差分信号的负端；存储器字节组 1；全局时钟管脚
78	G16	2	2	U2_13P_G2_MRC	BANK2 用户管脚；差分信号的正端；存储器字节组 2；全局时钟管脚
79	H16	2	2	U2_13N_G2_MRC	BANK2 用户管脚；差分信号的负端；存储器字节组 2；全局时钟管脚
80	F15	2	2	U2_14P_G2_SRC	BANK2 用户管脚；差分信号的正端；存储器字节组 2；局部时钟管脚
81	F16	2	2	U2_14N_G2_SRC	BANK2 用户管脚；差分信号的负端；存储器字节组 2；局部时钟管脚
82	K13	2	2	U2_15P_G2_DQS	BANK2 用户管脚；差分信号的正端；存储器字节组 2 的 DDR DQS
83	J13	2	2	U2_15N_G2_DQS_ADV_B	BANK2 用户管脚；差分信号的负端；存储器字节组 2 的 DDR DQS；BPI FLASH 地址有效
84	E17	2	2	U2_16P_G2_A28	BANK2 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址线 28
85	D17	2	2	U2_16N_G2_A27	BANK2 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址线 27
86	A16	2	2	U2_17P_G2_A26	BANK2 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址线 26
87	A15	2	2	U2_17N_G2_A25	BANK2 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址线 25
88	K15	2	2	U2_18P_G2_A24	BANK2 用户管脚；差分信号的正端；存储器字节组 2；BPI 地址线 24
89	J15	2	2	U2_18N_G2_A23	BANK2 用户管脚；差分信号的负端；存储器字节组 2；BPI 地址线 23
90	E18	3	2	U2_19P_G3_A22	BANK3 用户管脚；差分信号的正端；存储器字节组 3；BPI 地址线 22
91	D18	3	2	U2_19N_G3_A21_VREF	BANK3 用户管脚；差分信号的负端；存储器字节组 3；BPI 地址线 21；特殊电平电压参考阈值
92	G17	3	2	U2_20P_G3_A20	BANK2 用户管脚；差分信号的正端；存储器字节组 3；BPI 地址线 20
93	H17	3	2	U2_20N_G3_A19	BANK2 用户管脚；差分信号的负端；存储器字节组 3；BPI 地址线 19
94	J18	3	2	U2_21P_G3_DQS	BANK2 用户管脚；差分信号的正端；存储器字节组 3 的 DDR DQS；
95	J17	3	2	U2_21N_G3_DQS_A18	BANK2 用户管脚；差分信号的负端；存储器字节组 3 的 DDR DQS；BPI 地址线 18



序号	位置	Memory Group	Bank	信号名	说明
96	C17	3	2	U2_22P_G3_A17	BANK2 用户管脚；差分信号的正端；存储器字节组 3；BPI 地址线 17
97	C16	3	2	U2_22N_G3_A16	BANK2 用户管脚；差分信号的负端；存储器字节组 3；BPI 地址线 16
98	A18	3	2	U2_23P_G3_OE_B	BANK2 用户管脚；差分信号的正端；存储器字节组 3；BPI FLASH 输出使能
99	B18	3	2	U2_23N_G3_WE_B	BANK2 用户管脚；差分信号的负端；存储器字节组 3；BPI FLASH 写使能
100	G18	3	2	U2_24P_G3_RS1	BANK2 用户管脚；差分信号的正端；存储器字节组 3；RS1 和 RS0 组合管理 multiboot 是版本输出
101	F18	3	2	U2_24N_G3_RS0	BANK2 用户管脚；差分信号的负端；存储器字节组 3；RS1 和 RS0 组合管理 multiboot 是版本输出
102	K16	N/A	2	U2_S25	BANK2 用户管脚；单端信号
103	D9	N/A	3	U3_6N_G0_VREF	BANK3 用户管脚；差分负端；存储器字节组 0；特殊电平电压参考阈值
104	C9	N/A	3	U3_11P_G1_SRC	BANK3 用户管脚；差分信号的正端；存储器字节组 1；局部时钟管脚
105	B9	N/A	3	U3_11N_G1_SRC	BANK3 用户管脚；差分信号的负端；存储器字节组 1；局部时钟管脚
106	B8	N/A	3	U3_12P_G1_MRC	BANK3 用户管脚；差分信号的正端；存储器字节组 1；全局时钟管脚
107	A8	N/A	3	U3_12N_G1_MRC	BANK3 用户管脚；差分信号的负端；存储器字节组 1；全局时钟管脚
108	C11	N/A	3	U3_13P_G2_MRC	BANK3 用户管脚；差分信号的正端；存储器字节组 2；全局时钟管脚
109	C10	N/A	3	U3_13N_G2_MRC	BANK3 用户管脚；差分信号的负端；存储器字节组 2；全局时钟管脚
110	A10	N/A	3	U3_14P_G2_SRC	BANK3 用户管脚；差分信号的正端；存储器字节组 2；局部时钟管脚
111	A9	N/A	3	U3_14N_G2_SRC	BANK3 用户管脚；差分信号的负端；存储器字节组 2；局部时钟管脚
112	D10	N/A	3	U3_19N_G3_VREF	BANK3 用户管脚；差分信号的负端；存储器字节组 3；局部时钟管脚；特殊电平标准的电压参考阈值
113	K6	N/A	4	U4_S0	BANK4 用户管脚；单端信号
114	K5	0	4	U4_1P_G0	BANK4 用户管脚；差分信号的正端；存储器字节组 0
115	L4	0	4	U4_1N_G0	BANK4 用户管脚；差分信号的负端；存储器字节组 0
116	K3	0	4	U4_2P_G0	BANK4 用户管脚；差分信号的正端；存储器字节组 0
117	L3	0	4	U4_2N_G0	BANK4 用户管脚；差分信号的负端；存储器字节组 0



序号	位置	Memory Group	Bank	信号名	说明
118	L1	0	4	U4_3P_G0_DQS	BANK4 用户管脚；差分信号的正端；存储器字节组 0 的 DDR DQS
119	M1	0	4	U4_3N_G0_DQS	BANK4 用户管脚；差分信号的负端；存储器字节组 0 的 DDR DQS
120	L6	0	4	U4_4P_G0	BANK4 用户管脚；差分信号的正端；存储器字节组 0
121	L5	0	4	U4_4N_G0	BANK4 用户管脚；差分信号的负端；存储器字节组 0
122	N1	0	4	U4_5P_G0	BANK4 用户管脚；差分信号的正端；存储器字节组 0
123	N2	0	4	U4_5N_G0	BANK4 用户管脚；差分信号的负端；存储器字节组 0
124	M2	0	4	U4_6P_G0	BANK4 用户管脚；差分信号的正端；存储器字节组 0
125	M3	0	4	U4_6N_G0_VREF	BANK4 用户管脚；差分信号的负端；存储器字节组 0；特殊电平标准的电压参考阈值
126	U1	1	4	U4_7P_G1	BANK4 用户管脚；差分信号的正端；存储器字节组 1
127	V1	1	4	U4_7N_G1	BANK4 用户管脚；差分信号的负端；存储器字节组 1
128	P2	1	4	U4_8P_G1	BANK4 用户管脚；差分信号的正端；存储器字节组 1
129	R2	1	4	U4_8N_G1	BANK4 用户管脚；差分信号的负端；存储器字节组 1
130	V2	1	4	U4_9P_G1_DQS	BANK4 用户管脚；差分信号的正端；存储器字节组 1 的 DDR DQS
131	U2	1	4	U4_9N_G1_DQS	BANK4 用户管脚；差分信号的负端；存储器字节组 1 的 DDR DQS
132	R1	1	4	U4_10P_G1	BANK4 用户管脚；差分信号的正端；存储器字节组 1
133	T1	1	4	U4_10N_G1	BANK4 用户管脚；差分信号的负端；存储器字节组 1
134	R3	1	4	U4_11P_G1_SRC	BANK4 用户管脚；差分信号的正端；存储器字节组 1；局部时钟管脚
135	T3	1	4	U4_11N_G1_SRC	BANK4 用户管脚；差分信号的负端；存储器字节组 1；局部时钟管脚
136	U3	1	4	U4_12P_G1_MRC	BANK4 用户管脚；差分信号的正端；存储器字节组 1；全局时钟管脚
137	U4	1	4	U4_12N_G1_MRC	BANK4 用户管脚；差分信号的负端；存储器字节组 1；全局时钟管脚
138	N5	2	4	U4_13P_G2_MRC	BANK4 用户管脚；差分信号的正端；存储器字节组 2；全局时钟管脚
139	P5	2	4	U4_13N_G2_MRC	BANK4 用户管脚；差分信号的负端；存储器字节组 2；全局时钟管脚



序号	位置	Memory Group	Bank	信号名	说明
140	M4	2	4	U4_14P_G2_SRC	BANK4 用户管脚；差分信号的正端；存储器字节组 2；局部时钟管脚
141	N4	2	4	U4_14N_G2_SRC	BANK4 用户管脚；差分信号的负端；存储器字节组 2；局部时钟管脚
142	T5	2	4	U4_15P_G2_DQS	BANK4 用户管脚；差分信号的正端；存储器字节组 2 的 DDR DQS
143	T4	2	4	U4_15N_G2_DQS	BANK4 用户管脚；差分信号的负端；存储器字节组 2 的 DDR DQS
144	M6	2	4	U4_16P_G2	BANK4 用户管脚；差分信号的正端；存储器字节组 2
145	N6	2	4	U4_16N_G2	BANK4 用户管脚；差分信号的负端；存储器字节组 2
146	V5	2	4	U4_17P_G2	BANK4 用户管脚；差分信号的正端；存储器字节组 2
147	V4	2	4	U4_17N_G2	BANK4 用户管脚；差分信号的负端；存储器字节组 2
148	P3	2	4	U4_18P_G2	BANK4 用户管脚；差分信号的正端；存储器字节组 2
149	P4	2	4	U4_18N_G2	BANK4 用户管脚；差分信号的负端；存储器字节组 2
150	R6	3	4	U4_19P_G3	BANK4 用户管脚；差分信号的正端；存储器字节组 3
151	R5	3	4	U4_19N_G3_VREF	BANK4 用户管脚；差分信号的负端；存储器字节组 3；特殊电平标准的电压参考阈值
152	V6	3	4	U4_20P_G3	BANK4 用户管脚；差分信号的正端；存储器字节组 3
153	V7	3	4	U4_20N_G3	BANK4 用户管脚；差分信号的负端；DDR IP DQ[2]
154	U9	3	4	U4_21P_G3_DQS	BANK4 用户管脚；差分信号的正端；存储器字节组 3 的 DDR DQS
155	V9	3	4	U4_21N_G3_DQS	BANK4 用户管脚；差分信号的负端；存储器字节组 3 的 DDR DQS
156	U6	3	4	U4_22P_G3	BANK4 用户管脚；差分信号的正端；存储器字节组 3
157	U7	3	4	U4_22N_G3	BANK4 用户管脚；差分信号的负端；存储器字节组 3
158	R7	3	4	U4_23P_G3	BANK4 用户管脚；差分信号的正端；存储器字节组 3
159	T6	3	4	U4_23N_G3	BANK4 用户管脚；差分信号的负端；存储器字节组 3
160	R8	3	4	U4_24P_G3	BANK4 用户管脚；差分信号的正端；存储器字节组 3
161	T8	3	4	U4_24N_G3	BANK4 用户管脚；差分信号的负端；存储器字节组 3
162	U8	N/A	4	U4_S25	BANK4 用户管脚；单端信号



序号	位置	Memory Group	Bank	信号名	说明
163	F5	N/A	5	U5_S0	BANK5 用户管脚；单端信号
164	E6	0	5	U5_1P_G0_AD4P	BANK5 用户管脚；差分信号的正端；存储器字节组 0；ADC 的差分输入 4 正端
165	E5	0	5	U5_1N_G0_AD4N	BANK5 用户管脚；差分信号的负端；存储器字节组 0；ADC 的差分输入 4 负端
166	G6	0	5	U5_2P_G0_AD12P	BANK5 用户管脚；差分信号的正端；存储器字节组 0；ADC 的差分输入 12 正端
167	F6	0	5	U5_2N_G0_AD12N	BANK5 用户管脚；差分信号的负端；存储器字节组 0；ADC 的差分输入 12 负端
168	H6	0	5	U5_3P_G0_DQS_AD5P	BANK5 用户管脚；差分信号的正端；存储器字节组 0 的 DDR DQS；ADC 的差分输入 5 正端
169	H5	0	5	U5_3N_G0_DQS_AD5N	BANK5 用户管脚；差分信号的负端；存储器字节组 0 的 DDR DQS；ADC 的差分输入 5 负端
170	E7	0	5	U5_4P_G0	BANK5 用户管脚；差分信号的正端；存储器字节组 0；
171	D7	0	5	U5_4N_G0	BANK5 用户管脚；差分信号的负端；存储器字节组 0；
172	C6	0	5	U5_5P_G0_AD13P	BANK5 用户管脚；差分信号的正端；ADC 的差分输入 13 正端
173	C5	0	5	U5_5N_G0_AD13N	BANK5 用户管脚；差分信号的负端；ADC 的差分输入 13 负端
174	D8	0	5	U5_6P_G0	BANK5 用户管脚；差分信号的正端；存储器字节组 0；
175	C7	0	5	U5_6N_G0_VREF	BANK5 用户管脚；差分信号的负端；存储器字节组 0；特殊电平标准的电压参考阈值
176	D5	1	5	U5_7P_G1_AD6P	BANK5 用户管脚；差分信号的正端；存储器字节组 1；ADC 的差分输入 6 正端
177	D4	1	5	U5_7N_G1_AD6N	BANK5 用户管脚；差分信号的负端；存储器字节组 1；ADC 的差分输入 6 负端
178	B7	1	5	U5_8P_G1_AD14P	BANK5 用户管脚；差分信号的正端；存储器字节组 1；ADC 的差分输入 14 正端
179	B6	1	5	U5_8N_G1_AD14N	BANK5 用户管脚；差分信号的负端；存储器字节组 1；ADC 的差分输入 14 负端
180	A6	1	5	U5_9P_G1_DQS	BANK5 用户管脚；差分信号的正端；存储器字节组 1 的 DDR DQS



序号	位置	Memory Group	Bank	信号名	说明
181	A5	1	5	U5_9N_G1_DQS	BANK5 用户管脚；差分信号的负端；存储器字节组 1 的 DDR DQS
182	A4	1	5	U5_10P_G1_AD15P	BANK5 用户管脚；差分信号的正端；存储器字节组 1；ADC 的差分输入 15 正端；
183	A3	1	5	U5_10N_G1_AD15N	BANK5 用户管脚；差分信号的负端；存储器字节组 1；ADC 的差分输入 15 负端
184	G4	1	5	U5_11P_G1_SRC	BANK5 用户管脚；差分信号的正端；存储器字节组 1；局部时钟输入
185	G3	1	5	U5_11N_G1_SRC	BANK5 用户管脚；差分信号的负端；存储器字节组 1；局部时钟输入
186	J4	1	5	U5_12P_G1_MRC	BANK5 用户管脚；差分信号的正端；存储器字节组 1；全局时钟输入
187	H4	1	5	U5_12N_G1_MRC	BANK5 用户管脚；差分信号的负端；存储器字节组 1；全局时钟输入
188	F3	2	5	U5_13P_G2_MRC	BANK5 用户管脚；差分信号的正端；存储器字节组 2；全局时钟输入
189	F4	2	5	U5_13N_G2_MRC	BANK5 用户管脚；差分信号的负端；存储器字节组 2；全局时钟输入
190	C4	2	5	U5_14P_G2_SRC	BANK5 用户管脚；差分信号的正端；存储器字节组 2；局部时钟输入
191	B4	2	5	U5_14N_G2_SRC	BANK5 用户管脚；差分信号的负端；存储器字节组 2；局部时钟输入
192	E3	2	5	U5_15P_G2_DQS	BANK5 用户管脚；差分信号的正端；存储器字节组 2 的 DDR DQS；
193	D3	2	5	U5_15N_G2_DQS	BANK5 用户管脚；差分信号的负端；存储器字节组 2 的 DDR DQS；
194	J3	2	5	U5_16P_G2	BANK5 用户管脚；差分信号的正端；存储器字节组 2；
195	J2	2	5	U5_16N_G2	BANK5 用户管脚；差分信号的负端；存储器字节组 2；
196	B2	2	5	U5_17P_G2	BANK5 用户管脚；差分信号的正端；存储器字节组 2；
197	B3	2	5	U5_17N_G2	BANK5 用户管脚；差分信号的负端；存储器字节组 2；
198	A1	2	5	U5_18P_G2	BANK5 用户管脚；差分信号的正端；存储器字节组 2；
199	B1	2	5	U5_18N_G2	BANK5 用户管脚；差分信号的负端；存储器字节组 2；
200	G2	3	5	U5_19P_G3	BANK5 用户管脚；差分信号的正端；存储器字节组 3；
201	H2	3	5	U5_19N_G3_VREF	BANK5 用户管脚；差分信号的负端；存储器字节组 3；特殊电平标准的电压参考阈值



序号	位置	Memory Group	Bank	信号名	说明
202	C1	3	5	U5_20P_G3	BANK5 用户管脚；差分信号的正端；存储器字节组 3；
203	C2	3	5	U5_20N_G3	BANK5 用户管脚；差分信号的负端；存储器字节组 3；
204	H1	3	5	U5_21P_G3_DQS	BANK5 用户管脚；差分信号的正端；存储器字节组 3 的 DDR DQS；
205	G1	3	5	U5_21N_G3_DQS	BANK5 用户管脚；差分信号的负端；存储器字节组 3 的 DDR DQS；
206	E2	3	5	U5_22P_G3	BANK5 用户管脚；差分信号的正端；存储器字节组 3；
207	D2	3	5	U5_22N_G3	BANK5 用户管脚；差分信号的负端；存储器字节组 3；
208	K1	3	5	U5_23P_G3	BANK5 用户管脚；差分信号的正端；存储器字节组 3；
209	K2	3	5	U5_23N_G3	BANK5 用户管脚；差分信号的负端；存储器字节组 3；
210	E1	3	5	U5_24P_G3	BANK5 用户管脚；差分信号的正端；存储器字节组 3；
211	F1	3	5	U5_24N_G3	BANK5 用户管脚；差分信号的负端；存储器字节组 3；
212	J5	N/A	5	U5_S25	BANK5 用户管脚；单端信号
213	P10	N/A	0	F0_CFG_DONE	配置完成信号
214	L10	N/A	0	NC	
215	H9	N/A	0	F0_GNDADC	ADC 模拟地
216	H10	N/A	0	F0_VCCADC	ADC 模拟电源
217	K10	N/A	0	F0_VREFP	ADC 1.25V 参考电源输入，正端
218	E8	N/A	0	F0_VCCBAT	保存密钥的电池电源输入
219	E10	N/A	0	F0_TCK	JTAG 时钟
220	L9	N/A	0	NC	
221	J9	N/A	0	F0_VREFN	ADC 1.25V 参考电源输入，负端
222	E9	N/A	0	F0_CFG_CLK	配置时钟
223	P12	N/A	0	F0_CFG_T0	配置模式选择
224	P13	N/A	0	F0_CFG_T1	配置模式选择
225	P7	N/A	0	F0_CFG_STA_B	配置 memory 的初始化标识
226	E11	N/A	0	F0_TDI	JTAG 数据输入
227	E13	N/A	0	F0_TDO	JTAG 数据输出
228	P11	N/A	0	F0_CFG_T2	配置模式选择
229	P8	N/A	0	F0_CFG_V	选择配置相关 BANK 在配置过程中的电压
230	P9	N/A	0	F0_CFG_ENB	配置使能
231	E12	N/A	0	F0_TMS	JTAG 模式选择
232	A12	N/A	N/A	GND	数字地
233	A2	N/A	N/A	GND	数字地
234	B15	N/A	N/A	GND	数字地
235	B5	N/A	N/A	GND	数字地



序号	位置	Memory Group	Bank	信号名	说明
236	C18	N/A	N/A	GND	数字地
237	C8	N/A	N/A	GND	数字地
238	D11	N/A	N/A	GND	数字地
239	D1	N/A	N/A	GND	数字地
240	E14	N/A	N/A	GND	数字地
241	E4	N/A	N/A	GND	数字地
242	F17	N/A	N/A	GND	数字地
243	F11	N/A	N/A	GND	数字地
244	F9	N/A	N/A	GND	数字地
245	F7	N/A	N/A	GND	数字地
246	G12	N/A	N/A	GND	数字地
247	G10	N/A	N/A	GND	数字地
248	G8	N/A	N/A	GND	数字地
249	H13	N/A	N/A	GND	数字地
250	H11	N/A	N/A	GND	数字地
251	H7	N/A	N/A	GND	数字地
252	H3	N/A	N/A	GND	数字地
253	J16	N/A	N/A	GND	数字地
254	J12	N/A	N/A	GND	数字地
255	J8	N/A	N/A	GND	数字地
256	J6	N/A	N/A	GND	数字地
257	K11	N/A	N/A	GND	数字地
258	K7	N/A	N/A	GND	数字地
259	L12	N/A	N/A	GND	数字地
260	L8	N/A	N/A	GND	数字地
261	L2	N/A	N/A	GND	数字地
262	M15	N/A	N/A	GND	数字地
263	M11	N/A	N/A	GND	数字地
264	M9	N/A	N/A	GND	数字地
265	M7	N/A	N/A	GND	数字地
266	M5	N/A	N/A	GND	数字地
267	N18	N/A	N/A	GND	数字地
268	N12	N/A	N/A	GND	数字地
269	N10	N/A	N/A	GND	数字地
270	N8	N/A	N/A	GND	数字地
271	P1	N/A	N/A	GND	数字地
272	R14	N/A	N/A	GND	数字地
273	R4	N/A	N/A	GND	数字地
274	T17	N/A	N/A	GND	数字地
275	T7	N/A	N/A	GND	数字地
276	U10	N/A	N/A	GND	数字地
277	V13	N/A	N/A	GND	数字地
278	V3	N/A	N/A	GND	数字地
279	F8	N/A	N/A	VCCCORE	核电压输入管脚
280	G9	N/A	N/A	VCCCORE	核电压输入管脚



序号	位置	Memory Group	Bank	信号名	说明
281	G7	N/A	N/A	VCCCORE	核电压输入管脚
282	H8	N/A	N/A	VCCCORE	核电压输入管脚
283	J11	N/A	N/A	VCCCORE	核电压输入管脚
284	J7	N/A	N/A	VCCCORE	核电压输入管脚
285	K8	N/A	N/A	VCCCORE	核电压输入管脚
286	L11	N/A	N/A	VCCCORE	核电压输入管脚
287	L7	N/A	N/A	VCCCORE	核电压输入管脚
288	M10	N/A	N/A	VCCCORE	核电压输入管脚
289	M8	N/A	N/A	VCCCORE	核电压输入管脚
290	N11	N/A	N/A	VCCCORE	核电压输入管脚
291	N9	N/A	N/A	VCCCORE	核电压输入管脚
292	N7	N/A	N/A	VCCCORE	核电压输入管脚
293	F12	N/A	N/A	VCCSUP	辅助电压输入管脚
294	H12	N/A	N/A	VCCSUP	辅助电压输入管脚
295	K12	N/A	N/A	VCCSUP	辅助电压输入管脚
296	M12	N/A	N/A	VCCSUP	辅助电压输入管脚
297	R9	N/A	0	F0_VCCP	BANK0 电压输入管脚
298	L17	N/A	1	U1_VCCP	BANK1 电压输入管脚
299	N13	N/A	1	U1_VCCP	BANK1 电压输入管脚
300	P16	N/A	1	U1_VCCP	BANK1 电压输入管脚
301	T12	N/A	1	U1_VCCP	BANK1 电压输入管脚
302	U15	N/A	1	U1_VCCP	BANK1 电压输入管脚
303	V18	N/A	1	U1_VCCP	BANK1 电压输入管脚
304	A17	N/A	2	U2_VCCP	BANK2 电压输入管脚
305	C13	N/A	2	U2_VCCP	BANK2 电压输入管脚
306	D16	N/A	2	U2_VCCP	BANK2 电压输入管脚
307	G15	N/A	2	U2_VCCP	BANK2 电压输入管脚
308	H18	N/A	2	U2_VCCP	BANK2 电压输入管脚
309	K14	N/A	2	U2_VCCP	BANK2 电压输入管脚
310	B10	N/A	3	U3_VCCP	BANK3 电压输入管脚
311	K4	N/A	4	U4_VCCP	BANK4 电压输入管脚
312	N3	N/A	4	U4_VCCP	BANK4 电压输入管脚
313	P6	N/A	4	U4_VCCP	BANK4 电压输入管脚
314	T2	N/A	4	U4_VCCP	BANK4 电压输入管脚
315	U5	N/A	4	U4_VCCP	BANK4 电压输入管脚
316	V8	N/A	4	U4_VCCP	BANK4 电压输入管脚
317	A7	N/A	5	U5_VCCP	BANK5 电压输入管脚
318	C3	N/A	5	U5_VCCP	BANK5 电压输入管脚
319	D6	N/A	5	U5_VCCP	BANK5 电压输入管脚
320	F2	N/A	5	U5_VCCP	BANK5 电压输入管脚
321	G5	N/A	5	U5_VCCP	BANK5 电压输入管脚
322	J1	N/A	5	U5_VCCP	BANK5 电压输入管脚
323	F10	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
324	G11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚

4.3.3 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 引脚信息

表 4-5 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 引脚

序号	位置	Memory Group	Bank	信号名	说明
1	B13	N/A	0	F0_VIN	ADC 模拟输入，负端
2	A12	N/A	0	F0_VIP	ADC 模拟输入，正端
3	D17	N/A	1	U1_S0	BANK1 用户管脚，单端
4	D18	0	1	U1_1P_G0_D00_MOSI	BANK1 用户管脚；差分信号的正端；配置数据管脚 0；SPI flash 命令输出
5	D19	0	1	U1_1N_G0_D01_DIN	BANK1 用户管脚；差分信号的负端；配置数据管脚 1；串行数据输入管脚；
6	G18	0	1	U1_2P_G0_D02	BANK1 用户管脚；差分信号的正端；配置数据管脚 2
7	F18	0	1	U1_2N_G0_D03	BANK1 用户管脚；差分信号的负端；配置数据管脚 3
8	E18	0	1	U1_3P_G0_DQS_PUDC_B	BANK1 用户管脚；差分信号的正端；配置过程中上拉控制信号
9	E19	0	1	U1_3N_G0_DQS_ECLK	BANK1 用户管脚；差分信号的正端；外部配置时钟
10	H19	0	1	U1_4P_G0_D04	BANK1 用户管脚；差分信号的正端；配置数据管脚 4
11	G19	0	1	U1_4N_G0_D05	BANK1 用户管脚；差分信号的负端；配置数据管脚 5
12	H17	0	1	U1_5P_G0_D06	BANK1 用户管脚；差分信号的正端；配置数据管脚 6
13	G17	0	1	U1_5N_G0_D07	BANK1 用户管脚；差分信号的负端；配置数据管脚 7
14	K19	0	1	U1_6P_G0_CS_B	BANK1 用户管脚；差分信号的正端；BPI flash 片选
15	J19	0	1	U1_6N_G0_D08_VREF	BANK1 用户管脚；差分信号的负端；配置数据管脚 8；特殊电平标准的电压参考阈值
16	J17	1	1	U1_7P_G1_D09	BANK1 用户管脚；差分信号的正端；配置数据管脚 9
17	J18	1	1	U1_7N_G1_D10	BANK1 用户管脚；差分信号的负端；配置数据管脚 10
18	L18	1	1	U1_8P_G1_D11	BANK1 用户管脚；差分信号的正端；配置数据管脚 11
19	K18	1	1	U1_8N_G1_D12	BANK1 用户管脚；差分信号的负端；配置数据管脚 12
20	N18	1	1	U1_9P_G1_DQS	BANK1 用户管脚；差分信号的正端；
21	N19	1	1	U1_9N_G1_DQS_D13	BANK1 用户管脚；差分信号的负端；配置数据管脚 13
22	P19	1	1	U1_10P_G1_D14	BANK1 用户管脚；差分信号的正端；配置数据管脚 14

序号	位置	Memory Group	Bank	信号名	说明
23	R19	1	1	U1_10N_G1_D15	BANK1 用户管脚；差分信号的负端；配置数据管脚 15
24	M18	1	1	U1_11P_G1_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
25	M19	1	1	U1_11N_G1_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
26	L17	1	1	U1_12P_G1_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
27	K17	1	1	U1_12N_G1_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
28	N17	2	1	U1_13P_G2_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
29	P17	2	1	U1_13N_G2_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
30	P18	2	1	U1_14P_G2_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
31	R18	2	1	U1_14N_G2_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
32	U19	2	1	U1_15P_G2_DQS_RDWR_B	BANK1 用户管脚；差分信号的正端；SelectMap 数据总线方向
33	V19	2	1	U1_15N_G2_DQS_CFGDO_C SON_B	BANK1 用户管脚；差分信号的负端；菊花链配置数据输出；并行菊花链的片选。
34	W18	2	1	U1_16P_G2_CSIN_B	BANK1 用户管脚；差分信号的正端；SelectMap 片选输入
35	W19	2	1	U1_16N_G2_A15_D31	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 15；配置数据管脚 31
36	T17	2	1	U1_17P_G2_A14_D30	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 14；配置数据管脚 30
37	T18	2	1	U1_17N_G2_A13_D29	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 13；配置数据管脚 29
38	U17	2	1	U1_18P_G2_A12_D28	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 12；配置数据管脚 28
39	U18	2	1	U1_18N_G2_A11_D27	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 11；配置数据管脚 27
40	V16	3	1	U1_19P_G3_A10_D26	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 10；配置数据管脚 26
41	V17	3	1	U1_19N_G3_A09_D25_VREF	BANK1 用户管脚；差分信号的负端；BPI 地址管脚 09；配置数据管脚 25；特殊电平标准的电压参考阈值
42	W16	3	1	U1_20P_G3_A08_D24	BANK1 用户管脚；差分信号的正端；BPI 地址管脚 8；配置数据管脚 24
43	W17	3	1	U1_20N_G3_A07_D23	BANK1 用户管脚；差分信号的负端；

序号	位置	Memory Group	Bank	信号名	说明
					BPI 地址管脚 7; 配置数据管脚 23
44	V15	3	1	U1_21P_G3_DQS	BANK1 用户管脚; 差分信号的正端;
45	W15	3	1	U1_21N_G3_DQS_A06_D22	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 06; 配置数据管脚 22
46	W13	3	1	U1_22P_G3_A05_D21	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 05; 配置数据管脚 21
47	W14	3	1	U1_22N_G3_A04_D20	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 04; 配置数据管脚 20
48	U15	3	1	U1_23P_G3_A03_D19	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 03; 配置数据管脚 19
49	U16	3	1	U1_23N_G3_A02_D18	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 02; 配置数据管脚 18
50	V13	3	1	U1_24P_G3_A01_D17	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 01; 配置数据管脚 17
51	V14	3	1	U1_24N_G3_A00_D16	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 0; 配置数据管脚 26
52	U14	N/A	1	U1_S25	BANK1 用户管脚; 单端信号
53	A14	0	3	U3_6P_G0	BANK3 用户管脚; 差分信号的正端;
54	A15	0	3	U3_6N_G0_VREF	BANK3 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
55	C15	1	3	U3_11P_G1_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
56	B15	1	3	U3_11N_G1_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
57	A16	1	3	U3_12P_G1_MRC	BANK3 用户管脚; 差分信号的正端; 全局时钟管脚
58	A17	1	3	U3_12N_G1_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
59	C16	2	3	U3_13P_G2_MRC	BANK3 用户管脚; 差分信号的正端; 全局时钟管脚
60	B16	2	3	U3_13N_G2_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
61	C17	2	3	U3_14P_G2_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
62	B17	2	3	U3_14N_G2_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
63	B18	3	3	U3_19P_G3	BANK3 用户管脚; 差分信号的正端;
64	A18	3	3	U3_19N_G3_VREF	BANK3 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
65	R2	0	4	U4_1P_G0	BANK4 用户管脚; 差分信号的正端;
66	T2	0	4	U4_1N_G0	BANK4 用户管脚; 差分信号的负端;
67	R3	0	4	U4_2P_G0	BANK4 用户管脚; 差分信号的正端;
68	T3	0	4	U4_2N_G0	BANK4 用户管脚; 差分信号的负端;



序号	位置	Memory Group	Bank	信号名	说明
69	T1	0	4	U4_3P_G0_DQS	BANK4 用户管脚; 差分信号的正端;
70	U1	0	4	U4_3N_G0_DQS	BANK4 用户管脚; 差分信号的负端;
71	V2	0	4	U4_5P_G0	BANK4 用户管脚; 差分信号的正端;
72	W2	0	4	U4_5N_G0	BANK4 用户管脚; 差分信号的负端;
73	V3	0	4	U4_6P_G0	BANK4 用户管脚; 差分信号的正端;
74	W3	0	4	U4_6N_G0_VREF	BANK4 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
75	U3	1	4	U4_9P_G1_DQS	BANK4 用户管脚; 差分信号的正端;
76	U2	1	4	U4_9N_G1_DQS	BANK4 用户管脚; 差分信号的负端;
77	U4	1	4	U4_11P_G1_SRC	BANK4 用户管脚; 差分信号的正端; 局部时钟管脚
78	V4	1	4	U4_11N_G1_SRC	BANK4 用户管脚; 差分信号的负端; 局部时钟管脚
79	W5	1	4	U4_12P_G1_MRC	BANK4 用户管脚; 差分信号的正端; 全局时钟管脚
80	W4	1	4	U4_12N_G1_MRC	BANK4 用户管脚; 差分信号的负端; 全局时钟管脚
81	W7	2	4	U4_13P_G2_MRC	BANK4 用户管脚; 差分信号的正端; 全局时钟管脚
82	W6	2	4	U4_13N_G2_MRC	BANK4 用户管脚; 差分信号的负端; 全局时钟管脚
83	U8	2	4	U4_14P_G2_SRC	BANK4 用户管脚; 差分信号的正端; 局部时钟管脚
84	V8	2	4	U4_14N_G2_SRC	BANK4 用户管脚; 差分信号的负端; 局部时钟管脚
85	U5	2	4	U4_16P_G2	BANK4 用户管脚; 差分信号的正端;
86	V5	2	4	U4_16N_G2	BANK4 用户管脚; 差分信号的负端;
87	U7	3	4	U4_19P_G3	BANK4 用户管脚; 差分信号的正端;
88	V7	3	4	U4_19N_G3_VREF	BANK4 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
89	G3	0	5	U5_1P_G0_AD4P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 4 正端
90	G2	0	5	U5_1N_G0_AD4N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 4 负端
91	H2	0	5	U5_2P_G0_AD12P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 12 正端
92	J2	0	5	U5_2N_G0_AD12N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 12 负端
93	H1	0	5	U5_3P_G0_DQS_AD5P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 5 正端
94	J1	0	5	U5_3N_G0_DQS_AD5N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 5 负端
95	K2	0	5	U5_5P_G0_AD13P	BANK5 用户管脚; 差分信号的正端;



序号	位置	Memory Group	Bank	信号名	说明
					ADC 的差分输入 13 正端
96	L2	0	5	U5_5N_G0_AD13N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 13 负端
97	L1	0	5	U5_6N_G0_VREF	BANK5 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
98	J3	1	5	U5_7P_G1_AD6P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 6 正端
99	K3	1	5	U5_7N_G1_AD6N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 6 负端
100	L3	1	5	U5_8P_G1_AD14P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 14 正端
101	M3	1	5	U5_8N_G1_AD14N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 14 负端
102	M2	1	5	U5_9P_G1_DQS_AD7P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 7 正端
103	M1	1	5	U5_9N_G1_DQS_AD7N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 7 负端
104	N2	1	5	U5_10P_G1_AD15P	BANK5 用户管脚; 差分信号的正端; ADC 的差分输入 15 正端
105	N1	1	5	U5_10N_G1_AD15N	BANK5 用户管脚; 差分信号的负端; ADC 的差分输入 15 负端
106	N3	1	5	U5_12P_G1_MRC	BANK5 用户管脚; 差分信号的正端; 全局时钟输入
107	P3	1	5	U5_12N_G1_MRC	BANK5 用户管脚; 差分信号的负端; 全局时钟输入
108	P1	3	5	U5_19N_G3_VREF	BANK5 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
109	A8	N/A	101	U101_UHSTREFCLK0N	UHST #0 的参考时钟, 负端
110	B8	N/A	101	U101_UHSTREFCLK0P	UHST #0 的参考时钟, 正端
111	B6	N/A	101	U101_UHST2RXP1	UHST #1 的接收端, 正端
112	B4	N/A	101	U101_UHST2RXP0	UHST #0 的接收端, 正端
113	B10	N/A	101	U101_UHSTREFCLK1P	UHST #1 的参考时钟, 正端
114	A10	N/A	101	U101_UHSTREFCLK1N	UHST #1 的参考时钟, 负端
115	A6	N/A	101	U101_UHST2RXN1	UHST #1 的接收端, 负端
116	A4	N/A	101	U101_UHST2RXN0	UHST #0 的接收端, 负端
117	B2	N/A	101	U101_UHST2TXP1	UHST #1 的发送端, 正端
118	A2	N/A	101	U101_UHST2TXN1	UHST #1 的发送端, 负端
119	D2	N/A	101	U101_UHST2TXP0	UHST #0 的发送端, 正端
120	D1	N/A	101	U101_UHST2TXN0	UHST #0 的发送端, 负端
121	U12	N/A	0	F0_CFG_DONE	配置完成信号
122	A11	#N/A	0	NC	
123	C12	N/A	0	F0_GNDADC	ADC 模拟地
124	C13	N/A	0	F0_VCCADC	ADC 模拟电源



序号	位置	Memory Group	Bank	信号名	说明
125	B12	N/A	0	F0_VREFP	ADC 1.25V 参考电源输入, 正端
126	C9	N/A	0	F0_VCCBAT	保存密钥的电池电源输入
127	C8	N/A	0	F0_TCK	JTAG 时钟
128	B11	#N/A	0	NC	
129	A13	N/A	0	F0_VREFN	ADC 1.25V 参考电源输入, 负端
130	C11	N/A	0	F0_CFG_CLK	配置时钟
131	V12	N/A	0	F0_CFG_T0	配置模式选择
132	W11	N/A	0	F0_CFG_T1	配置模式选择
133	U11	N/A	0	F0_CFG_STA_B	配置 memory 的初始化标识
134	W10	N/A	0	F0_TDI	JTAG 数据输入
135	W8	N/A	0	F0_TDO	JTAG 数据输出
136	U10	N/A	0	F0_CFG_T2	配置模式选择
137	V11	N/A	0	F0_CFG_V	选择配置相关 BANK 在配置过程中的电压
138	V10	N/A	0	F0_CFG_ENB	配置使能
139	W9	N/A	0	F0_TMS	JTAG 模式选择
140	C7	N/A	101	U101_UHSTREF	内部校准终端用精密参考电阻管脚
141	M11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
142	N11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
143	A1	N/A	N/A	GND	地
144	A3	N/A	N/A	GND	地
145	A5	N/A	N/A	GND	地
146	A7	N/A	N/A	GND	地
147	A9	N/A	N/A	GND	地
148	A19	N/A	N/A	GND	地
149	B3	N/A	N/A	GND	地
150	B5	N/A	N/A	GND	地
151	B7	N/A	N/A	GND	地
152	B9	N/A	N/A	GND	地
153	B14	N/A	N/A	GND	地
154	C2	N/A	N/A	GND	地
155	C3	N/A	N/A	GND	地
156	C4	N/A	N/A	GND	地
157	C6	N/A	N/A	GND	地
158	C10	N/A	N/A	GND	地
159	C19	N/A	N/A	GND	地
160	D3	N/A	N/A	GND	地
161	E3	N/A	N/A	GND	地
162	E17	N/A	N/A	GND	地
163	F1	N/A	N/A	GND	地
164	F2	N/A	N/A	GND	地
165	F19	N/A	N/A	GND	地
166	G1	N/A	N/A	GND	地



序号	位置	Memory Group	Bank	信号名	说明
167	G8	N/A	N/A	GND	地
168	G11	N/A	N/A	GND	地
169	H7	N/A	N/A	GND	地
170	H8	N/A	N/A	GND	地
171	H11	N/A	N/A	GND	地
172	H12	N/A	N/A	GND	地
173	H18	N/A	N/A	GND	地
174	J8	N/A	N/A	GND	地
175	J9	N/A	N/A	GND	地
176	J11	N/A	N/A	GND	地
177	J12	N/A	N/A	GND	地
178	K8	N/A	N/A	GND	地
179	L8	N/A	N/A	GND	地
180	L9	N/A	N/A	GND	地
181	L11	N/A	N/A	GND	地
182	L19	N/A	N/A	GND	地
183	M9	N/A	N/A	GND	地
184	M13	N/A	N/A	GND	地
185	N9	N/A	N/A	GND	地
186	N12	N/A	N/A	GND	地
187	N13	N/A	N/A	GND	地
188	P2	N/A	N/A	GND	地
189	T19	N/A	N/A	GND	地
190	U6	N/A	N/A	GND	地
191	U9	N/A	N/A	GND	地
192	V18	N/A	N/A	GND	地
193	W1	N/A	N/A	GND	地
194	W12	N/A	N/A	GND	地
195	G10	N/A	N/A	VCCCORE	核电压输入管脚
196	H10	N/A	N/A	VCCCORE	核电压输入管脚
197	J10	N/A	N/A	VCCCORE	核电压输入管脚
198	L10	N/A	N/A	VCCCORE	核电压输入管脚
199	M10	N/A	N/A	VCCCORE	核电压输入管脚
200	N10	N/A	N/A	VCCCORE	核电压输入管脚
201	H13	N/A	N/A	VCCSUP	辅助电压输入管脚
202	J13	N/A	N/A	VCCSUP	辅助电压输入管脚
203	V9	N/A	0	F0_VCCP	BANK0 电压输入管脚
204	G12	N/A	0	F0_VCCP	BANK0 电压输入管脚
205	F17	N/A	1	U1_VCCP	BANK1 电压输入管脚
206	K12	N/A	1	U1_VCCP	BANK1 电压输入管脚
207	K13	N/A	1	U1_VCCP	BANK1 电压输入管脚
208	L12	N/A	1	U1_VCCP	BANK1 电压输入管脚
209	L13	N/A	1	U1_VCCP	BANK1 电压输入管脚



序号	位置	Memory Group	Bank	信号名	说明
210	M12	N/A	1	U1_VCCP	BANK1 电压输入管脚
211	M17	N/A	1	U1_VCCP	BANK1 电压输入管脚
212	R17	N/A	1	U1_VCCP	BANK1 电压输入管脚
213	U13	N/A	1	U1_VCCP	BANK1 电压输入管脚
214	B19	N/A	3	U3_VCCP	BANK3 电压输入管脚
215	C14	N/A	3	U3_VCCP	BANK3 电压输入管脚
216	C18	N/A	3	U3_VCCP	BANK3 电压输入管脚
217	G13	N/A	3	U3_VCCP	BANK3 电压输入管脚
218	M8	N/A	4	U4_VCCP	BANK4 电压输入管脚
219	N7	N/A	4	U4_VCCP	BANK4 电压输入管脚
220	N8	N/A	4	U4_VCCP	BANK4 电压输入管脚
221	R1	N/A	4	U4_VCCP	BANK4 电压输入管脚
222	V1	N/A	4	U4_VCCP	BANK4 电压输入管脚
223	V6	N/A	4	U4_VCCP	BANK4 电压输入管脚
224	H3	N/A	5	U5_VCCP	BANK5 电压输入管脚
225	J7	N/A	5	U5_VCCP	BANK5 电压输入管脚
226	K1	N/A	5	U5_VCCP	BANK5 电压输入管脚
227	K7	N/A	5	U5_VCCP	BANK5 电压输入管脚
228	L7	N/A	5	U5_VCCP	BANK5 电压输入管脚
229	M7	N/A	5	U5_VCCP	BANK5 电压输入管脚
230	C1	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
231	E1	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
232	F3	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
233	G9	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
234	H9	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
235	B1	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
236	C5	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
237	E2	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
238	G7	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入

5 性能指标

5.1 器件工作条件

表 5-1 推荐工作条件

信号	描述	最小值	典型值	最大值	单位
FPGA 逻辑					
V _{CCORE}	核电压	0.97	1.00	1.03	V
V _{CCSUP}	辅助电压	1.71	1.80	1.89	V
V _{CCHRAM}	内部高速 RAM 电压	0.97	1.00	1.03	V
V _{CCP}	I/O Bank 电压	1.14	-	3.45	V
V _{IN}	I/O 输入电压	-0.20	-	V _{CCP} +0.20	V
	I/O 输入电压 V _{CCP} 为 3.3V, V _{REF} 和差分 I/O 标准为 TMDS_33 时	-0.20	-	2.625	V
I _{IN}	当钳位二极管正向偏置时, 通电或未通电 BANK 中任何引脚的最大电流。	-	-	10	mA
V _{CCBAT}	电池电压	0	-	1.89	V
UHST					
V _{UHSTVCC}	UHST 发送器和接收器电路的内核电源电压 (传输速率≤6.6Gbps)	0.97	1.0	1.03	V
	UHST 发送器和接收器电路的内核电源电压 (6.6Gbps < 传输速率≤10.3125Gbps)	0.97	1.0	1.08	V
	UHST 发送器和接收器电路的内核电源电压 (传输速率>10.3125Gbps)	1.02	1.05	1.08	V
V _{UHSTVTT}	UHST 发送器和接收器终端电路的模拟电源电压	1.17	1.2	1.23	V
SYS_MON					
V _{CCADC}	SYS_MON 相对于 GNDADC 的电源电压	1.71	1.80	1.89	V
V _{REFP}	外部参考电压	1.20	1.25	1.30	V
工作温度					
T _J	结温(JFMK50、JFMK50T2、JFMK50T4)	-40	-	+100	℃
T _J	结温(JFMK50-AS、JFMK50T2-AS、JFMK50T4-AS、JFMK50-N、JFMK50T2-N、JFMK50T4-N)	-55	-	+125	℃

5.2 电参数

5.2.1 电特性参数

表 5-2 电特性

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	测试方法	极限值		单位
				最小值	最大值	
V_{CCCORE} 电源静态电流	$I_{CCCOREQ}$ 注	器件没有配置, 没有输出电流负载, 没有使能上拉电阻, 并且所有 I/O 引脚处于三态或者悬空, $V_{CCCORE}=1.03V$, $V_{CCSUP}=1.89V$, $V_{CCP}=3.465V$, $V_{CCHRAM}=1.03V$, $V_{CCP0}=3.465V$	—	—	1000	mA
V_{CCP} 电源静态电流 ^d	I_{CCPQ} 注			—	10	mA
V_{CCSUP} 电源静态电流	I_{CCSUPQ} 注			—	100	mA
V_{CCP0} 电源静态电流	I_{CCPQ} 注			—	10	mA
V_{CCHRAM} 电源静态电流	$I_{CCHRAMQ}$ 注			—	20	mA
V_{CCCORE} 上电电流 ^e	I_{CCCORE}	上电顺序 V_{CCCORE} 、 V_{CCHRAM} 、	—	$I_{CCCOREQ}+300$	—	mA
V_{CCSUP} 上电电流 ^e	I_{CCSUP}	V_{CCSUP} 、 V_{CCP} ^e , $V_{CCCORE}=1.0V$,	—	$I_{CCSUPQ}+50$	—	mA
V_{CCP} 上电电流 ^e	I_{CCP}	$V_{CCSUP}=1.8V$, $V_{CCP}=3.3V$,	—	$I_{CCPQ}+50/\text{Bank}$	—	mA
V_{CCHRAM} 上电电流 ^e	I_{CCHRAM}	$V_{CCP0}=1.8V$, $V_{CCHRAM}=1.0V$	—	$I_{CCHRAMQ}+100$	—	mA
数据保持 V_{CCCORE} 电压 (低于该电压时, 配置数据可能会丢失)	V_{DRINT} 注	$V_{CCP}=3.3V$, $V_{CCP0}=1.8V$, $V_{CCSUP}=1.8V$, 初始 $V_{CCCORE}=1.0V$	—	0.85	—	V
数据保持 V_{CCSUP} 电压 (低于该电压时, 配置数据可能会丢失)	V_{DRI} 注	$V_{CCP}=3.3V$, $V_{CCP0}=1.8V$, 初始 $V_{CCSUP}=1.8V$, $V_{CCCORE}=1.0V$	—	1.5	—	V
钳位二极管正偏时的最大输入电流	I_{IN} 注	$V_{IN}=V_{CCP}+0.2V$	—	—	10	mA
V_{REF} 漏电流	I_{REF} 注	—	—	—	15	μA
输入或输出漏电流	I_L 注	每个引脚的输入或输出漏电流, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $V_{CCP}=3.465V$	—	—	15	μA
管脚上拉电流	I_{RPU} 注	管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=3.3V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$	—	-330	-90	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=2.5V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-250	-68	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.8V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-250	-34	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.5V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-200	-23	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.2V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-120	-12	μA

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	测试方法	极限值		单位
				最小值	最大值	
管脚下拉电流	I_{RPD} 注	管脚下拉使能, $V_{IN}=V_{CCP}$, $V_{CCP}=3.3V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$	—	68	330	μA
		管脚下拉使能, $V_{IN}=V_{CCP}$, $V_{CCP}=1.8V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$	—	45	250	μA
电池电源电流	I_{BAT} 注	$V_{BAT}=1.89V$	—	—	1500	nA
V_{CCADC} 电源静态电流	I_{CCADC} 注	$V_{CCADC}=1.89V$	—	—	25	mA
interm 终端阻抗	R_{IN_TERM}	UNTUNED_SPLIT_40	—	28	65	ohm
		UNTUNED_SPLIT_50		35	75	ohm
		UNTUNED_SPLIT_60		44	90	ohm
输入电容 ^a	C_{IN}	$f=1MHz$, $V_{IN}=0.1V$, $T_A=25^{\circ}C$	—	—	30	pF
功能测试 ^b	— 注	$V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, V_{CCP} =典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$	—	—	—	—

注：该参数进行三温电性能参数评估试验。功能测试包括可编程资源功能（可编程资源功能测试覆盖器件内部所提供 LB、IOL、CU、CK 的类型），以及互联资源。

^a 仅在初始鉴定或产品重新设计及工艺更改时进行。抽样方案为 116 (0)，样本大小 116 是指引出端数，至少从 3 只样品中抽取。

^b 功能测试内容如下：

- 1 可编程资源功能：可编程资源功能测试覆盖器件内部所提供的所有类型（HRAM、LB、IOU、IOL、CU、CCMU、ANALOG、CK、DDR PHY、SYS_MON、UHST）、以及每一类型所有坐标位置的用户可编程资源；
- 2 配置功能：配置功能测试覆盖所提供的所有配置功能。同时覆盖所有配置存储阵列；
- 3 互联资源；
- 4 典型应用。

^c 设置 ATE 电源通道电流上限，在此上电顺序条件下给被测电路上电，判断电路能否正常启动。

^d V_{ccp} 电源静态电流是指 V_{CCP_1} 、 V_{CCP_2} 、 V_{CCP_3} 、 V_{CCP_4} 、 V_{CCP_5} 电源静态电流。

^e 该参数是保障参数，在设计过程中通过仿真或者测试保证，在鉴定、例行/一致性、生产和交收检验时不进行测试。

5.2.2 IO 电特性参数

表 5-3 IOU 单端接口标准输入直流性能指标—输入低电平电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times$ 典型电源电压 $\leq V_{CCP} \leq 105\% \times$ 典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小值	最大值	
输入低电平电压	V_{IL}	HSTL_I, 典型电源电压 1.5V 注	—	-0.3	$V_{REF}-0.12$	V
		HSTL_I_18, 典型电源电压 1.8V 注		-0.3	$V_{REF}-0.12$	V
		HSTL_II, 典型电源电压 1.5V 注		-0.3	$V_{REF}-0.12$	V
		HSTL_II_18, 典型电源电压 1.8V 注		-0.3	$V_{REF}-0.12$	V

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP=1.8V, VCCP 0=1.8V, 95%×典型电源 电压≤VCCP≤105%×典型电源电压, -55℃≤T _C ≤ 125℃, VREF=VCCP 典型电源电压/2)	测试 方法	极限值		单位
				最小值	最大值	
		HSUL_12, 典型电源电压 1.2V ^注		-0.3	VREF -0.15	V
		LVC MOS12, 典型电源电压 1.2V		-0.3	30% VCCP	V
		LVC MOS15, 典型电源电压 1.5V ^注		-0.3	30% VCCP	V
		LVC MOS18, 典型电源电压 1.8V ^注		-0.3	30% VCCP	V
		LVC MOS25, 典型电源电压 2.5V ^注		-0.3	0.7	V
		LVC MOS33, 典型电源电压 3.3V ^注		-0.3	0.8	V
		LVTTL, 典型电源电压 3.3V ^注		-0.3	0.8	V
		MOBILE_DDR, 典型电源电压 1.8V ^注		-0.3	20% VCCP	V
		PCI33_3, 典型电源电压 3.3V ^注		-0.4	30% VCCP	V
		SSTL135, 典型电源电压 1.35V ^注		-0.3	VREF-0.11	V
		SSTL135_R, 典型电源电压 1.35V ^注		-0.3	VREF-0.11	V
		SSTL15, 典型电源电压 1.5V ^注		-0.3	VREF-0.12	V
		SSTL15_R, 典型电源电压 1.5V ^注		-0.3	VREF-0.12	V
		SSTL18_I, 典型电源电压 1.8V ^注		-0.3	VREF-0.145	V
		SSTL18_II, 典型电源电压 1.8V ^注		-0.3	VREF-0.145	V

注：该参数进行三温电性能参数评估试验。

表 5-4 IOU 单端接口标准输入直流性能指标—输入高电平电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP=1.8V, VCCP 0=1.8V, 95%×典型电源 电压≤VCCP≤105%×典型电源电压, -55℃≤T _C ≤ 125℃, VREF=VCCP 典型电源电压/2)	测试 方法	极限值		单位
				最小值	最大值	
输入高电平	VIH	HSTL_I, 典型电源电压 1.5V ^注	—	VREF +0.12	VCCP+0.3	V
		HSTL_I_18, 典型电源电压 1.8V ^注		VREF +0.15	VCCP +0.3	V
		HSTL_II, 典型电源电压 1.5V ^注		VREF +0.12	VCCP +0.3	V
		HSTL_II_18, 典型电源电压 1.8V ^注		VREF +0.15	VCCP +0.3	V
		HSUL_12, 典型电源电压 1.2V ^注		VREF +0.15	VCCP +0.3	V
		LVC MOS12, 典型电源电压 1.2V		70% VCCP	VCCP +0.3	V
		LVC MOS15, 典型电源电压 1.5V ^注		70% VCCP	VCCP +0.3	V
		LVC MOS18, 典型电源电压 1.8V ^注		70% VCCP	VCCP +0.3	V
		LVC MOS25, 典型电源电压 2.5V ^注		1.7	VCCP +0.3	V
		LVC MOS33, 典型电源电压 3.3V ^注		2	3.45	V
		LVTTL, 典型电源电压 3.3V ^注		2	3.45	V
		MOBILE_DDR, 典型电源电压 1.8V ^注		80% VCCP	VCCP +0.3	V
		PCI33_3, 典型电源电压 3.3V ^注		50% VCCP	VCCP +0.5	V
		SSTL135, 典型电源电压 1.35V ^注		VREF +0.145	VCCP +0.3	V
		SSTL135_R, 典型电源电压 1.35V ^注		VREF +0.11	VCCP +0.3	V
		SSTL15, 典型电源电压 1.5V ^注		VREF +0.12	VCCP +0.3	V



特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP=1.8V, VCCP 0=1.8V, 95%×典型电源电压 ≤VCCP≤105%×典型电源电压, -55℃≤T _C ≤ 125℃, VREF=VCCP 典型电源电压/2)	测试 方法	极限值		单位
				最小值	最大值	
		SSTL15_R, 典型电源电压 1.5V ^注		VREF +0.12	VCCP +0.3	V
		SSTL18_I, 典型电源电压 1.8V ^注		VREF +0.145	VCCP +0.3	V
		SSTL18_II, 典型电源电压 1.8V ^注		VREF +0.145	VCCP +0.3	V

注: 该参数进行三温电性能参数评估试验。

表 5-5 IOU 单端接口标准输出直流性能指标——输出低电平电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP =1.8V, VCCP 0=1.8V, VCCP=95%×典型电源电压, -55℃ ≤T _C ≤125℃, VREF= VCCP 典型电源电压/2)	测试 方法	极限值		单位
				最小值	最大值	
输出低 电平电 压	VOL	HSTL_I, 典型电源电压 1.5V, IOL = 8mA ^{注6}	—	—	0.4	V
		HSTL_I_18, 典型电源电压 1.8V, IOL = 8mA ^{注6}		—	0.4	V
		HSTL_II, 典型电源电压 1.5V, IOL = 16mA ^{注6}		—	0.4	V
		HSTL_II_18, 典型电源电压 1.8V, IOL = 16mA ^{注6}		—	0.4	V
		HSUL_12, 典型电源电压 1.2V, IOL = 0.1mA ^{注6}		—	20% VCCP	V
		LVC MOS12, 典型电源电压 1.2V, IOL ^{注1}		—	0.4	V
		LVC MOS15, 典型电源电压 1.5V, IOL ^{注2 注6}		—	25% VCCP	V
		LVC MOS18, 典型电源电压 1.8V, IOL ^{注3 注6}		—	0.45	V
		LVC MOS25, 典型电源电压 2.5V, IOL ^{注4 注6}		—	0.4	V
		LVC MOS33, 典型电源电压 3.3V, IOL ^{注4 注6}		—	0.4	V
		LVTTL, 典型电源电压 3.3V, IOL ^{注5 注6}		—	0.45	V
		MOBILE_DDR, 典型电源电压 1.8V, IOL = 0.1mA ^{注6}		—	10% VCCP	V
		PCI33_3, 典型电源电压 3.3V, IOL = 1.5mA ^{注6}		—	10% VCCP	V
		SSTL135, 典型电源电压 1.35V, IOL = 13mA ^{注6}		—	VCCP /2-0.15	V
		SSTL135_R, 典型电源电压 1.35V, IOL = 8.9mA ^{注6}		—	VCCP /2-0.15	V
		SSTL15, 典型电源电压 1.5V, IOL = 13mA ^{注6}		—	VCCP /2-0.175	V
		SSTL15_R, 典型电源电压 1.5V, IOL = 8.9mA ^{注6}		—	VCCP /2-0.175	V
		SSTL18_I, 典型电源电压 1.8V, IOL = 8mA ^{注6}		—	VCCP /2-0.47	V
		SSTL18_II, 典型电源电压 1.8V, IOL = 13.4mA ^{注6}		—	VCCP /2-0.5	V



特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP =1.8V, VCCP 0=1.8V, VCCP=95%×典型电源电压, -55℃ ≤Tc≤125℃, VREF= VCCP 典型电源电压/2)	测试方法	极限值		单位
				最小值	最大值	
注						
1. 在 I/O 中支持的驱动能力为 4, 8, 12mA。						
2. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。						
3. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。						
4. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。						
5. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。						
6. 该参数进行三温电性能参数评估试验。						

表 5-6 IOU 单端接口标准输出直流性能指标——输出高电平电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCP 0=1.8V, VCCP=95%×典型电源电压, -55℃ ≤T _C ≤125℃, VREF= VCCP 典型电源电压/2)	测试方法	极限值		单位
				最小值	最大值	
输出高电平电压	VOH	HSTL_I, 典型电源电压 1.5V, IOH = 8mA ^{注6}	—	VCCP-0.4	—	V
		HSTL_I_18, 典型电源电压 1.8V, IOH = 8mA ^{注6}		VCCP -0.4	—	V
		HSTL_II, 典型电源电压 1.5V, IOH = 16mA ^{注6}		VCCP -0.5	—	V
		HSTL_II_18, 典型电源电压 1.8V, IOH = 16mA ^{注6}		VCCP -0.4	—	V
		HSUL_12, 典型电源电压 1.2V, IOH = 0.1mA ^{注6}		80% VCCP	—	V
		LVC MOS12, 典型电源电压 1.2V, IOH ^{注1}		VCCP -0.45	—	V
		LVC MOS15, 典型电源电压 1.5V, IOH ^{注2注6}		70% VCCP	—	V
		LVC MOS18, 典型电源电压 1.8V, IOH ^{注3注6}		VCCP -0.55	—	V
		LVC MOS25, 典型电源电压 2.5V, IOH ^{注4注6}		VCCP -0.4	—	V
		LVC MOS33, 典型电源电压 3.3V, IOH ^{注4注6}		VCCP -0.4	—	V
		LVTTL, 典型电源电压 3.3V, IOH ^{注5注6}		2.4	—	V
		MOBILE_DDR, 典型电源电压 1.8V, IOH = 0.1mA ^{注6}		90% VCCP	—	V
		PCI33_3, 典型电源电压 3.3V, IOH = 0.5mA ^{注6}		90% VCCP	—	V
		SSTL135, 典型电源电压 1.35V, IOH = 13mA ^{注6}		VCCP /2+0.15	—	V
		SSTL135_R, 典型电源电压 1.35V, IOH = 8.9mA ^{注6}		VCCP /2+0.15	—	V
		SSTL15, 典型电源电压 1.5V, IOH = 13mA ^{注6}		VCCP /2+0.175	—	V
		SSTL15_R, 典型电源电压 1.5V, IOH = 8.9mA ^{注6}		VCCP /2+0.175	—	V
		SSTL18_I, 典型电源电压 1.8V, IOH = 8mA ^{注6}		VCCP /2+0.47	—	V
		SSTL18_II, 典型电源电压 1.8V, IOH = 13.4mA ^{注6}		VCCP /2+0.45	—	V

注

1. 在 I/O 中支持的驱动能力为 4, 8, 12mA。
2. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
3. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。
4. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
5. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。
6. 该参数进行三温电性能参数评估试验。

表 5-7 IOU 差分接口标准的直流性能指标

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCP 0=1.8V, 95%× 典型电源电压≤VCCP≤105%×典型电源 电压, -55℃≤Tc≤125℃)	极限值		单位
			最小值	最大值	
MINI_LVDS_25 [‡]					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.247	0.6	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.55	1.6	V
输入差模电压	VID	—	0.2	0.6	V
输入共模电压	VICM	—	0.3	VCCSUP	V
PPDS_25 [‡]					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.1	0.4	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.35	1.4	V
输入差模电压	VID	—	0.1	0.4	V
输入共模电压	VICM	—	0.2	VCCSUP	V
RSDS_25 [‡]					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.1	0.6	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.55	1.6	V
输入差模电压	VID	—	0.1	0.6	V
输入共模电压	VICM	—	0.3	1.5	V
TMDS33					
输出差模电压	VOD	输出端上拉 50ohm 到 VCCO	0.4	0.8	V
输出共模电压	VOCM	输出端上拉 50ohm 到 VCCO	VCCP-0.405	VCCP -0.19	V
输入差模电压	VID	—	0.15	1.2	V
输入共模电压	VICM	—	2.7	3.23	V
LVDS_25 [‡]					
输出高电平电压	VOH	RT=100Ω, 跨接于 Q 和 QB 端口	—	1.8	V
输出低电平电压	VOL	RT=100Ω, 跨接于 Q 和 QB 端口	0.4	—	V
输出差模电压	VODIFF	RT=100Ω, 跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.55	1.625	V
输入差模电压	VIDIFF	输入共模电压为 1.25V	100	600	mV
输入共模电压	VICM	输入差模电压为+/-350mV	0.3	1.5	V
注: 该参数进行三温电性能参数评估试验。					

注: 该参数进行三温电性能参数评估试验。

表 5-8 IOU 差分接口标准输入直流性能指标—互补差分输入共模电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times$ 典型电源电压 $\leq V_{CCP} \leq 105\% \times$ 典型电源电压, $-55^{\circ}C \leq T_c \leq 125^{\circ}C$)	测试方法	极限值		单位
				最小值	最大值	
输入共模电压	VICM ^注	DIFF_HSTL_I, 典型电源电压 1.5V	—	0.3	1.125	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_HSTL_II, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_HSUL_12, 典型电源电压 1.2V		0.3	0.85	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V		0.3	1.425	V

		DIFF_SSTL135, 典型电源电压 1.35V		0.3	1	V
		DIFF_SSTL135_R, 典型电源电压 1.35V		0.3	1	V
		DIFF_SSTL15, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_SSTL15_R, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_SSTL18_I, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_SSTL18_II, 典型电源电压 1.8V		0.3	1.425	V

注：该参数进行三温电性能参数评估试验。

表 5-9 IOU 差分接口标准输入直流性能指标—互补差分输入差模电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}C \leq T_c \leq 125^{\circ}C$)	测试方法	极限值		单位
				最小值	最大值	
输入差模电压	VID 注	DIFF_HSTL_I, 典型电源电压 1.5V	—	0.1	—	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V		0.1	—	V
		DIFF_HSTL_II, 典型电源电压 1.5V		0.1	—	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V		0.1	—	V
		DIFF_HSUL_12, 典型电源电压 1.2V		0.1	—	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V		0.1	—	V
		DIFF_SSTL135, 典型电源电压 1.35V		0.1	—	V
		DIFF_SSTL135_R, 典型电源电压 1.35V		0.1	—	V
		DIFF_SSTL15, 典型电源电压 1.5V		0.1	—	V
		DIFF_SSTL15_R, 典型电源电压 1.5V		0.1	—	V
		DIFF_SSTL18_I, 典型电源电压 1.8V		0.1	—	V
		DIFF_SSTL18_II, 典型电源电压 1.8V		0.1	—	V

注：该参数进行三温电性能参数评估试验。

表 5-10 IOU 差分接口标准输入直流性能指标—输出低电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $V_{CCO}=95\% \times \text{典型电源电压}$, $-55^{\circ}C \leq T_c \leq 125^{\circ}C$)	测试方法	极限值		单位
				最小值	最大值	
输出低电平电压	VOL 注	DIFF_HSTL_I, 典型电源电压 1.5V, IOL=8mA	—	—	0.4	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V, IOL=8mA		—	0.4	V
		DIFF_HSTL_II, 典型电源电压 1.5V, IOL=16mA		—	0.4	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V, IOL=16mA		—	0.4	V
		DIFF_HSUL_12, 典型电源电压 1.2V, IOL=0.1mA		—	20%VCCP	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V, IOL=0.1mA		—	10% VCCP	V
		DIFF_SSTL135, 典型电源电压 1.35V, IOL=13mA		—	VCCP/2-0.15	V
		DIFF_SSTL135_R, 典型电源电压 1.35V, IOL=8.9mA		—	VCCP/2-0.15	V
		DIFF_SSTL15, 典型电源电压 1.5V, IOL=13mA		—	VCCP/2-0.175	V
		DIFF_SSTL15_R, 典型电源电压 1.5V, IOL=8.9mA		—	VCCP/2-0.175	V

		DIFF_SSTL18_I, 典型电源电压 1.8V, IOL =8mA	—	VCCP /2-0.47	V
		DIFF_SSTL18_II, 典型电源电压 1.8V, IOL =13.4mA	—	VCCP /2-0.5	V

注：该参数进行三温电性能参数评估试验。

表 5-11 IOU 差分接口标准输入直流性能指标—输出高电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP =1.8V, VCCP 0=1.8V, VCCP=95%×典型电源电压, -55℃≤T _C ≤125℃)	测试 方法	极限值		单位
				最小值	最大值	
输出高电 平电压	VOH 注	DIFF_HSTL_I, 典型电源电压 1.5V, IOH=8mA	—	VCCP -0.4	—	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V, IOH =8mA		VCCP -0.4	—	V
		DIFF_HSTL_II, 典型电源电压 1.5V, IOH =16mA		VCCP -0.5	—	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V, IOH =16mA		VCCP -0.4	—	V
		DIFF_HSUL_12, 典型电源电压 1.2V, IOH =0.1mA		80% VCCP	—	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V, IOH =0.1mA		90% VCCP	—	V
		DIFF_SSTL135, 典型电源电压 1.35V, IOH =13mA		VCCP /2+0.15	—	V
		DIFF_SSTL135_R, 典型电源电压 1.35V, IOH =8.9mA		VCCP /2+0.15	—	V
		DIFF_SSTL15, 典型电源电压 1.5V, IOH =13mA		VCCP /2+0.175	—	V
		DIFF_SSTL15_R, 典型电源电压 1.5V, IOH =8.9mA		VCCP /2+0.175	—	V
		DIFF_SSTL18_I, 典型电源电压 1.8V, IOH =8mA		VCCP /2+0.47	—	V
		DIFF_SSTL18_II, 典型电源电压 1.8V, IOH =13.4mA		VCCP /2+0.45	—	V

注：该参数进行三温电性能参数评估试验。

5.2.3 UHST 电特性

表 5-12 UHST 收发器 DC 特性

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP=1.8V, VCCUHSTVCC=1.0V, VCCUHSTVTT=1.2V, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
差分峰峰输出	DV _{PPOUT}	TX 输出幅度设为最大	900	—	mV
差分输出共模电平	V _{CMOUTDC}	基于公式	V _{UHSTVTT} - DV _{PPOUT} /4		mV
差分输出电阻	R _{OUT} 注	—	80	120	Ω
输出端 TXP 和 TXN 的时延 ^a	T _{OSKEW}	—	—	12	ps
差分峰峰输入	DV _{PPIN}	>10.3125Gbps	350	1250	mV
		6.6Gbps~10.3125Gbps	350	1250	mV
		≤6.6Gbps	350	2000	mV
差分输入电阻	R _{IN} 注	—	80	120	Ω
推荐 AC 耦合电容	C _{EXT}	—	100(典型值)		nF

注：该参数进行三温电性能参数评估试验。

5.2.4 Pin To Pin 开关参数

表 5-13 参数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(相邻时钟区域)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $-55^\circ C \leq T_C \leq 125^\circ C$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(相邻时钟区域)	tICKOF	SSTL15, Fast Slew Rate	—	6.61	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-14 数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(最远时钟区域)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $-55^\circ C \leq T_C \leq 125^\circ C$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(最远时钟区域)	tICKOFFAR	SSTL15, Fast Slew Rate	—	6.61	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-15 全局时钟输入到输出触发器输出延迟, 使用 DCCU

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $-55^\circ C \leq T_C \leq 125^\circ C$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 使用 DCCU	tICKOFDCCUCC	SSTL15, Fast Slew Rate	—	2.5	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-16 全局时钟输入到输出触发器输出延迟, 使用 PLL

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP_0} = 1.8V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 使用 PLL	tICKOFPLLCC	SSTL15, Fast Slew Rate	—	2.2	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-17 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 DCCU

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP_0} = 1.8V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
建立/保持时间					
输入触发器建立/ 保持时间, 使用无 延迟全局时钟, 使 用 DCCU	tPSDCCUCC/tPHDCCUCC	SSTL15	3.35/0	—	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-18 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 PLL

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times$ 典型电源电压 $\leq V_{CCP} \leq 105\% \times$ 典型电源 电压, $V_{CCP_0} = 1.8V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
建立/保持时间					
输入触发器建立/保持 时间, 使用无延迟全 局时钟, 使用 PLL	tPSPLLCC/tPHPLLCC	SSTL15	3.77/0	—	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-19 源同步 pin-to-pin 开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP_0} = 1.8V$, $-55^\circ C \leq T_C \leq 125^\circ C$)	极限值		单位
			最小值	最大值	
对于 I/O banks 时钟输入至输出的延时, 使用 BUFIO 时钟输入	tICKOFCS	SSTL15, Fast Slew Rate	—	6.64	ns
对于 I/O banks 数据输入建立/保持时间, 使用 BUFIO 时钟输入	tPSCS/tPHCS	SSTL15, Fast Slew Rate	1/2.5	—	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 5-20 I/O Banks 输入触发器建立/保持时间, 使用 ZHOLD_DELAY, 不使用 DCCU/PLL

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP_0} = 1.8V$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
建立/保持时间					
输入触发器建立/保持时间, 使用 ZHOLD_DELAY, 不使用 DCCU/PLL	tPSFD/tPHFD	SSTL15	3.10/1.5	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。					

5.2.5 SYS_MON 性能参数

表 5-21 SYS_MON 开关特性参数

特性	符号	条件 (除非另有规定, V _{CC} CORE=1.0V, V _{CC} SUP = 1.8V, 1.71V≤V _{CC} ADC≤1.89V, V _{CC} P = 典型电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
扩展温度下 ADC 精度					
分辨率	—	TA = -55℃ 到 125 ℃ , V _{REFP} = 1.25V; V _{REFN} = 0V; ADC _{CLK} = 26 MHz	10	—	Bits

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP} = 1.8V$, $1.71V \leq V_{CCADC} \leq 1.89V$, $V_{CCP} =$ 典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
积分非线性	INL	$T_A = -55^{\circ}C$ 到 $125^{\circ}C$,	—	± 1	LSBs(10bits)
差分非线性	DNL	$T_C = -55^{\circ}C$ 到 $125^{\circ}C$, 无失码	—	± 1	LSBs(10bits)
模拟输入 ^a					
SYS_MON 输入范围	—	单极模式	0	1	V
		双极模式	-0.5	0.5	V
		单极模式共模范围	0	0.5	V
		双极模式共模范围	0.5	0.6	V
最大外部通道输入范围	—	相邻通道测量范围没有相互影响情况下	-0.1	V_{CCADC}	V
辅助通道全分辨率下带宽	FRBW	—	250	—	KHz
传感器 ^a					
温度传感误差 ^a	—	$T_C = -55^{\circ}C$ 到 $125^{\circ}C$	—	± 10	$^{\circ}C$
电压传感误差	—	$T_C = -55^{\circ}C$ 到 $125^{\circ}C$	—	± 2	%
转换率 ^a					
转换时间-连续	tCONV	ADC 时钟的周期数	26	32	周期数
转换时间-事件	tCONV	时钟的周期数	—	21	周期数
DRP 时钟	DCLK	DRP 时钟频率	8	250	MHz
ADC 时钟	ADCCLK	DCLK 上分频得到	1	26	MHz
DCLK 的占空比	—	—	40	60	%
XADC 参考电压 ^a					
外部基准	VREF	VREP 管脚连接到外部基准电压	1.2	1.3	V
内部基准	—	VREP 管脚连接到模拟地; $T_j = -55^{\circ}C$ 到 $125^{\circ}C$	1.2375	1.2625	V

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

5.2.6 配置开关参数

表 5-22 配置开关特性参数

特性	符号	条件 (除非另有规定, V _{CCCORE} =1.0V, V _{CCSUP} = 1.8V, V _{CCP} =典型电压, -55℃≤TC≤125℃)	极限值		单位
			最小值	最大值	
上电					



特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, V_{CCP} =典型电压, $-55^{\circ}C \leq TC \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
配置等待时间	tPL	—	—	15	ms
上电复位(50ms 斜坡速率时间)	tPOR	—	5	50	ms
配置脉冲宽度 ^a	tPROGRAM	—	250	—	ns
输出延迟	tICCK	—	150	—	ns
低电平时间	tMCCKL	—	40	60	%
高电平时间	tMCCKH	—	40	60	%
最大频率	fMCCK	—	—	100	MHz
AEX x16 加密最大频率	fMCCK	—	—	50	MHz
配置初始频率	fMCCK_START	—	—	3	MHz
容许频偏	fMCCKTOL	—	-50	50	%
CCLK 输入 (从模式)^a					
低电平时间 ^a	tSCCKL	—	2.5	—	ns
高电平时间 ^a	tSCCKH	—	2.5	—	ns
最大频率	fSCCK	—	—	60	MHz
EMCCLK 输入 (主模式)^a					
低电平时间	tEMCCKL	—	2.5	—	ns
高电平时间	tEMCCKH	—	2.5	—	ns
最大频率	fEMCCK	—	—	100	MHz
内部配置访问端口^a					
最大频率	tICAPCK	—	—	100	MHz
DIN 建立/保持时间, 从模式	tDCCK/tCCKD	—	4.00/0.00	—	ns
DOUT	tCCO	—	—	8.0	ns
SelectMAP 模式^a					
SelectMAP 建立/保持时间 ^a	tSMDCCCK/tSMCCD	—	4.00/1.20	—	ns
CS_B 建立/保持时间 ^a	tSMCSCCK/tSMCCCS	—	4.00/1.20	—	ns
RDWR_B 建立/保持时间 ^a	tSMWCCK/tSMCKKW	—	4.00/1.20	—	ns
CSO_B 时钟到输出(外接 330 欧上拉电阻) ^a	tSMCKCSO	—	—	7	ns
回读时 D[31:00]时钟到输出	tSMCO	—	—	8	ns
回读最大频率	fMCCTOL	—	—	60	MHz
边界扫描端口					
TMS 和 TDI 在 TCK 前的建立时间	TAPTCK/tCKTAP	—	3.00/2.00	—	ns
TCK 下降沿到 TDO 输出有效	tCKTDO	—	—	7	ns
TCK 最大配置频率	fTCK	—	—	66	MHz
BPI FLASH 主模式^a					
A[28:00],RS[1:0],FCS_B,FOE_B,FWE_B,ADV_B 时钟到输出	tBPICCO	—	—	8.5	ns

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, V_{CCP} =典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
D[15:00]建立/保持时间	tBPIDCC /tBPICCD	—	4.00/0.00	—	ns
SPI FLASH 主模式 ^a					
D[03:00]建立/保持时间	tSPIDCC /tSPICCD	—	3.00/0.00	—	ns
MOSI 时钟到输出	tSPICCM	—	—	8.0	ns
FCS_B 时钟到输出	tSPICCF	—	—	8.0	ns
STARTUPE2 端口 ^a					
USERCCLK 输入到 CCLK 输出	tUSERCCLKO	—	0.5	6.7	ns
CFGMCLK 输出频率	fCFGMCLK	—	65		MHz
CFGMCLK 输出频偏	fCFGMCLKT OL	—	-50	50	%
DNA 配置接口 ^a					
最高频率	fDNACK	—	—	100	MHz

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

5.2.7 UHST 开关特性

表 5-23 UHST 收发器开关特性参数

特性	符号	分频系数	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCUHSTVCC}=1.0V$, $V_{CCUHSTVTT}=1.2V$; V_{CCP} = 典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
				最小值	最大值	
UHST 传输速率 ^a	F _{UHST}	—	—	0.5	12.5	Gb/s
CPLL 线速率 ^a	F _{UHSTCRANGE}	1	—	3.2	6.6	Gb/s
		2		1.6	3.3	Gb/s
		4		0.8	1.65	Gb/s
		8		0.5	0.825	Gb/s
QPLL 线速率 ^{1a}	F _{UHSTQRANGE1}	1	—	5.93	8	Gb/s
		2		2.965	4	Gb/s
		4		1.4825	2	Gb/s
		8		0.74125	1	Gb/s
QPLL 线速率 ^{2ac}	F _{UHSTQRANGE2}	1	—	9.8	12.5	Gb/s
		2		4.9	6.25	Gb/s
		4		2.45	3.125	Gb/s
		8		1.225	1.5625	Gb/s
		16		0.6125	0.78125	Gb/s
CPLL 频率范围 ^b	F _{GCPLL} RANGE	—	—	1.6	3.3	GHz

特性	符号	分频系数	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCUHS TVCC=1.0V, VCCUHS TVTT =1.2V; VCCP = 典型电压, -55℃≤T _C ≤125℃)	极限值		单位
				最小值	最大值	
QPLL 频率范围 1 ^b	FGQPLL RANGE1	—	—	5.93	8.0	GHz
QPLL 频率范围 2 ^b	FGQPLL RANGE2	—	—	9.8	12.5	GHz
a 以上速率在 Near-End PMA LoopBack 条件下进行测试。 b 通过读取 QPLL LOCK 或者 CPLL LOCK 判定是否 Lock。 c 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。						

表 5-24 UHST 收发器动态重配口开关特性

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCUHS TVCC=1.0V, VCCUHS TVTT =1.2V; VCCP = 典型电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
UHST DRP 最大时钟频率 ^a	FUHSTDRPCLK	—	—	175.01	MHz
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-25 UHST 收发器参考时钟开关特性

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCUHS TVCC=1.0V, VCCUHS TVTT =1.2V; -55℃≤T _c ≤125℃)	极限值		单位
			最小值	最大值	
参考时钟频率范围	FGCLK	—	60	700	MHz
参考时钟上升沿 ^a	FRCLK		200(典型值)	ps	
参考时钟下降沿 ^a	FFCLK		200(典型值)	ps	
参考时钟占空比 ^a	FDCREF		40	60	%
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-26 UHST 收发器 PLL 锁定时间

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCUHS TVCC=1.0V, VCCUHS TVTT =1.2V; VCCP = 典型电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	

特性	符号	条件 (除非另有规定, $V_{CCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCUHSTVCC}=1.0V$, $V_{CCUHSTVTT}=1.2V$; V_{CCP} = 典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
初始 PLL 锁定时间 ^a	TLOCK	—	—	30	ms
时钟恢复适应时间 DFE 模式下 ^a	TDLOCK	PLL 锁住以后, 从输入数据到 CDR 恢复时间;	—	10×10^7	UI
时钟恢复适应时间 LPM 模式下 ^a	TDLOCK		—	10×10^6	UI

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 5-27 UHST 收发器用户时钟开关特性

特性	符号	条件 (除非另有规定, $V_{CCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCUHSTVCC}=1.0V$, $V_{CCUHSTVTT}=1.2V$; V_{CCP} = 典型电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
TXOUTCLK 最大频率 ^a	FTXOUT	—	—	412.500	MHz
RXOUTCLK 最大频率 ^a	FRXOUT	—	—	412.500	MHz
TXUSRCLK 最大频率 ^a	FTXIN	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
RXUSRCLK 最大频率 ^a	FRXIN	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
TXUSRCLK2 最大频率 ^a	FTXIN2	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
		64 位宽	—	161.133	MHz
RXUSRCLK2 最大频率 ^a	FRXIN2	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
		64 位宽	—	161.133	MHz

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 5-28 UHST 发射端开关特性

特性	符号	条件	分组	极限值		单位
				最小	最大	
串行速率 ^a	f_{UHSTTX}	—	A9 A10 A11	F_{UHST}		Gb/s
TX 上升沿 ^a	t_{RTX}	20%-80%		40(典型值)		ps
TX 下降沿 ^a	t_{FTX}	80%-20%		40(典型值)		ps
TX lane 到 lane 的时延 ^{ab}	t_{LLSKEW}	—		—	500	ps
电气空闲电平 ^a	$V_{TXOVBVDPP}$	—		—	15	mV
电气空闲转换时间 ^a	$t_{TXOVBTRANSITION}$	—		—	140	ns
总抖动 ^{ace}	$TJ_{12.5}$	12.5Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{12.5}$	12.5Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{11.18}$	11.18Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{11.18}$	11.18Gb/s		—	0.26	UI

特性	符号	条件	分组	极限值		单位
				最小	最大	
总抖动 ^{ace}	$TJ_{10.3125}$	10.3125Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{10.3125}$	10.3125Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{9.953}$	9.953Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{9.953}$	9.953Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{9.8}$	9.8Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{9.8}$	9.8Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{8.0}$	8.0Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{8.0}$	8.0Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{6.6_QPLL}$	6.6Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{6.6_QPLL}$	6.6Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{6.6_CPLL}$	6.6Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{6.6_CPLL}$	6.6Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{5.0}$	5.0Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{5.0}$	5.0Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{4.25}$	4.25Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{4.25}$	4.25Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.75}$	3.75Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.75}$	3.75Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.2}$	3.2Gb/s ⁵		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.2}$	3.2Gb/s ⁵		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.2L}$	3.2Gb/s ⁶		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.2L}$	3.2Gb/s ⁶		—	0.26	UI
总抖动 ^{ade}	$TJ_{2.5}$	2.5Gb/s ⁷		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{2.5}$	2.5Gb/s ⁷		—	0.26	UI
总抖动 ^{ade}	$TJ_{1.25}$	1.25Gb/s ⁸		—	0.30	UI
固定性抖动 ^{ade}	$DJ_{1.25}$	1.25Gb/s ⁸		—	0.15	UI
总抖动 ^{ade}	$TJ_{0.5}$	0.5Gb/s		—	0.25	UI
固定性抖动 ^{ade}	$DJ_{0.5}$	0.5Gb/s		—	0.13	UI

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。

^b 使用同一个参考时钟并且TX相位对准使能下的12个TX发送端。

^c QPLL_FBDIV = 40, 20位宽下，没有固定协议。

^d CPLL_FBDIV = 2, 20位宽下，没有固定协议。

^e 抖动测量基于误码率为1e-12。

^f CPLL的频率为3.2GHz并且TXOUT_DIV=2。

^g CPLL的频率为1.6GHz并且TXOUT_DIV=1。

^h CPLL的频率为2.5GHz并且TXOUT_DIV=2。

ⁱ CPLL的频率为2.5GHz并且TXOUT_DIV=4。

表 5-29 UHST 接收端开关特性

特性	符号	条件	分组	极限值		单位
				最小	最大	
串行速率 ^a	f_{UHSTRX}	—	A9	F_{UHST}		Gb/s
RX 空闲响应时间 ^a	$t_{RXELECIDLE}$	—	A10	10(典型值)		ns
RXOOB 检测峰峰电平 ^a	$RX_{OOBVDPP}$	—	A11	60	150	mV

特性	符号	条件	分组	极限值		单位
				最小	最大	
RX 展频追踪 ^{ab}	RX_{SST}	33 KHz 调制频率		-5000	—	ppm
运行长度 ^a	RX_{RL}	—		—	512	UI
RX 频偏容忍度 ^a	RX_{PPMTOL}	速率≤6.6Gb/s		-1250	1250	ppm
		速率 6.6Gb/s ~ 8Gb/s		-700	700	ppm
		速率>8Gb/s	-200	200	ppm	
正弦波下的抖动容忍度 ^{ac}						
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{12.5}$	12.5Gb/s	A9 A10 A11	0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{11.18}$	11.18Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{10.32}$	10.32Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{9.95}$	9.95Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{9.8}$	9.8Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{8.0}$	8.0Gb/s		0.44	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_SJ_{6.6_QPLL}$	6.6Gb/s		0.48	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{6.6_CPLL}$	6.6Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{5.0}$	5.0Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{4.25}$	4.25Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{3.75}$	3.75Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{3.2}$	3.2Gb/s ⁴		0.45	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{3.2L}$	3.2Gb/s ⁵		0.45	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{2.5}$	2.5Gb/s ⁶		0.5	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{1.25}$	1.25Gb/s ⁷		0.5	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_SJ_{0.5}$	0.5Gb/s		0.4	—	UI
压力眼图下的正弦波下的抖动容忍度 ^{ac}						
压力眼图下总抖动 ^{ai}	$JT_TJSE_{3.2}$	3.2Gb/s	A9 A10 A11	0.5	—	UI
压力眼图下总抖动 ^{ai}	$JT_TJSE_{6.6}$	6.6Gb/s		0.5	—	UI
压力眼图下的正弦抖动 ^{ai}	$JT_SE_{3.2}$	3.2Gb/s		0.05	—	UI
压力眼图下的正弦抖动 ^{ai}	$JT_SE_{6.6}$	6.6Gb/s		0.05	—	UI

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。

^b 使用RXOUT_DIV=1,2,4。

^c 抖动测量基于误码率为1e-12。

^d 正弦波抖动频率为80MHz。

^e CPLL的频率为3.2GHz并且RXOUT_DIV=2。

^f CPLL的频率为1.6GHz并且RXOUT_DIV=1。

^g CPLL的频率为2.5GHz并且RXOUT_DIV=2。

^h CPLL的频率为2.5GHz并且RXOUT_DIV=4。

ⁱ RX为LPM或者DFE模式。

表 5-30 UHST 收发端协议抖动开关特性

特性	符号	条件	分 组	极限值		单位
				最小	最大	
千兆以太网协议 ^a						
发送端总抖动 ^a	T_{TJ}	1.25Gb/s	A9	—	0.3	UI
接收端总抖动容忍度 ^a	—	1.25Gb/s	A10 A11	0.5	—	UI



特性	符号	条件	分 组	极 限 值		单 位
				最小	最大	
XAUI 协议 ^a						
发送端总抖动 ^a	T_{TJ}	3.125Gb/s	A9	—	0.5	UI
接收端总抖动容忍度 ^a	—	3.125Gb/s	A10 A11	0.5	—	UI
PCIE 协议 ^a						
发送端总抖动 ^a	—	2.5Gb/s	A9 A10 A11	—	0.5	UI
发送端总抖动 ^a	—	5.0Gb/s		—	0.5	UI
发送端不相关总抖动 ^a	—	8Gb/s		—	56	ps
发送端不相关确定性抖动 ^a	—	8Gb/s		—	30	ps
接收端总抖动容忍度 ^a	—	2.5Gb/s		0.5	—	UI
接收端固有时间误差 ^a	—	5.0Gb/s		0.2	—	UI
接收端固有固定性时间误差 ^a	—	5.0Gb/s		0.1	—	UI
接收端正弦抖动容忍度 ^a	—	8Gb/s, 0.03~1.0MHz		0.5	—	UI
接收端正弦抖动容忍度 ^a	—	8Gb/s, 10~100MHz		0.05	—	UI
CEI-6G 和 CEI-11G 协议 ^a						
CEI-6G 发送端总抖动 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口	A9 A10 A11	—	0.5	UI
CEI-6G 发送端总抖动 ^a	—	4.976~6.375Gb/s, CEI-6G-LR 接口		—	0.5	UI
CEI-6G 接收端总抖动容忍度 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口		0.5	—	UI
CEI-6G 接收端总抖动容忍度 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口		0.5	—	UI
CEI-11G 发送端总抖动 ^a	—	9.95~11.1Gb/s, CEI-11G-SR 接口		—	0.5	UI
CEI-11G 发送端总抖动 ^a	—	9.95~11.1Gb/s, CEI-11G-LR/MR 接口		—	0.5	UI
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-SR 接口		0.5	—	UI
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-MR 接口		0.5	—	UI
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-LR 接口		0.5	—	UI
SFP+协议 ^a						
发送端总抖动 ^a	—	9.8304Gb/s	A9 A10 A11	—	0.5	UI
发送端总抖动 ^a	—	9.953Gb/s		—	0.5	UI
发送端总抖动 ^a	—	10.3125Gb/s		—	0.5	UI
发送端总抖动 ^a	—	10.51875Gb/s		—	0.5	UI
发送端总抖动 ^a	—	11.1Gb/s		—	0.5	UI
接收端总抖动容忍度 ^a	—	9.8304Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	9.953Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	10.3125Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	10.51875Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	11.1Gb/s	0.5	—	UI	

特性	符号	条件	分 组	极 限 值		单 位
				最小	最大	
CPRI 协议 ^a						
发送端总抖动 ^a	—	0.6144Gb/s	A9 A10 A11	—	0.5	UI
发送端总抖动 ^a	—	1.2288Gb/s		—	0.5	UI
发送端总抖动 ^a	—	2.4576Gb/s		—	0.5	UI
发送端总抖动 ^a	—	3.072Gb/s		—	0.5	UI
发送端总抖动 ^a	—	4.9152Gb/s		—	0.5	UI
发送端总抖动 ^a	—	6.144Gb/s		—	0.5	UI
发送端总抖动 ^a	—	9.8304Gb/s		—	0.5	UI
接收端总抖动容忍度 ^a	—	0.6144Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	1.2288Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	2.4576Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	3.072Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	4.9152Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	6.144Gb/s		0.5	—	UI
接收端总抖动容忍度 ^a	—	9.8304Gb/s		0.5	—	UI
^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。						

5.2.8 网络应用接口性能参数

表 5-31 网络应用接口性能参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CC} ORE≤1.03V, 1.71V≤V _{CC} SUP≤1.89V, V _{CC} P =典型电压, -55℃≤T _C ≤125℃)	最大运行速率	单位
SDR LVDS 发送器 ^a (using OSERDES;DATA WIDTH = 4 to 8)	—	—	500	Mb/s
DDR LVDS 发送器 ^a (using OSERDES;DATA WIDTH = 4 to 14)	—		800	Mb/s
SDR LVDS 接收器 ^a (SFI-4.1)	—		600	Mb/s
DDR LVDS 接收器 ^a (SPI-4.2)	—		800	Mb/s
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。				

5.2.9 存储接口性能参数

表 5-32 存储接口 PHY 最大运行速率

特性	符号	最大运行速率	单位
4: 1 内存控制器 ^a			
DDR3	—	800	Mb/s
DDR3L	—	667	Mb/s
DDR2	—	667	Mb/s
2: 1 内存控制器 ^a			
DDR3	—	620	Mb/s



特性	符号	最大运行速率	单位
4: 1 内存控制器 ^a			
DDR3L	—	620	Mb/s
DDR2	—	620	Mb/s
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。			

5.2.10 IOU PAD 输入/输出三态开关特性

表 5-33 IOU 数据输入延迟 (tIOPI)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
IOU 输入开关特性, 数据由 IOU pad 通过输入缓冲器输入到 IOU 的 I pin 所需要经过的延迟 ^a	tIOPI	LVTTL S4	—	1.42	ns
		LVTTL S8	—	1.42	ns
		LVTTL S12	—	1.42	ns
		LVTTL S16	—	1.42	ns
		LVTTL S24	—	1.42	ns
		LVTTL F4	—	1.42	ns
		LVTTL F8	—	1.42	ns
		LVTTL F12	—	1.42	ns
		LVTTL F16	—	1.42	ns
		LVTTL F24	—	1.42	ns
		LVDS 25	—	0.68	ns
		MINI LVDS 25	—	0.70	ns
		BLVDS 25	—	0.69	ns
		RSDS 25	—	0.68	ns
		PPDS 25	—	0.69	ns
		TMDS 33	—	0.76	ns
		PCI33 3	—	1.41	ns
		HSUL 12 S	—	0.64	ns
		HSUL 12 F	—	0.64	ns
		DIFF_HSUL 12 S	—	0.61	ns
		DIFF_HSUL 12 F	—	0.61	ns
		MOBILE DDR S	—	0.66	ns
		MOBILE DDR F	—	0.66	ns
		DIFF_MOBILE DDR S	—	0.66	ns
		DIFF_MOBILE DDR F	—	0.66	ns
		HSTL I S	—	0.64	ns
		HSTL II S	—	0.64	ns
		HSTL I 18 S	—	0.67	ns
		HSTL II 18 S	—	0.67	ns
		DIFF_HSTL I S	—	0.67	ns
		DIFF_HSTL II S	—	0.67	ns
		DIFF_HSTL I 18 S	—	0.69	ns
		DIFF_HSTL II 18 S	—	0.69	ns
		HSTL I F	—	0.64	ns
		HSTL II F	—	0.64	ns
		HSTL I 18 F	—	0.67	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	
		HSTL II 18 F	—	0.67	ns
		DIFF_HSTL I F	—	0.67	ns
		DIFF_HSTL II F	—	0.67	ns
		DIFF_HSTL I 18 F	—	0.69	ns
		DIFF_HSTL II 18 F	—	0.69	ns
		LVC MOS33 S4	—	1.40	ns
		LVC MOS33 S8	—	1.40	ns
		LVC MOS33 S12	—	1.40	ns
		LVC MOS33 S16	—	1.40	ns
		LVC MOS33 F4	—	1.40	ns
		LVC MOS33 F8	—	1.40	ns
		LVC MOS33 F12	—	1.40	ns
		LVC MOS33 F16	—	1.40	ns
		LVC MOS25 S4	—	1.16	ns
		LVC MOS25 S8	—	1.16	ns
		LVC MOS25 S12	—	1.16	ns
		LVC MOS25 S16	—	1.16	ns
		LVC MOS25 F4	—	1.16	ns
		LVC MOS25 F8	—	1.16	ns
		LVC MOS25 F12	—	1.16	ns
		LVC MOS25 F16	—	1.16	ns
		LVC MOS18 S4	—	0.66	ns
		LVC MOS18 S8	—	0.66	ns
		LVC MOS18 S12	—	0.66	ns
		LVC MOS18 S16	—	0.66	ns
		LVC MOS18 S24	—	0.66	ns
		LVC MOS18 F4	—	0.66	ns
		LVC MOS18 F8	—	0.66	ns
		LVC MOS18 F12	—	0.66	ns
		LVC MOS18 F16	—	0.66	ns
		LVC MOS18 F24	—	0.66	ns
		LVC MOS15 S4	—	0.69	ns
		LVC MOS15 S8	—	0.69	ns
		LVC MOS15 S12	—	0.69	ns
		LVC MOS15 S16	—	0.69	ns
		LVC MOS15 F4	—	0.69	ns
		LVC MOS15 F8	—	0.69	ns
		LVC MOS15 F12	—	0.69	ns
		LVC MOS15 F16	—	0.69	ns
		LVC MOS12 S4	—	0.91	ns
		LVC MOS12 S8	—	0.91	ns
		LVC MOS12 S12	—	0.91	ns
		LVC MOS12 F4	—	0.91	ns
		LVC MOS12 F8	—	0.91	ns
		LVC MOS12 F12	—	0.91	ns
		SSTL135 S	—	0.64	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	
		SSTL15_S	—	0.64	ns
		SSTL18_I_S	—	0.67	ns
		SSTL18_II_S	—	0.67	ns
		DIFF_SSTL135_S	—	0.61	ns
		DIFF_SSTL15_S	—	0.67	ns
		DIFF_SSTL18_I_S	—	0.69	ns
		DIFF_SSTL18_II_S	—	0.69	ns
		SSTL135_F	—	0.64	ns
		SSTL15_F	—	0.64	ns
		SSTL18_I_F	—	0.67	ns
		SSTL18_II_F	—	0.67	ns
		DIFF_SSTL135_F	—	0.61	ns
		DIFF_SSTL15_F	—	0.67	ns
		DIFF_SSTL18_I_F	—	0.69	ns
		DIFF_SSTL18_II_F	—	0.69	ns

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 5-34 IOU 数据输出延迟 (tIOOP)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	
IOU 输出开关特性, 数据由 IOU 的 O pin 通过输出缓冲器输出到 IOU pad 需要经过的延迟 ^a	tIOOP	LVTTL_S4	—	4.18	ns
		LVTTL_S8	—	3.92	ns
		LVTTL_S12	—	3.90	ns
		LVTTL_S16	—	3.45	ns
		LVTTL_S24	—	3.67	ns
		LVTTL_F4	—	3.64	ns
		LVTTL_F8	—	3.12	ns
		LVTTL_F12	—	3.10	ns
		LVTTL_F16	—	2.93	ns
		LVTTL_F24	—	2.90	ns
		LVDS_25	—	1.67	ns
		MINI LVDS_25	—	1.65	ns
		BLVDS_25	—	2.21	ns
		RSDS_25	—	1.65	ns
		PPDS_25	—	1.67	ns
		TMDS_33	—	1.79	ns
		PCI33_3	—	3.48	ns
		HSUL_12_S	—	2.18	ns
		HSUL_12_F	—	1.67	ns
		DIFF_HSUL_12_S	—	2.18	ns
		DIFF_HSUL_12_F	—	1.67	ns
		MOBILE_DDR_S	—	2.06	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
		MOBILE DDR F	—	1.76	ns
		DIFF MOBILE DDR S	—	2.07	ns
		DIFF MOBILE DDR F	—	1.82	ns
		HSTL I S	—	1.99	ns
		HSTL II S	—	1.79	ns
		HSTL I 18 S	—	1.67	ns
		HSTL II 18 S	—	1.79	ns
		DIFF HSTL I S	—	1.96	ns
		DIFF HSTL II S	—	1.88	ns
		DIFF HSTL I 18 S	—	1.76	ns
		DIFF HSTL II 18 S	—	1.84	ns
		HSTL I F	—	1.48	ns
		HSTL II F	—	1.49	ns
		HSTL I 18 F	—	1.51	ns
		HSTL II 18 F	—	1.49	ns
		DIFF HSTL I F	—	1.56	ns
		DIFF HSTL II F	—	1.59	ns
		DIFF HSTL I 18 F	—	1.59	ns
		DIFF HSTL II 18 F	—	1.59	ns
		LVC MOS33 S4	—	4.18	ns
		LVC MOS33 S8	—	3.90	ns
		LVC MOS33 S12	—	3.46	ns
		LVC MOS33 S16	—	3.77	ns
		LVC MOS33 F4	—	3.64	ns
		LVC MOS33 F8	—	3.12	ns
		LVC MOS33 F12	—	2.93	ns
		LVC MOS33 F16	—	2.93	ns
		LVC MOS25 S4	—	3.51	ns
		LVC MOS25 S8	—	3.26	ns
		LVC MOS25 S12	—	2.85	ns
		LVC MOS25 S16	—	3.20	ns
		LVC MOS25 F4	—	3.12	ns
		LVC MOS25 F8	—	2.56	ns
		LVC MOS25 F12	—	2.54	ns
		LVC MOS25 F16	—	2.39	ns
		LVC MOS18 S4	—	1.99	ns
		LVC MOS18 S8	—	2.56	ns
		LVC MOS18 S12	—	2.56	ns
		LVC MOS18 S16	—	1.90	ns
		LVC MOS18 S24	—	1.98	ns
		LVC MOS18 F4	—	1.82	ns
		LVC MOS18 F8	—	2.06	ns
		LVC MOS18 F12	—	2.06	ns
		LVC MOS18 F16	—	1.77	ns
		LVC MOS18 F24	—	1.71	ns
		LVC MOS15 S4	—	2.43	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
		LVC MOS15 S8	—	2.46	ns
		LVC MOS15 S12	—	1.96	ns
		LVC MOS15 S16	—	1.96	ns
		LVC MOS15 F4	—	2.23	ns
		LVC MOS15 F8	—	1.98	ns
		LVC MOS15 F12	—	1.73	ns
		LVC MOS15 F16	—	1.71	ns
		LVC MOS12 S4	—	2.95	ns
		LVC MOS12 S8	—	2.46	ns
		LVC MOS12 S12	—	2.17	ns
		LVC MOS12 F4	—	2.35	ns
		LVC MOS12 F8	—	1.92	ns
		LVC MOS12 F12	—	1.76	ns
		SSTL135 S	—	1.73	ns
		SSTL15 S	—	1.68	ns
		SSTL18 I S	—	2.04	ns
		SSTL18 II S	—	1.68	ns
		DIFF SSTL135 S	—	1.73	ns
		DIFF SSTL15 S	—	1.68	ns
		DIFF SSTL18 I S	—	2.06	ns
		DIFF SSTL18 II S	—	1.76	ns

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 5-35 IOU 三态信号释放响应延迟 (tIOTP)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
IOU 三态控制开关特性, 三态信号释放时, 由 IOU 的 T pin 通过输出缓冲器输出到 IOU pad 需要经过的延迟 ^a	tIOTP	LVTTL S4	—	4.20	ns
		LVTTL S8	—	3.93	ns
		LVTTL S12	—	3.91	ns
		LVTTL S16	—	3.46	ns
		LVTTL S24	—	3.68	ns
		LVTTL F4	—	3.65	ns
		LVTTL F8	—	3.13	ns
		LVTTL F12	—	3.12	ns
		LVTTL F16	—	2.95	ns
		LVTTL F24	—	2.91	ns
		LVDS 25	—	1.68	ns
		MINI LVDS 25	—	1.66	ns
		BLVDS 25	—	2.23	ns
		RS DS 25	—	1.66	ns
		PP DS 25	—	1.68	ns
		TM DS 33	—	1.80	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
		PCI33_3	—	3.49	ns
		HSUL_12_S	—	2.20	ns
		HSUL_12_F	—	1.68	ns
		DIFF_HSUL_12_S	—	2.20	ns
		DIFF_HSUL_12_F	—	1.68	ns
		MOBILE_DDR_S	—	2.07	ns
		MOBILE_DDR_F	—	1.77	ns
		DIFF_MOBILE_DDR_S	—	2.09	ns
		DIFF_MOBILE_DDR_F	—	1.84	ns
		HSTL_I_S	—	2.01	ns
		HSTL_II_S	—	1.80	ns
		HSTL_I_18_S	—	1.68	ns
		HSTL_II_18_S	—	1.80	ns
		DIFF_HSTL_I_S	—	1.98	ns
		DIFF_HSTL_II_S	—	1.90	ns
		DIFF_HSTL_I_18_S	—	1.77	ns
		DIFF_HSTL_II_18_S	—	1.85	ns
		HSTL_I_F	—	1.49	ns
		HSTL_II_F	—	1.51	ns
		HSTL_I_18_F	—	1.52	ns
		HSTL_II_18_F	—	1.51	ns
		DIFF_HSTL_I_F	—	1.57	ns
		DIFF_HSTL_II_F	—	1.57	ns
		DIFF_HSTL_I_18_F	—	1.60	ns
		DIFF_HSTL_II_18_F	—	1.60	ns
		LVC MOS33_S4	—	1.60	ns
		LVC MOS33_S8	—	4.20	ns
		LVC MOS33_S12	—	3.91	ns
		LVC MOS33_S16	—	3.48	ns
		LVC MOS33_F4	—	3.79	ns
		LVC MOS33_F8	—	3.65	ns
		LVC MOS33_F12	—	3.13	ns
		LVC MOS33_F16	—	2.95	ns
		LVC MOS25_S4	—	2.95	ns
		LVC MOS25_S8	—	3.52	ns
		LVC MOS25_S12	—	3.27	ns
		LVC MOS25_S16	—	2.87	ns
		LVC MOS25_F4	—	3.21	ns
		LVC MOS25_F8	—	3.13	ns
		LVC MOS25_F12	—	2.57	ns
		LVC MOS25_F16	—	2.55	ns
		LVC MOS18_S4	—	2.40	ns
		LVC MOS18_S8	—	2.01	ns
		LVC MOS18_S12	—	2.57	ns
		LVC MOS18_S16	—	1.91	ns
		LVC MOS18_S24	—	1.99	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	
		LVC MOS18_F4	—	1.84	ns
		LVC MOS18_F8	—	2.07	ns
		LVC MOS18_F12	—	2.07	ns
		LVC MOS18_F16	—	1.79	ns
		LVC MOS18_F24	—	1.73	ns
		LVC MOS15_S4	—	2.45	ns
		LVC MOS15_S8	—	2.48	ns
		LVC MOS15_S12	—	1.98	ns
		LVC MOS15_S16	—	1.98	ns
		LVC MOS15_F4	—	2.24	ns
		LVC MOS15_F8	—	1.99	ns
		LVC MOS15_F12	—	1.74	ns
		LVC MOS15_F16	—	1.73	ns
		LVC MOS12_S4	—	2.96	ns
		LVC MOS12_S8	—	2.48	ns
		LVC MOS12_S12	—	2.18	ns
		LVC MOS12_F4	—	2.37	ns
		LVC MOS12_F8	—	1.93	ns
		LVC MOS12_F12	—	1.77	ns
		SSTL135_S	—	1.74	ns
		SSTL15_S	—	1.69	ns
		SSTL18_I_S	—	2.06	ns
		SSTL18_II_S	—	1.70	ns
		DIFF SSTL135_S	—	1.74	ns
		DIFF SSTL15_S	—	1.69	ns
		DIFF SSTL18_I_S	—	2.07	ns
		DIFF SSTL18_II_S	—	1.77	ns
		SSTL135_F	—	1.51	ns
		SSTL15_F	—	1.46	ns
		SSTL18_I_F	—	1.51	ns
		SSTL18_II_F	—	1.51	ns
		DIFF SSTL135_F	—	1.51	ns
		DIFF SSTL15_F	—	1.46	ns
		DIFF SSTL18_I_F	—	1.62	ns
		DIFF SSTL18_II_F	—	1.60	ns

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 5-36 IOU 三态信号使能响应延迟 (tIOTPHZ)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	

特性	符号	条件 (除非另有规定, 0.97V≤VCCCORE≤1.03V, 1.71V≤VCCSUP≤1.89V, 95%×典型电源电压≤VCCP≤105%× 典型电源电压, -55℃≤Tc≤125℃)	极限值		单位
			最小值	最大值	
IOU 三态控制开关特性, 三态信号使能时, 由 IOU 的 T pin 通过输出缓冲器输出到 IOU pad 实现三态输出需要经过的延迟 ^a	tIOTPHZ	所有接口电平标准配置条件	—	2.37	ns
对于 I/O 中的 IBUF 从 IBUFDISABLE 到 O 端口之间的传输延迟 ^a	tIOPBUFDISABLE		—	2.60	ns
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

5.2.11 输入输出逻辑开关特性

表 5-37 ILOGIC 开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times$ 典型电 源电压 $\leq V_{CCP} \leq 105\% \times$ 典 型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
建立/保持时间 ^a					
CE1 端口对于 CLK 的建立/保持时间	tICE1CK/tICKCE1	—	0.76/0.02	—	ns
SR 端口对于 CLK 的建立/保持时间	tISRCK/tICKSR	—	1.13/0.01	—	ns
D 端口对于 CLK 无延时的建立/保持时间	tIDOCKE/tIOCKDE	—	0.01/0.29	—	ns
DDLX 端口对于 CLK 的建立/保持时间(使用 IDELAY)	tIDOCKDE/tIOCKDDE	—	0.02/0.29	—	ns
组合延时 ^a					
D 端口到 O 端口的传播延时, 无延时(仅限 HR I/O banks)	tIDI	—	—	0.13	ns
DDLX 端口到 O 端口的传播延时(使用 IDELAY)(仅限 HR I/O banks)	tIDID	—	—	0.14	ns
时序延时 ^a					



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times$ 典型电 源电压 $\leq V_{CCP} \leq 105\% \times$ 典 型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
latch 模式下 D 端口到 Q1 端口的传播延时, 无延时(仅限 HR I/O banks)	tIDLOE	—	—	0.51	ns
latch 模式下 D 端口到 Q1 端口的传播延时(使用 IDELAY)(仅限 HR I/O banks)	tIDLODE	—	—	0.51	ns
CLK 有效沿至 Q 端口的延时	tICKQ	—	—	0.66	ns
SR 端口到 OQ/TQ 延时	tRQ_ILOGIC	—	—	1.32	ns
全局 Set/Reset 到 Q 延时	tGSRQ_ILOGIC	—	—	10.51	ns
置位/复位 ^a					
SR 输入的最小脉冲宽度(仅限 HR I/O banks)	tRPW_ILOGICE3	—	0.72	—	ns
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-38 OLOGIC 开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times$ 典型电源电压 $\leq V_{CCP} \leq 105\% \times$ 典型 电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
建立/保持时间 ^a					
D1/D2 端口对于 CLK 的建立/保持时间	tODCK/tOCKD	—	0.84/-0.11	—	ns
OCE 端口对于 CLK 的建立/保持时间	tOOCECK/tOCKOCE	—	0.51/0.58	—	ns
SR 端口对于 CLK 的建立/保持时间	tOSRCK/tOCKSR	—	0.80/0.21	—	ns
T1/T2 端口对于 CLK 的建立/保持时间	tOTCK/tOCKT	—	0.89/-0.14	—	ns
TCE 端口对于 CLK 的建立/保持时间	tOTCECK/tOCKTCE	—	0.51/0.01	—	ns
组合延时 ^a					
D1 到 OQ 输出延时	tODQ	—	—	1.16	ns
时序延时 ^a					

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
CLK 端口到 TQ 输出延时	t _{OCKQ}	—	—	0.56	ns
SR 端口到 OQ/TQ 输出延时	t _{RQ_OLOGIC}	—	—	0.95	ns
全局 Set/Reset 端口到 Q 输出延时	t _{GSRQ_OLOGIC}	—	—	10.51	ns
置位/复位 ^a					
SR 输入的最小脉冲宽度	t _{RPW_OLOGIC} 3	—	0.74	—	ns
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-39 ISERDES 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, 95%×典型电源电压 ≤V _{CCP} ≤105%×典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
控制信号的建立/保持时间 ^a					
BITSLIP 端口 对于 CLKDIV 的建立/保持时间	tISCKK_BITSLIP/tISCKC_BITSLIP	—	0.02/0.17	—	ns
CE1 端口 对于 CLK 的建立/保持时间	tISCKK_CE/tISCKC_CE	—	0.72/-0.01	—	ns
CE2 端口 对于 CLKDIV 的建立/保持时间	tISCKK_CE2/tISCKC_CE2	—	-0.10/0.40	—	ns
数据信号 建立/保持时间 ^a					
D端口对于 CLK 的建立/保持时间	tISDCK_D/tISCKD_D	—	-0.02/0.17	—	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^\circ\text{C} \leq T_c \leq 125^\circ\text{C}$)	极限值		单位
			最小值	最大值	
DDL Y 端 口 对 于 CLK 的 建 立/保持时 间 (使 用 IDELAY)	tISDCK_DDL Y/tISCKD_DDL Y	—	-0.02/0.17	—	ns
DDR 模 式 下 D 端 口 对 于 CLK 的 建 立/保 持 时 间	tISDCK_D_DDR/tISCKD_D_DDR	—	-0.02/0.17	—	ns
DDR 模 式 下 DDL Y 端 口 对 于 CLK 的 建 立/保持时 间 (使 用 IDELAY)	tISDCK_DDL Y_DDR/tISCKD_DDL Y_DDR	—	0.17/0.17	—	ns
时序延时 ^a					
CLKDIV 有 效 沿 至 Q 端 口 的 延 时	tISCKO_Q	—	—	0.66	ns
传播延时 ^a					
D 输 入 端 口 DO 输 出 端 口 延 时	tISDO_DO	—	—	0.13	ns
a 该参数是保障参数,在设计过程中通过仿真或测试保证,在鉴定和质量一致性检验时不进行测试。					

表 5-40 OSERDES 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, 95%×典型电源电压 ≤V _{CCP} ≤105%×典型电源 电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
建立/保持时间 ^a					
D 输入端口对于 CLKDIV 的 建立/保持时间	tOSDCK_D/tOSC KD D	—	0.63/0.03	—	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$)	极限值		单位
			最小值	最大值	
T 输入端口对于 CLK 的建立/保持时间	tOSDCK_T/tOSCKD_T	—	0.88/-0.13	—	ns
T 输入端口对于 CLKDIV 的建立/保持时间	tOSDCK_T2/tOSCKD_T2	—	0.39/-0.13	—	ns
OCE 输入端口对于 CLK 的建立/保持时间	tOSCCK_OCE/tOSCKC_OCE	—	0.51/0.58	—	ns
SR (Reset) 输入端口对于 CLKDIV 的建立时间	tOSCCK_S	—	0.85	—	ns
TCE 输入端口对于 CLK 的建立/保持时间	tOSCCK_TCE/tOSCKC_TCE	—	0.51/0.01	—	ns
时序延时 ^a					
时钟 CLK 到输出 OQ 的延时	tOSCKO_OQ	—	—	0.48	ns
时钟 CLK 到输出到 TQ 的延时	tOSCKO_TQ	—	—	0.56	ns
组合延时 ^a					
输入端口 T 到输出 TQ 的延时	tOSDO_TTQ	—	—	0.81	ns
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-41 输入延迟开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, 95%×典型电源电压 ≤V _{CCP} ≤105%×典型电源电 压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
IDELAYCTRL ^f					
IDELAYCTRL 复位到准备的延迟时间	tDLYCCO_RDY	—	—	3.67	us
属性参考时钟频率 200.00 ^a	fIDELAYCTRL_REF	—	—	200	MHz
属性参考时钟频率 300.00 ^a		—	—	300	MHz
属性参考时钟频率 400.00 ^a		—	—	400	MHz
参考时钟精度	IDELAYCTRL_REF PRECISION	—	-10	10	MHz



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压}$ $\leq V_{CCP} \leq 105\% \times \text{典型电源电}$ 压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
最小重置脉冲宽度	tIDELAYCTRL_RPW	—	—	59.28	ns
IDELAY/ODELAY^f					
IDELAY/ODELAY 延迟链延迟精度	tIDELAYRESOLUTION	—	—	$1/(32 \times 2 \times FREF)$	ps
基于时钟模型的延时链周期性抖动 ^b	tIDELAYPAT_JIT 和 tODELAYPAT_JIT	—	—	0	ps per tap
基于伪随机数据序列 (PRBS23) 的延时链周期性抖动 ^c		—	-5	5	ps per tap
基于伪随机数据序列 (PRBS23) 的延时链周期性抖动 ^d		—	-9	9	ps per tap
IDELAY/ODELAY 最高 CLK 频率	tIDELAY_CLK_MAX/ tODELAY_CLK_MAX	—	—	600.00	MHz
IDELAY 中 CE 输入端口对于 C 的建立/保持时间	tIDCCK_CE/tIDCKC_CE	—	0.21/0.16	—	ns
ODELAY 中 CE 输入端口对于 C 的建立/保持时间	tODCCK_CE/tODCKC_CE	—	0.16/0.22	—	ns
IDELAY 中 INC 输入端口对于 C 的建立/保持时间	tIDCCK_INC/tIDCKC_INC	—	0.18/0.14	—	ns
ODELAY 中 INC 输入端口对于 C 的建立/保持时间	tODCCK_INC/tODCKC_INC	—	0.12/0.08	—	ns
IDELAY 中 RST 输入端口对于 C 的建立/保持时间	tIDCCK_RST/tIDCKC_RST	—	0.14/0.10	—	ns
ODELAY 中 RST 输入端口对于 C 的建立/保持时间	tODCCK_RST/tODCKC_RST	—	0.19/0.06	—	ns
通过 IDELAY 的延迟时间 ^e	tIDDO_IDATAIN	—	—	—	ps
通过 ODELAY 的延迟时间 ^e	tODDO_ODATAIN	—	—	—	ps
<p>a 平均延时值在 200MHz = 78 ps, 在 300MHz = 52 ps, 在 400MHz = 39 ps。</p> <p>b 当 HIGH_PERFORMANCE 模式设置为 TRUE 或者 FALSE。</p> <p>c 当 HIGH_PERFORMANCE 模式设置为 TRUE。</p> <p>d 当 HIGH_PERFORMANCE 模式设置为 FALSE。</p> <p>e 该延迟与 IDELAY/ODELAY tap 值设定有关。</p> <p>f 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。</p>					

表 5-42 IO_FIFO 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CC} CO _{RE} ≤1.03V, 1.71V≤V _{CC} SU _P ≤1.89V, 95%×典型电源电压 ≤V _{CC} P≤105%×典型电源电 压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
IO_FIFO 时钟到输出延迟 ^a					
RDCLK 到 Q	TOFFCKO_DO	—	—	0.68	ns
时钟到 IO_FIFO	TCKO_FLAGS	—	—	0.77	ns
建议保持时间 ^a					
D 输 入 到 WRCLK	TCKK_D/TCKC_D	—	-0.02	0.58	ns
WREN 到 WRCLK	TIFFCKK_WREN /TIFFCKC_WREN	—	-0.01	0.53	ns
RDEN 到 RDCLK	TOFFCKK_RDEN/TOFFCK C_RDEN	—	0.02	0.66	ns
最小脉宽 ^a					
RESET, RDCLK, WRCLK 最小高 脉宽	TPWH_IO_FIFO	—	—	2.15	ns
RESET, RDCLK, WRCLK 最小低 脉宽	TPWL_IO_FIFO	—	—	2.15	ns
最大频率 ^a					
RDCLK WRCLK	FMAX	—	200	—	MHz
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

5.2.12 可配置逻辑模块(LB)特性

表 5-43 LB 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CC} CORE≤1.03V, 1.71V≤V _{CC} SUP≤1.89V, V _{CC} P=典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
组合延时 ^a					
LUT An-Dn 输入到 A 输出	tILO	—	—	0.13	ns
LUT An-Dn 输入到 AMUX/CMU 输出	tILO_2	—	—	0.36	ns
LUT An-Dn 输入到 BMUX A 输出	tILO_3	—	—	0.55	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
An-Dn 输入到 A-D Q 输出	tITO	—	—	1.27	ns
AX 输入到 AMUX 输出	tAXA	—	—	0.84	ns
AX 输入到 BMUX 输出	tAXB	—	—	0.83	ns
AX 输入到 CMUX 输出	tAXC	—	—	0.82	ns
AX 输入到 DMUX 输出	tAXD	—	—	0.90	ns
BX 输入到 BMUX 输出	tBXB	—	—	0.69	ns
BX 输入到 DMUX 输出	tBXD	—	—	0.82	ns
CX 输入到 CMUX 输出	tCXC	—	—	0.58	ns
CX 输入到 DMUX 输出	tCXD	—	—	0.71	ns
DX 输入到 DMUX 输出	tDXD	—	—	0.70	ns
时序延时 ^a					
触发器时钟 CLK 到 AQ-DQ 输出	tCKO	—	—	0.53	ns
触发器时钟 CLK 到 AMUX-DMUX 输出	tSHCKO	—	—	0.66	ns
LB 触发器在时钟 CLK 到达前/后的建立/保持时间 ^a					
An-Dn 输入	tAS/tAH	—	0.11/0.18	—	ns
Ax-Dx 输入	tDICK/tCKDI	—	0.09/0.26 0.81/0.11	—	ns
Ax-Dx 通过 MUX 与/或后输入	tDICK/tCKDI	—	0.21/0.01	—	ns
CE 输入	tCECK_LB/tCKCE_LB	—	0.53/0.05	—	ns
SR 输入 (同步)	tSRCK/tCKSR	—	0.11/0.18	—	ns



特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
设置/复位 ^a					
最小脉冲宽度, SR/BY 输入	tSRMIN	—	1.04	—	ns
从 SR 输入到 AQ/DQ 输出的延时（异步）	tRQ	—	—	0.71	ns
从 CE 输入到 AQ/DQ 输出的延时（异步）	tCEO	—	—	0.70	ns
开关频率(MHz)（输出控制）	fTOG	—	—	1098	MHz
注：保持时间为“0”表示无保持时间或者负保持时间，不能保证这时最好的保持时间为负值，但可以保证保持时间不会是正值。					
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 5-44 LB 分布式 RAM 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
时序延时 ^b					
时钟 CLK 到 A-B 输出	tSHCKO	—	—	1.32	ns
时钟 CLK 到 AMUX-BMU X 输出	tSHCKO_1	—	—	1.86	ns
在时钟 CLK 到达前/后的建立/保持时间 ^b					
A-D 输入	tDS_LRAM/tDH_LRAM	—	0.72/0.35	—	ns
An 地址输入	tAS_LRAM/tAH_LRAM	—	0.37/0.70	—	ns
An 地址通过 MUXs 与/或后输入	tAS_LRAM/tAH_LRAM	—	0.94/0.26	—	ns
WE 输入	tWS_LRAM/tWH_LRAM	—	0.53/0.17	—	ns
CE 输入	tCECK_LRAM/tCKCE_LRAM	—	0.53/0.17	—	ns
时钟信号 CLK ^b					
最小脉冲宽度	tMPW	—	1.25	—	ns
最小时钟周期	tMCP	—	2.50	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保					



特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
持时间不会是正值。					
a TSHCKO 同样可以表征 CLK 到 XMUX 输出的延时, 参考 CLK 到 XMUX 的路径的 TRCE 报告。					
b 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-45 LB 移位寄存器开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
时序延时 ^a					
时钟 CLK 到 A/D 输出	tREG	—	—	1.61	ns
时钟 CLK 到 AMUX/DMUX 输出	tREG_MUX	—	—	2.15	ns
时钟 CLK 经 M31 到 DMUX 输出	tREG_M31	—	—	1.46	ns
在时钟 CLK 到达前/后的建立/保持时间 ^a					
WE 输入	tWS_SHFREG/tWH_SHFREG	—	0.51/0.17	—	ns
CE 输入	tCECK_SHFREG/tCKCE_SHFREG	—	0.52/0.17	—	ns
A-D 输入	tDS_SHFREG/tDH_SHFREG	—	0.44/0.43	—	ns
时钟信号 CLK ^a					
最小脉冲宽度	tMPW_SHFREG	—	0.98	—	ns
注：保持时间为“0”表示无保持时间或者负保持时间，不能保证这时最好的保持时间为负值，但可以保证保持时间不会是正值。					
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

5.2.13 块 RAM(HRAM)与 FIFO 开关特性

表 5-46 HRAM 和 FIFO 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
时序延时 ^a					
CLK 至 DOUT 延时 (无输出	tRCKO DO	—	—	2.46	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
寄存器)					
CLK 至 DOUT 延时(带输出寄存器)	tRCKO_DO_REG	—	—	0.89	ns
CLK 至 DOUT 延时带 ECC 功能(无输出寄存器)	tRCKO_DO_ECC	—	—	3.84	ns
CLK 至 DOUT 延时带 ECC 功能(带输出寄存器)	tRCKO_DO_ECC_REG	—	—	0.94	ns
CLK 至 DOUT 延时带级联功能(无输出寄存器)	tRCKO_DO_CASCO	—	—	3.84	ns
CLK 至 DOUT 延时带级联功能(带输出寄存器)	tRCKO_DO_CASCO_REG	—	—	0.94	ns
CLK 至 FIFO flags 的输出延时	tRCKO_FLAGS	—	—	3.30	ns
CLK 至 FIFO pointer 的输出延时	tRCKO_POINTERS	—	—	1.46	ns
在 ECC 仅编码模式下 CLK 至 ECCPARITY 的输出延时	tRCKO_PARITY_ECC	—	—	1.05	ns
CLK 至 BITERR 的输出延时(无输出寄存器)	tRCKO_SDBIT_ECC	—	—	1.15	ns
CLK 至 BITERR 的输出延时(带输出寄存器)	tRCKO_SDBIT_ECC_REG	—	—	0.94	ns
CLK 至 RDADDR 延时带 ECC 功能(无输出寄存器)	tRCKO_RDADDR_ECC	—	—	3.55	ns
CLK 至 RDADDR 延时带 ECC 功能(带输出寄存器)	tRCKO_RDADDR_ECC_REG	—	—	0.89	ns
时钟 CLK 到达前的建立/保持时间 ^a					
ADDR 输入的建立/保持时间	tRCCK_ADDRA/tRCKC_ADDRA	—	0.63/0.50	—	ns
WRITE_FIRST 或 NO_CHANGE 模式下数据输入的建立/保持时间	tRDCK_DI_WF_NC/tRCKD_DI_WF_NC	—	1.17/0.50	—	ns
READ_FIRST 模式下数据输入的建立/保持时间	tRDCK_DI_RF/tRCKD_DI_RF	—	1.32/0.64	—	ns
带有标准模式 ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECC/tRCKD_DI_ECC	—	0.74/0.40	—	ns
带有仅编码模式 ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECCW/tRCKD_DI_ECCW	—	0.45/0.23	—	ns
带有标准模式 FIFO ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECC_FIFO/tRCKD_DI_ECC_FIFO	—	0.36/0.16	—	ns
ECC 模式下 INJECTBITERR	tRCCK_INJECTBITE	—	0.35/0.07	—	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
输入的建立/保持时间	RR/tRCKC_INJECT BITERR				
EN 输入的建立/保持时间	tRCKC_EN/tRCKC_EN	—	0.63/0.50	—	ns
REGCE 输入的建立/保持时间	tRCKC_REGCE/tRCKC_REGCE	—	1.17/0.50	—	ns
RSTREG 输入的建立/保持时间	tRCKC_RSTREG/tRCKC_RSTREG	—	1.32/0.64	—	ns
RSTRAM 输入的建立/保持时间	tRCKC_RSTRAM/tRCKC_RSTRAM	—	0.36/0.46	—	ns
WE 输入的建立/保持时间 (仅限 HRAM)	tRCKC_WEA/tRCKC_WEA	—	0.54/0.20	—	ns
FIFO WREN 输入建立/保持时间	tRCKC_WREN/tRCKC_WREN	—	0.47/0.43	—	ns
FIFO RDEN 输入建立/保持时间	tRCKC_RDEN/tRCKC_RDEN	—	0.43/0.43	—	ns
复位延时 ^a					
复位 RST 至 FIFO flags/pointers 延时	tRCO_FLAGS	—	—	1.10	ns
FIFO 复位恢复和消除延时	tRREC_RST/tRREM_RST	—	—	2.37/-0.81	ns
最高工作频率 ^a					
WRITE_FIRST 和 NO_CHANGE 模式下的 HRAM 最大工作频率	fMAX_HRAM_WF_NC	—	—	388.20	MHz
READ_FIRST 和 PERFORMANCE 模式下的 HRAM 最大工作频率	fMAX_HRAM_RF_PERFORMANCE	—	—	388.20	MHz
READ_FIRST 和 DELAYED_WRITE 模式下的 HRAM 最大工作频率	fMAX_HRAM_RF_DELAYED_WRITE	—	—	339.67	MHz
WRITE_FIRST 和 NO_CHANGE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_WF_NC	—	—	345.78	MHz
READ_FIRST 和 PERFORMANCE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_RF_PERFORMANCE	—	—	345.78	MHz
READ_FIRST 和 DELAYED_WRITE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_RF_DELAYED_WRITE	—	—	297.35	MHz
FIFO 不带 ECC 功能的最大	fMAX_FIFO	—	—	388.20	MHz

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
工作频率					
带有 ECC 功能的 HRAM 和 FIFO 最大工作频率	fMAX_ECC	—	—	297.53	MHz
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。					
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

5.2.14 CU 开关特性

表 5-47 CU 开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _c ≤125℃)	极限值		单位
			最小值	最大值	
数据管脚到输入流水寄存器的建立时间和保持时间 ^a					
A 管脚到 A 寄存器	TCUDCK_A_AREG /TCUCKD_A_AREG	—	—	0.37/ 0.14	ns
B 管脚到 B 寄存器	TCUDCK_B_BREG /TCUCKD_B_BREG	—	—	0.45/ 0.18	ns
C 管脚到 C 寄存器	TCUDCK_C_CREG /TCUCKD_C_CREG	—	—	0.24/ 0.21	ns
D 管脚到 D 寄存器	TCUDCK_D_DREG /TCUCKD_D_DREG	—	—	0.42/ 0.27	ns
ACIN 管脚到 ACIN 寄存器	TCUDCK_ACIN_AREG /TCUCKD_ACIN_AREG	—	—	0.32/ 0.14	ns
BCIN 管脚到 BCIN 寄存器	TCUDCK_BCIN_BREG /TCUCKD_BCIN_BREG	—	—	0.36/ 0.18	ns
数据管脚到传输流水寄存器的建立时间和保持时间 ^a					
{A, B}管脚到 M 寄存器	TCUDCK_{A,B}_MREG_MULT /TCUCKD_{A,B}_MREG_MULT	—	—	3.29/ -0.01	ns
{A, D}管脚到 AD 寄存器	TCUDCK_{A,D}_ADREG /TCUCKD_{A,D}_ADREG	—	—	1.76/ -0.02	ns
数据管脚到输出流水寄存器的建立时间和保持时间 ^a					
{A, B}管脚通过 乘法器到 P 寄存 器	TCUDCK_{A,B}_PREG_MULT /TCUCKD_{A,B}_PREG_MULT	—	—	5.48/ -0.28	ns
D 管脚通过乘法 器到 P 寄存器	TCUDCK_D_PREG_MULT /TCUCKD_D_PREG_MULT	—	—	5.35/ -0.73	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
{A, B}管脚到 P 寄存器	TCUDCK_{A,B}_PREG /TCUCKD_{A,B}_PREG	—	—	2.35/ -0.28	ns
C 管脚到 P 寄存器	TCUDCK_C_PREG /TCUCKD_C_PREG	—	—	2.10/ -0.26	ns
PCIN 管脚到 P 寄存器	TCUDCK_PCIN_PREG /TCUCKD_PCIN_PREG	—	—	1.80/ -0.15	ns
控制管脚到流水寄存器的建立时间和保持时间 ^a					
CEA, CEB 到 A, B 寄存器	TCUDCK_{CEA;CEB}_{AREG;BREG} /TCUCKD_{CEA;CEB}_{AREG;BREG}	—	—	0.52/ 0.11	ns
CEC 到 C 寄存器	TCUDCK_CEC_CREG /TCUCKD_CEC_CREG	—	—	0.42/ 0.13	ns
CED 到 D 寄存器	TCUDCK_CED_DREG /TCUCKD_CED_DREG	—	—	0.52/ -0.03	ns
CEM 到 M 寄存器	TCUDCK_CEM_MREG /TCUCKD_CEM_MREG	—	—	0.27/0.2 3	ns
CEP 到 P 寄存器	TCUDCK_CEP_PREG /TCUCKD_CEP_PREG	—	—	0.53/ 0.01	ns
RST 管脚到流水寄存器的建立时间和保持时间 ^a					
RSTA, RSTB 到 A, B 寄存器	TCUDCK_{RSTA;RSTB}_{AREG;BREG} /TCUCKD_{RSTA;RSTB}_{AREG;BREG}	—	—	0.55/ 0.15	ns
RSTC 到 C 寄存器	TCUDCK_RSTC_CREG /TCUCKD_RSTC_CREG	—	—	0.09/ 0.12	ns
RSTD 到 D 寄存器	TCUDCK_RSTD_DREG /TCUCKD_RSTD_DREG	—	—	0.59/ 0.09	ns
RSTM 到 M 寄存器	TCUDCK_RSTM_MREG /TCUCKD_RSTM_MREG	—	—	0.27/ 0.28	ns
RSTP 到 P 寄存器	TCUDCK_RSTP_PREG /TCUCKD_RSTP_PREG	—	—	0.35/ 0.01	ns
输入管脚到输出管脚的传输延时 ^a					
A 管脚通过乘法器, 到 CARRYOUT	TCUDO_A_CARRYOUT_MULT	—	—	5.18	ns
D 管脚通过乘法器, 到 P 输出	TCUDO_D_P_MULT	—	—	5.07	ns
A 管脚到 P 输出	TCUDO_A_P	—	—	2.08	ns
C 管脚到 P 输出	TCUDO_C_P	—	—	1.82	ns
输入管脚到级联输出管脚的传输延时 ^a					



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
A, B 管脚到 ACOUT, BCOUT 输出	TCUDO_{A, B}_{ACOUT, BCOUT}	—	—	0.74	ns
A, B 管脚通过乘法器到 CARRYCASCO UT 输出	TCUDO_{A, B}_{CARRYCASCO UT_MULT}	—	—	5.54	ns
D 管脚通过乘法器到 CARRYCASCO UT 输出	TCUDO_D_CARRYCASCO UT_MULT	—	—	5.40	ns
A, B 管脚到 CARRYCASCO UT 输出	TCUDO_{A, B}_{CARRYCASCO UT}	—	—	2.41	ns
C 管脚到 CARRYCASCO UT 输出	TCUDO_C_CARRYCASCO UT	—	—	2.15	ns
级联输入管脚到输出管脚的传输延时 ^a					
ACIN 通过乘法器到 P 输出	TCUDO_ACIN_P_MULT	—	—	5.00	ns
ACIN 到 P 输出	TCUDO_ACIN_P	—	—	1.88	ns
ACIN 到 ACOUT 输出	TCUDO_ACIN_ACOUT	—	—	0.53	ns
ACIN 通过乘法器到 CARRYCASCO UT 输出	TCUDO_ACIN_CARRYCASCO UT_MULT	—	—	5.33	ns
ACIN 到 CARRYCASCO UT 输出	TCUDO_ACIN_CARRYCASCO UT	—	—	2.21	ns
PCIN 到 P 输出	TCUDO_PCIN_P	—	—	1.52	ns
PCIN 到 CARRYCASCO UT 输出	TCUDO_PCIN_CARRYCASCO UT	—	—	1.85	ns
输出流水寄存器到输出管脚的传输延时 ^a					
PREG 到 P 输出	TCUCKO_P_PREG	—	—	0.44	ns
PREG 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO UT_PREG	—	—	0.69	ns
传输路径流水寄存器到输出管脚的传输延时 ^a					
M 到 P 输出	TCUCKO_P_MREG	—	—	2.31	ns



特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
M 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_M REG	—	—	2.64	ns
AD 通过乘法器 到 P 输出	TCUCKO_P_ADREG_MULT	—	—	3.69	ns
AD 通过乘法器 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_A DREG_MULT	—	—	4.02	ns
输入流水寄存器到输出管脚的传输延时 ^a					
A 通过乘法器到 P 输出	TCUCKO_P_AREG_MULT	—	—	5.37	ns
B 到 P 输出	TCUCKO_P_BREG	—	—	2.22	ns
C 到 P 输出	TCUCKO_P_CREG	—	—	2.30	ns
D 通过乘法器到 P 输出	TCUCKO_P_DREG_MULT	—	—	5.32	ns
输入流水寄存器到级联输出管脚的传输延时 ^a					
ACOUT , BCOUT 到 A, B	TCUCKO_{ACOUT; BCOUT}_{AREG; BREG}	—	—	0.87	ns
A, B 通过乘法器 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_{A REG, BREG}_MULT	—	—	5.70	ns
B 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_B REG	—	—	2.55	ns
D 通过乘法器到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_D REG_MULT	—	—	5.65	ns
C 到 CARRYCASCO UT 输出	TCUCKO_CARRYCASCO_C REG	—	—	2.63	ns
最大工作速率 ^a					
选择所有流水寄 存器的通路速率	FMAX	—	464.25	—	MHz
向量检测功能速 率	FMAX_PATDET	—	392.93	—	MHz
不通过 MREG, 乘法器速率	FMAX_MULT_NOMREG	—	257.47	—	MHz

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
不通过 MREG, 乘法器到向量检测器速率	FMAX_MULT_NOMREG_PATDET	—	233.92	—	MHz
不通过 AD, 预加器, 乘法器速率	FMAX_PREADD_MULT_NOADREG	—	290.44	—	MHz
不通过 AD, 预加器, 乘法器到向量检测器速率	FMAX_PREADD_MULT_NOADREG_PATDET	—	290.44	—	MHz
不通过 M, AD 速率	FMAX_NOPIPELINEREG	—	190.69	—	MHz
不通过 M, AD 的向量检测器速率	FMAX_NOPIPELINEREG_PATDET	—	177.43	—	MHz
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

5.2.15 时钟网络特性

表 5-48 全局时钟网络开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
全局时钟开关特性 ^a					
CE 管脚的建立、保持时间 ^a	TBCCCK_CE /TBCCCK_CE	—	—	0.16/0.41	ns
S 管脚的建立、保持时间 ^a	TBCCCK_S /TBCCCK_S	—	—	0.16/0.41	ns
GCDUCTRL 从 I0/I1 到输出的 延时 ^a	TBCCCKO_O	—	—	0.1	ns
全局时钟树最大频率 ^a	FMAX_GCDU	—	464	—	MHz
^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 5-49 输入输出时钟网络开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
BUFIO 开关特性 ^a					
BUFIO 输入到输出延 时 ^a	TBIOCKO_O	—	—	1.54	ns
IO 时钟网络速率 ^a	FMAX_BUFIO	—	600	—	MHz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数,在设计过程中通过仿真或测试保证,在鉴定和质量一致性检验时不进行测试。

表 5-50 区域时钟网络开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
BUFR 开关特性 a					
BUFR 输入到输出延时 a	TBRCKO_O	—	—	0.99	ns
BUFR 输入到输出延时, 不设置任何属性 a	TBRCKO_O_BYP	—	—	0.52	ns
从 CLR 到输出的传输延时 a	TBRDO_O	—	—	1.09	ns
区域时钟网络速率 a	FMAX_BUFR	—	315	—	MHz
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数,在设计过程中通过仿真或测试保证,在鉴定和质量一致性检验时不进行测试。

表 5-51 水平时钟网络开关特性参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
BUFH 开关特性 ^a					
BUFH 输入到输出延时 ^a	TBHCKO_O	—	—	0.13	ns
CE 管脚的建立、保持时间 ^a	TBHCKK_CE /TBHCKC_CE	—	—	0.28/0.21	ns
水平时钟网络速率 ^a	FMAX_BUFH	—	464	—	MHz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数,在设计过程中通过仿真或测试保证,在鉴定和质量一致性检验时不进行测试。

表 5-52 占空比失真和时钟树歪斜

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
占空比失真和时钟树歪斜 ^a					
全局时钟占空比失真 ^a	TDCD_CLK	—	—	0.2	ns
全局时钟树歪斜 ^a	TCKSKEW	—	—	0.26	ns
IO 时钟占空比失真 ^a	TDCD_BUFIO	—	—	0.14	ns
IO 时钟树歪斜 ^a	TBUFIOSKEW	—	—	0.03	ns
区域时钟占空比失真 ^a	TDCD_BUFR	—	—	0.18	ns
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-53 DCCU 规格参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, -55℃≤T _C ≤125℃)	极限值		单位
			最小值	最大值	
DCCU 规格参数 ^a					
输入频率 ^a	DCCU_FIN	—	10	800	MHz
最大输入周期性抖动 ^a	DCCU_FINJITTER	—	—	<20%的时钟周期, 或者不超过 1ns	—
最大输入占空比: 10~49MHz ^a	DCCU_FINDUTY	—	—	25	%
最大输入占空比: 50~199MHz ^a		—	—	30	%
最大输入占空比: 200~399MHz ^a		—	—	35	%
最大输入占空比: 400~499MHz ^a		—	—	40	%
最大输入占空比: >500MHz ^a		—	—	45	%
动态相移时钟 ^a	DCCU_F_PSCLK	—	0.01	450	MHz
VCO 频率 ^a	DCCU_FVCO	—	600	1200	MHz
低频带带宽 ^a	DCCU_FBANDWIDTH	—	1	—	MHz
高频带带宽 ^a		—	4	—	MHz
输出相移 ^a	DCCU_TSTATPHAOFFSET	—	—	0.12	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
输出抖动 ^a	DCCU_TOUTJITTER	—	—	—	—
输出占空比精度 ^a	DCCU_TOUTDUTY	—	—	0.2	ns
锁定时间 ^a	DCCU_TLOCKMAX	—	—	100	us
输出频率 ^a	DCCU_FOUT	—	4.69	800	MHz
外部时钟反馈变化 ^a	DCCU_TEXTFDVAR	—	—	<20%的时钟周期, 或者不超过 1ns	—
重置信号最小电平宽度 ^a	DCCU_RSTMINPULSE	—	—	5	ns
鉴相器频率 ^a	DCCU_FPF	—	10	450	MHz
反馈延迟 ^a	DCCU_TFBDELAY	—	—	3ns 或者 1 个 clkin 周期	—
DCCU 开关特性 ^a					
动态相移使能的建立和保持时间 ^a	TDCCUDCK_PSEN /TDCCUCKD_PSEN	—	—	1.04/0	ns
动态相移增加或者减少时的建立和保持时间 ^a	TDCCUDCK_PSINCDE C /TDCCUCKD_PSINCDE C	—	—	1.04/0	ns
PSDONE 时差 ^a	TDCCUCKO_PSDONE	—	—	0.81	ns
DCCU 动态配置端口特性 ^a					
DADDR 的建立和保持时间 ^a	TDCCUDCK_DADDR /TDCCUCKD_DADDR	—	—	1.63/0.15	ns
DI 的建立和保持时间 ^a	TDCCUDCK_DI /TDCCUCKD_DI	—	—	1.63/0.15	ns
DEN 的建立和保持时间 ^a	TDCCUDCK_DEN /TDCCUCKD_DEN	—	—	2.99/0.00	ns
DWE 的建立和保持时间 ^a	TDCCUDCK_DWE /TDCCUCKD_DWE	—	—	1.63/0.15	ns
DRDY 时差 ^a	TDCCUCKO_DRDY	—	—	0.99	ns
DCLK 频率 ^a	FDCK	—	200	—	MHz
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 5-54 PLL 规格参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$,	极限值	单位
----	----	--	-----	----

			最小值	最大值	
PLL 规格参数 ^a					
输入频率 ^a	PLL_FIN	—	19	800	MHz
最大输入周期性抖动 ^a	PLL_FINJITTER	—	—	<20%的 时钟周期, 或者 不超过 1ns	—
最大输入占空比: 10~49MHz ^a	PLL_FINDUTY	—	—	25	%
最大输入占空比: 50~199MHz ^a	—	—	—	30	%
最大输入占空比: 200~399MHz ^a	—	—	—	35	%
最大输入占空比: 400~499MHz ^a	—	—	—	40	%
最大输入占空比: >500MHz ^a	—	—	—	45	%
VCO 频率 ^a	PLL_FVCO	—	800	1600	MHz
低频带带宽 ^a	PLL_FBANDWIDTH	—	1	—	MHz
高频带带宽 ^a	—	—	4	—	MHz
输出相移 ^a	PLL_TSTATPHAOFFSET	—	—	0.12	ns
输出抖动 ^a	PLL_TOUTJITTER	—	—	—	—
输出占空比精度 ^a	PLL_TOUTDUTY	—	—	0.2	ns
锁定时间 ^a	PLL_TLOCKMAX	—	—	100	us
输出频率 ^a	PLL_FOUT	—	6.25	800	MHz
外部时钟反馈变化 ^a	PLL_TEXTFDVAR	—	—	<20%的 时钟周期, 或者 不超过 1ns	—
重置信号最小电平宽度 ^a	PLL_RSTMINPULSE	—	—	5	ns
鉴相器频率 ^a	PLL_FPDF	—	19	450	MHz
反馈延迟 ^a	PLL_TFBDELAY	—	—	3ns 或者 1 个 clkin 周期	—
PLL 动态配置端口特性 ^a					
DADDR 的建立和保持时间 ^a	TPLLDCK_DADDR/TPLLCKD_DADDR	—	—	1.63/0.15	ns
DI 的建立和保持时间 ^a	TPLLDCK_DI/TPLLCKD_DI	—	—	1.63/0.15	ns

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电源电压, $-55^{\circ}C \leq T_C \leq 125^{\circ}C$)	极限值		单位
			最小值	最大值	
DEN 的建立和保持时间 ^a	TPLLDCK_DEN /TPLLCKD_DEN	—	—	2.29/0.00	ns
DWE 的建立和保持时间 ^a	TPLLDCK_DWE /TPLLCKD_DWE	—	—	1.63/0.15	ns
DRDY 时差 ^a	TPLLCKO_DRDY	—	—	0.99	ns
DCLK 频率 ^a	FDCK	—	200	—	MHz
^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

5.3 器件特性曲线

5.3.1 负载电流与输出电压特性曲线

测试方法:

VCCCORE, VCCHRAM, VCCSUP, VCCP, VUHSTVCC, VUHSTVTT, VCCADC, 在额定电压条件。

VOH 测试方法为: 在 $T_A=25^{\circ}\text{C}$, LVTTL (LVCMOS33) 协议条件下, 设置输出为高电平, 改变负载大小, 从管脚往外拉负载电流, 0mA 开始以 -4mA 步进截至 -24mA, 测试不同条件的 VOH。

VOL 测试方法为: 在 $T_A=25^{\circ}\text{C}$, LVTTL (LVCMOS33) 协议条件下, 设置输出为低电平, 改变负载大小, 从管脚往里灌负载电流, 0mA 开始以 4mA 步进截至 24mA, 测试不同条件的 VOL。

试验选取 JFMK50T4 (其它产品可以引用该结果) 样品进行测试。输出高电平 (VOH) 与电流负载变化的特性曲线如下图所示, 由图可知, 输出高电平 (VOH) 随着电流负载的升高而降低 (符合预期)。

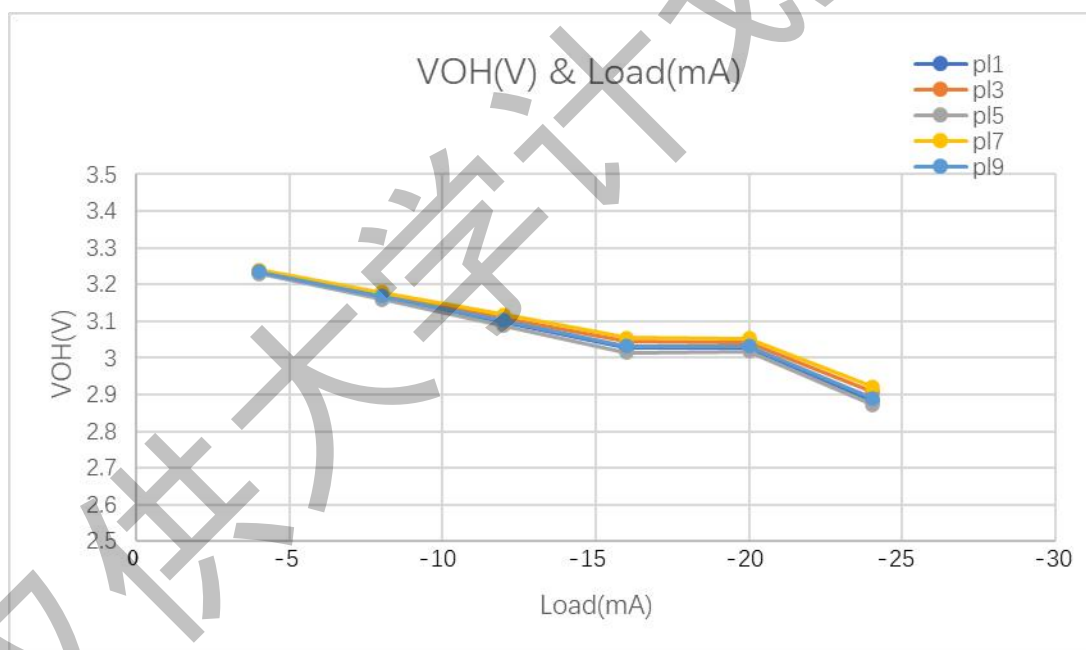


图 5-1 VOH 与负载电流特性曲线

输出低电平 (VOL) 与电流负载变化的特性曲线如下图, 由图可知, 输出低电平 (VOL) 随着电流负载的升高而升高 (符合预期)。

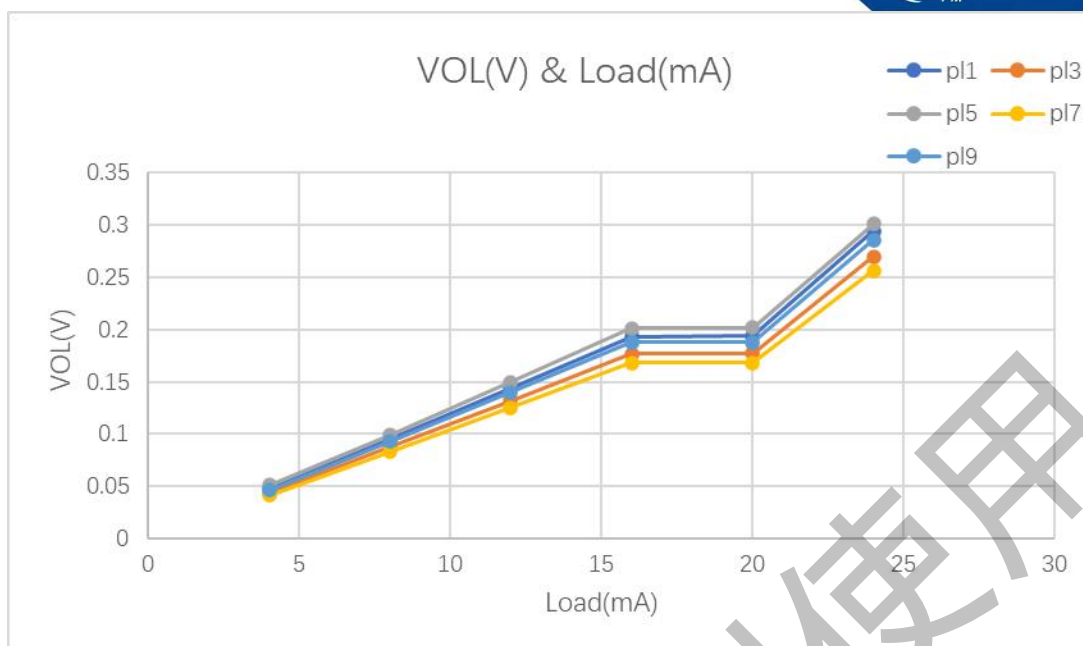


图 5-2 VOL 与负载电流特性曲线

5.3.2 静态电流随温度变化特性曲线

测试方法:

VCCCORE, VCCHRAM, VCCSUP, VCCP, 在额定电压、低电压、高电压三种条件下, TA 温度范围 -40°C ~ 100°C 、初始温度为 -40°C , 步进值 10°C , 测试各电源的静态电流。

VCCCORE, VCCHRAM, VCCSUP, VCCP 电源静态电流随温度及电压的特性曲线如下列图所示, 其中电压 MIN 表示低电压, 电压 TYP 表示典型电压, 电压 MAX 表示高电压。

从曲线中可以看出, VCCCORE, VCCHRAM, VCCSUP 电源静态功耗随温度增加而剧烈上升, 符合晶体管器件亚阈值漏电的温度特性。

VCCP0 为 BANK0 IO 电源, 支持 1.2V、1.8V、2.5V、3.3V。测试方案中 TYP 电压选择 3.3V, MAX 电压选择 3.3×1.05 , 即 3.465V, 而 MIN 的电压选择 1.2×0.95 , 即 1.14V。因此 TYP 曲线与 MAX 曲线比较贴合。另外 VCCP0 的静态电流没有满足随着温度上升剧烈上升的特性, 其原因为此 VCCP0 的静态电流不都是晶体管亚阈值漏电流, 而是由直流偏置电流占主导。其它 BANK IO 的试验结果一致。

ICCCOREQ(mA)与温度(°C)及电压的变化曲线

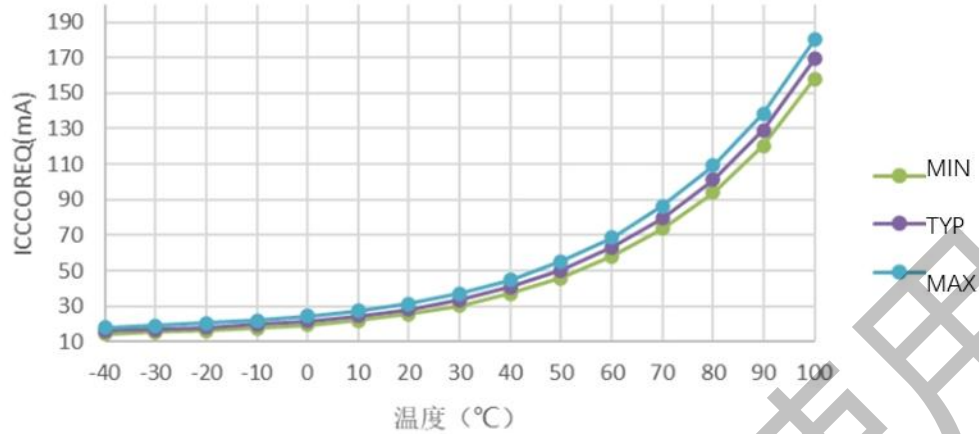


图 5-3 VCCCORE 静态电流随温度变化特性曲线

ICCHRAMQ(mA)与温度(°C)及电压的变化曲线

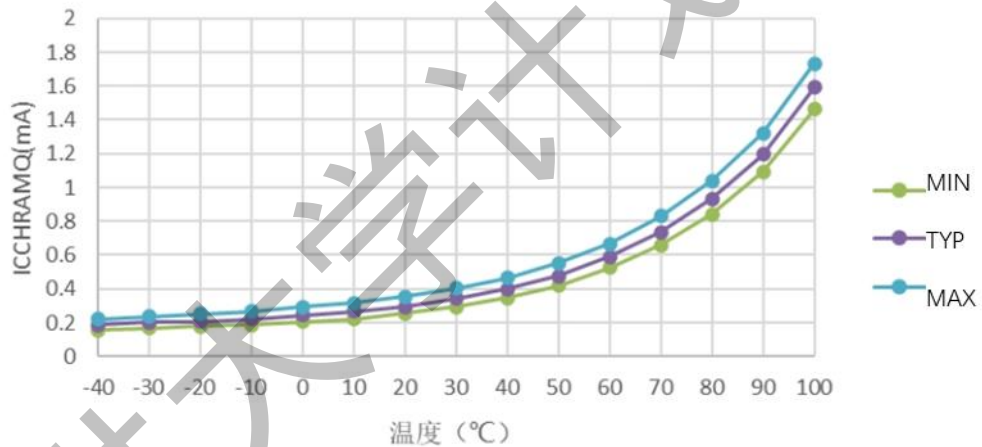


图 5-4 VCCHRAM 静态电流随温度变化特性曲线

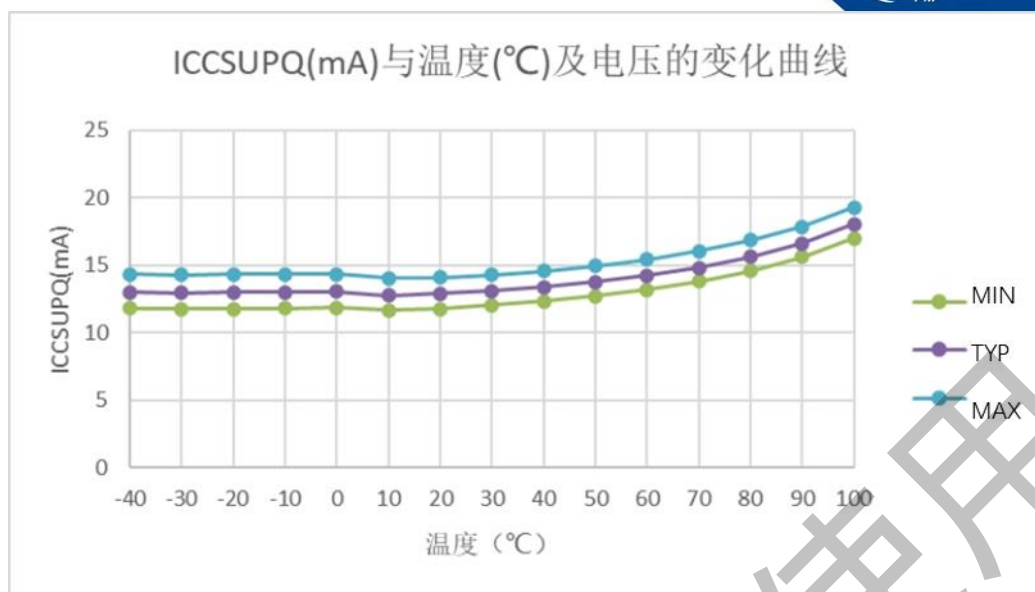


图 5-5 VCCSUP 静态电流随温度变化特性曲线

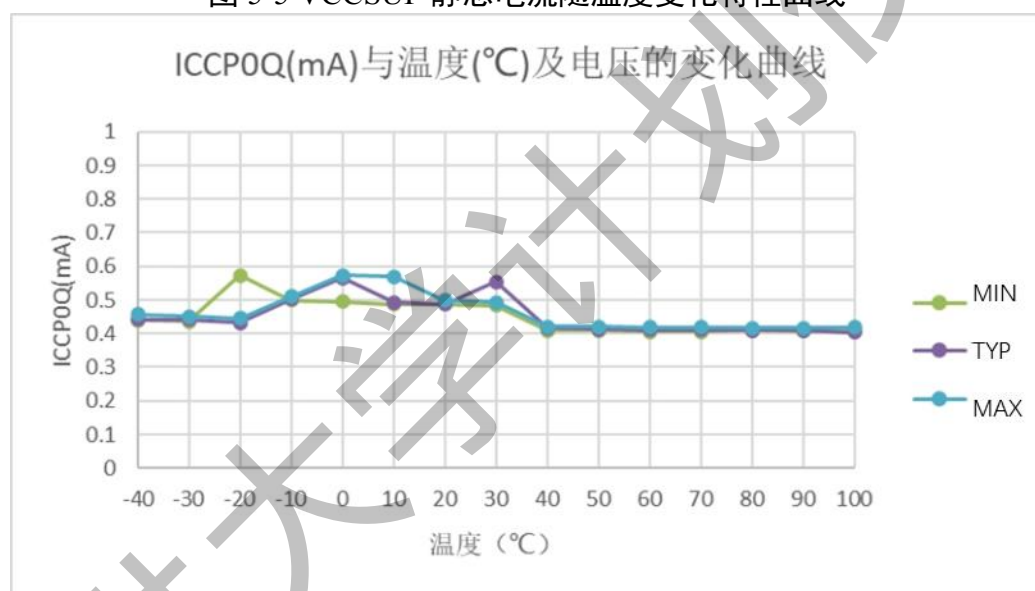


图 5-6 VCCP0 静态电流随温度变化特性曲线

5.3.3 动态功耗与温度、频率的特性曲线

测试方法:

测试温度为-40°C、25°C、100°C;

频率: 50MHz~300MHz, 选取频率为 50MHz、100MHz、200MHz、300MHz;

资源利用率:

LB 模块共 4075 个 LB (8150 个 Slices, 其中 5750 个 SLICEL, 2400 个 SLICEM);

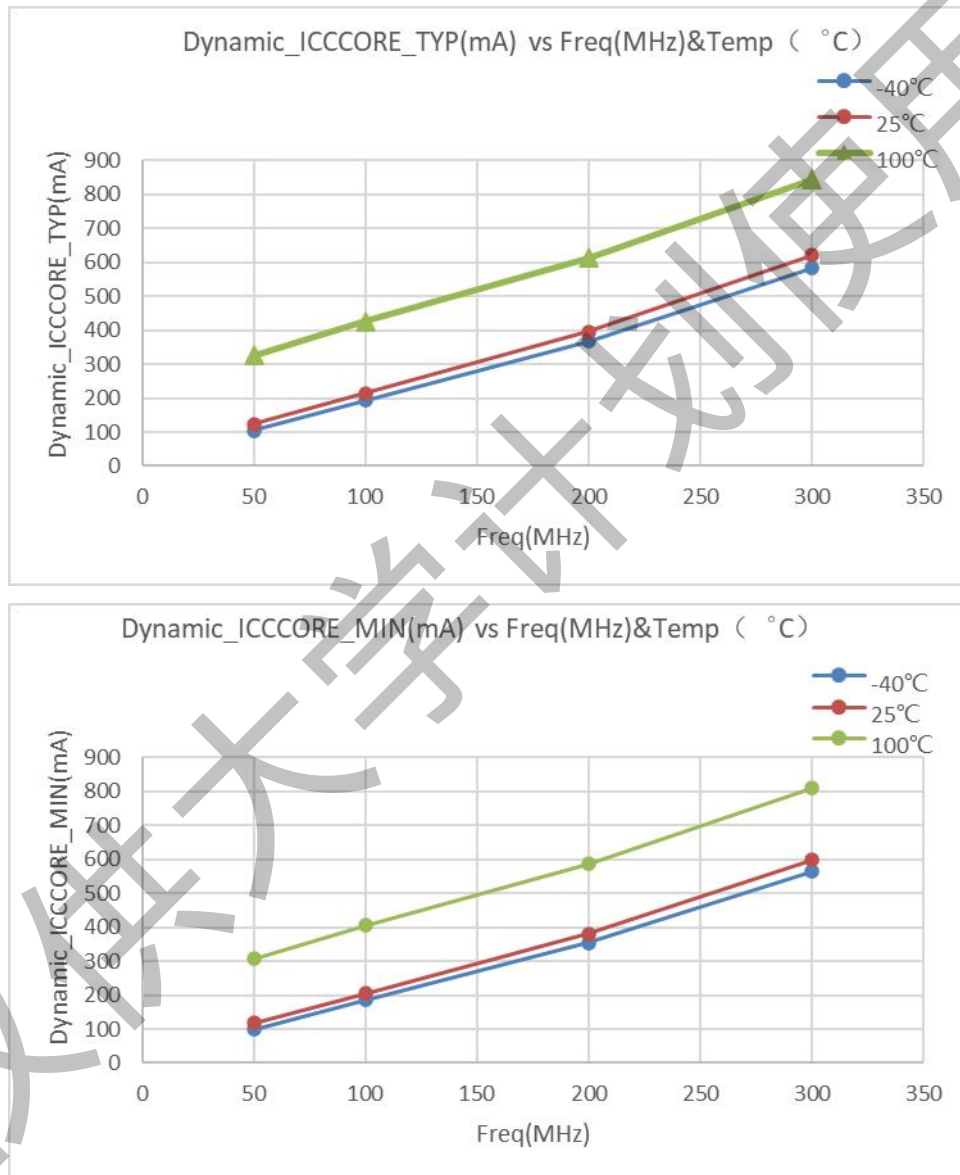
LB 移位寄存器的测试向量例化 2400 个 SLICEM 以及 2400 个 SLICEL, 整个 LB 模块资源利

用率为 58.90%。

VCCHRAM, VCCSUP, VCCP, VUHSTVCC, VUHSTVTT, VCCADC, 为额定电压条件。

每个频率下测试一次 VCCCORE 在典型电压 (TYP)、低电压 (MIN)、高电压 (MAX) 下的电流, 同时监测 CMT 输出锁定。

从曲线中可以看出, VCCCORE 在典型电压 (TYP)、低电压 (MIN)、高电压 (MAX) 下随着频率上升电流线性上升 (符合预期)。



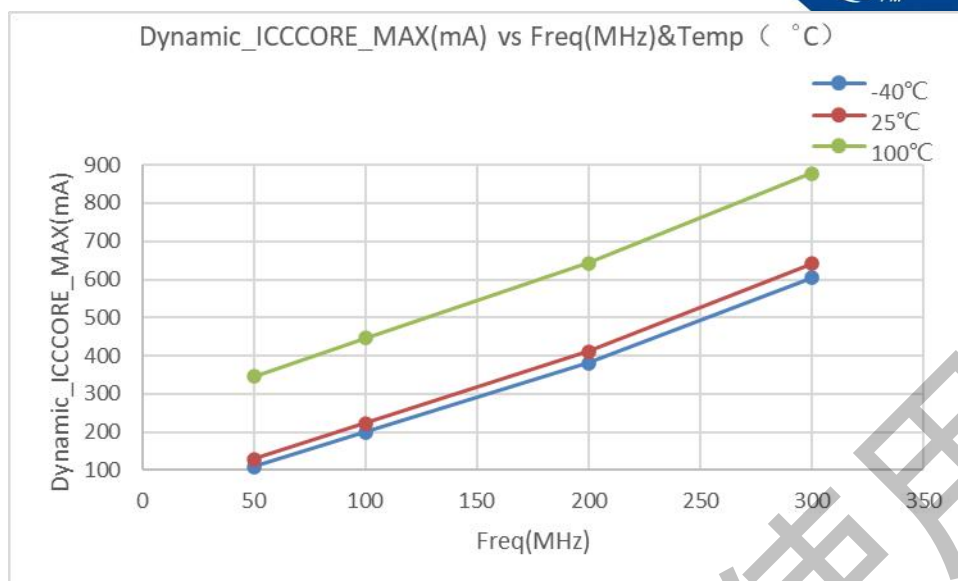


图 5-7 VCCCORE 动态功耗随频率、温度变化特性曲线

5.3.4 AC 参数与温度的特性曲线

1) 全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(相邻时钟区域):

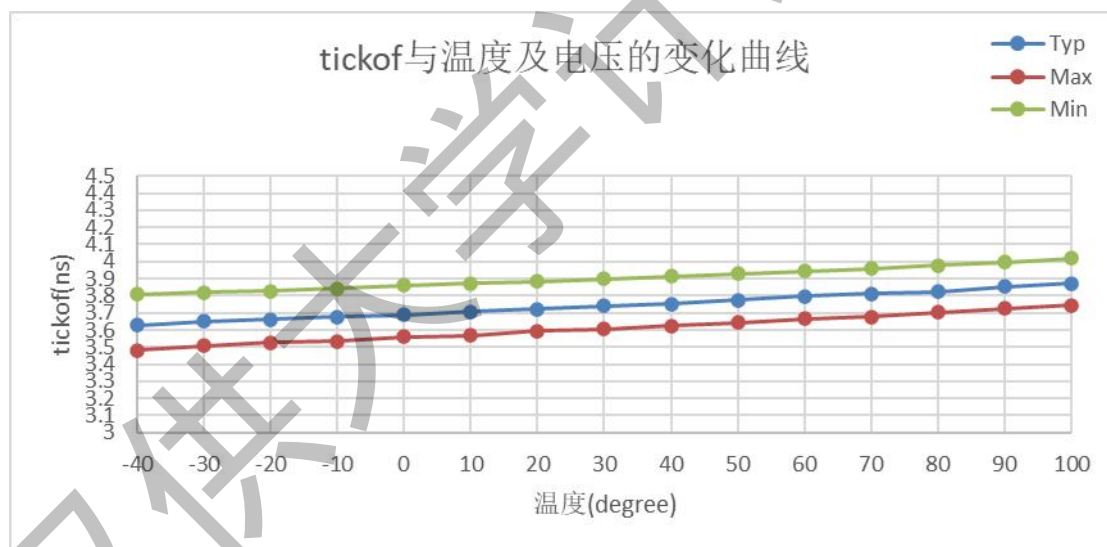


图 5-8 tickof 与温度及电压的特性曲线

2) 全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(最远时钟区域):

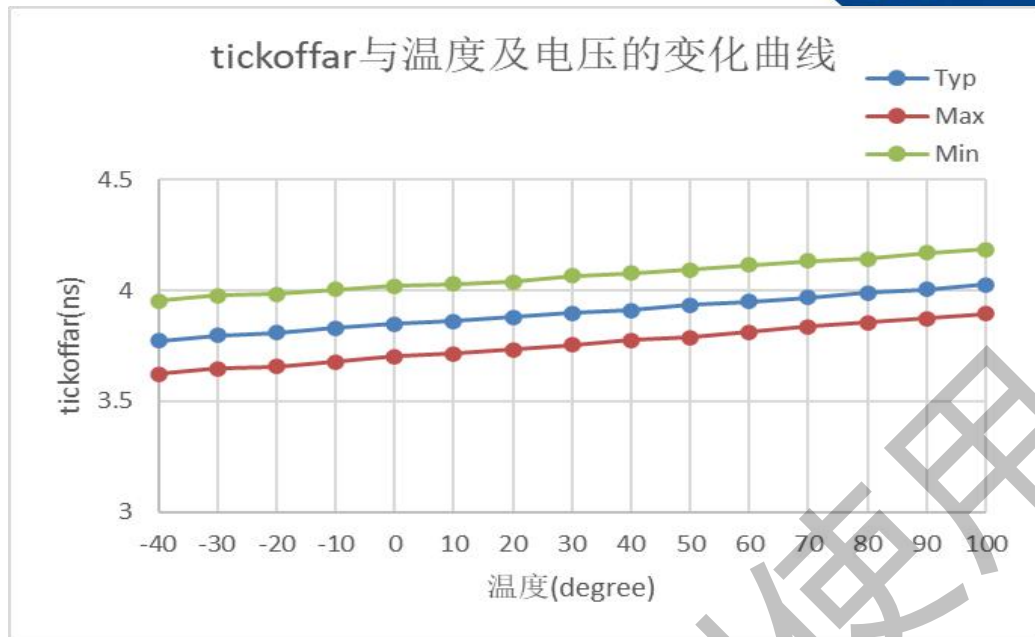


图 5-9 tickoffar 与温度及电压的特性曲线

3) 全局时钟输入到输出触发器输出延迟, 使用 DCCU:

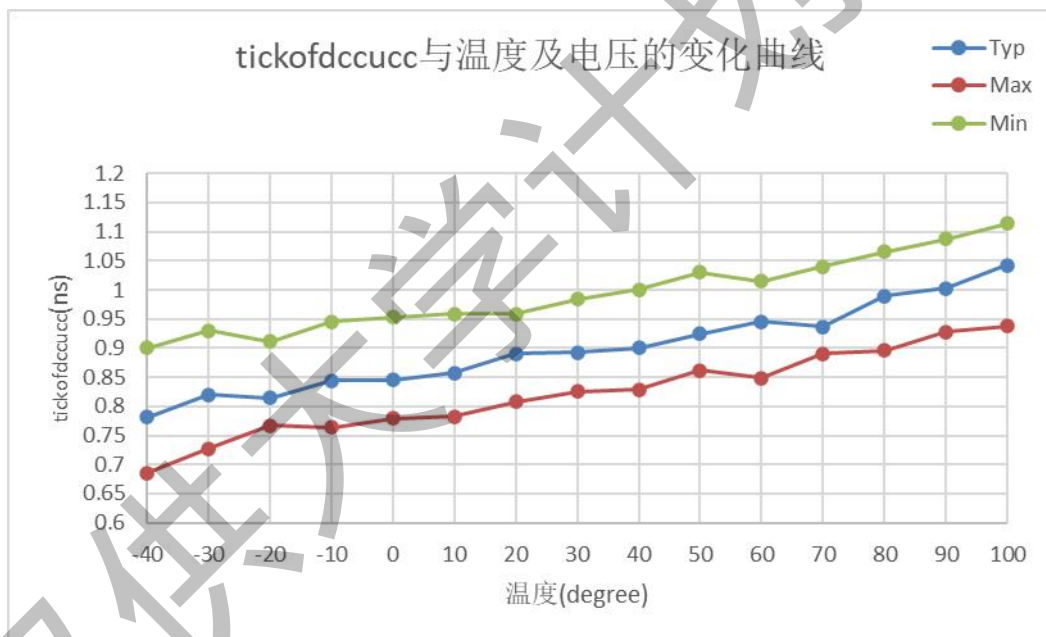


图 5-10 tickofdccucc 与温度及电压的特性曲线

4) 全局时钟输入到输出触发器输出延迟, 使用 PLL:

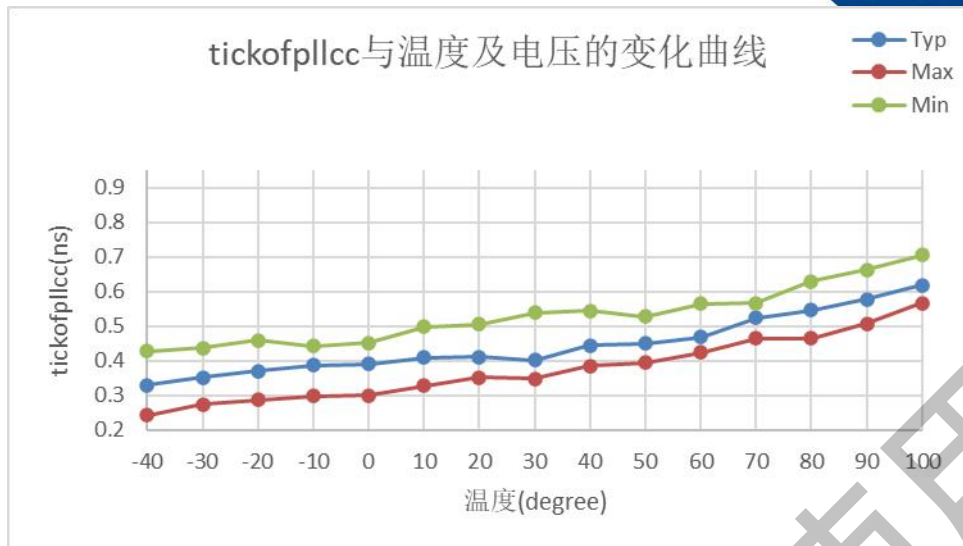


图 5-11 tickofpllcc 与温度及电压的特性曲线

5) 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 DCCU:

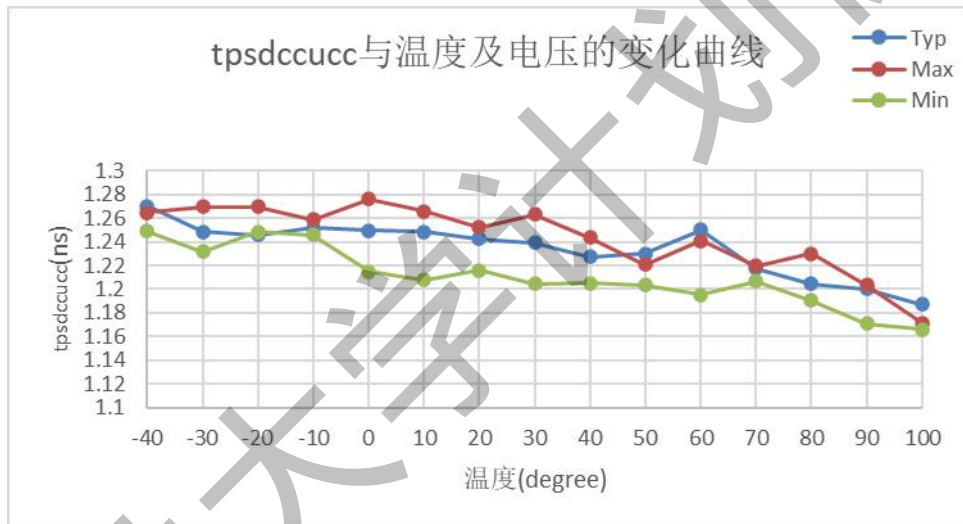


图 5-12 tpsdccucc 与温度及电压的特性曲线

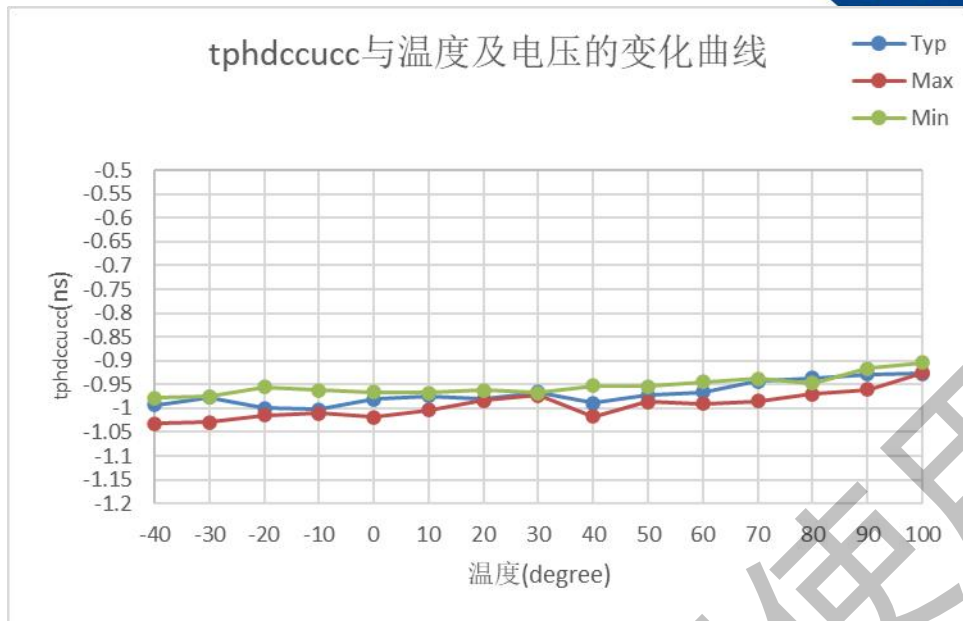


图 5-13 tphdccucc 与温度及电压的特性曲线

6) 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 PLL;

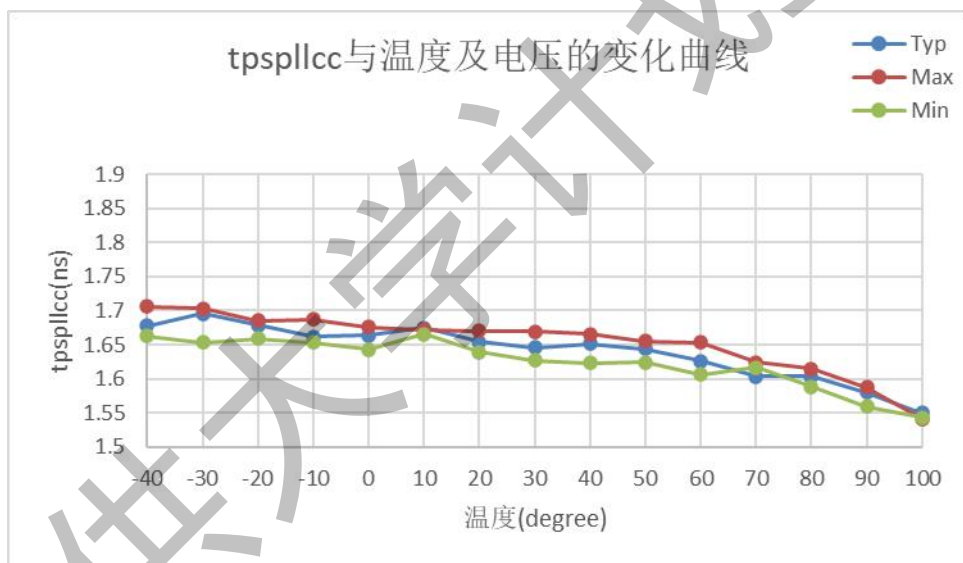


图 5-14 tpspllcc 与温度及电压的特性曲线

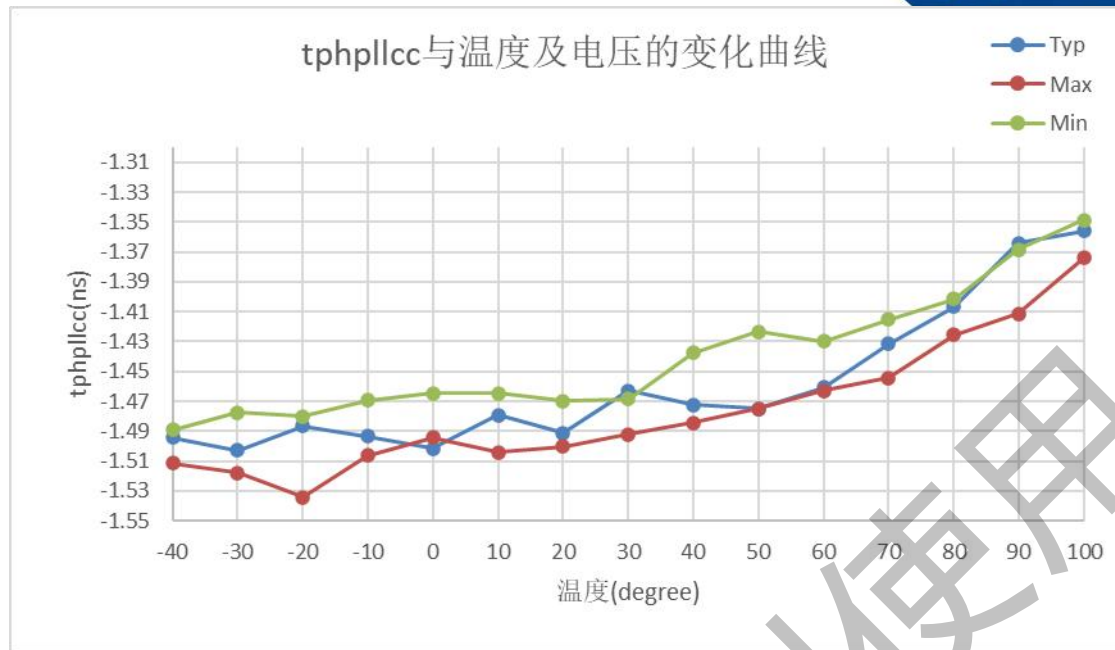


图 5-15 tphpllcc 与温度及电压的特性曲线

7) 源同步 pin-to-pin 开关特性参数:

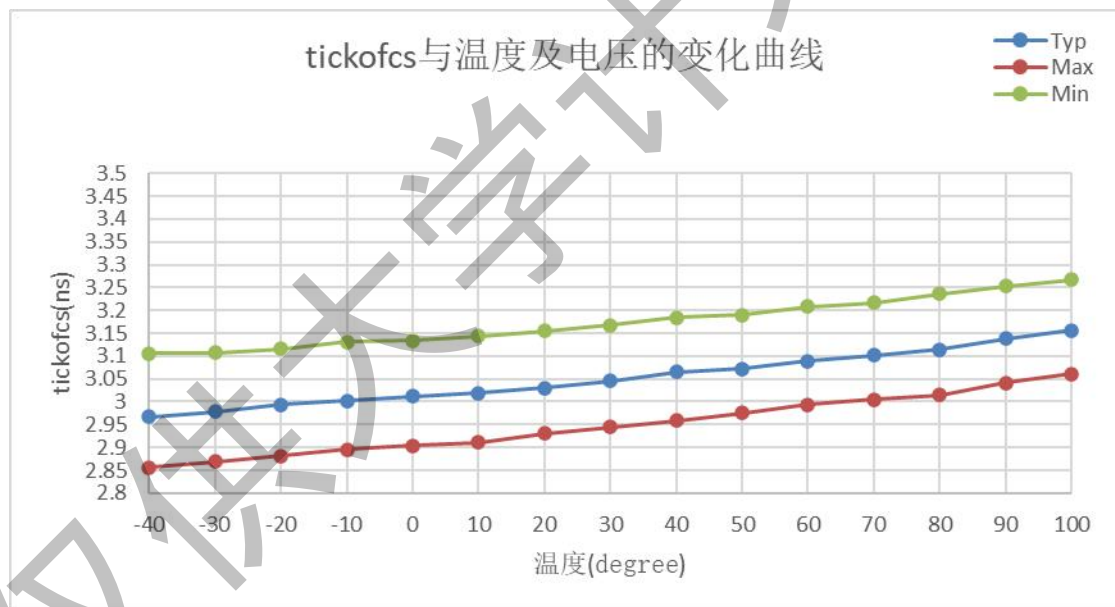


图 5-16 tickofcs 与温度及电压的特性曲线

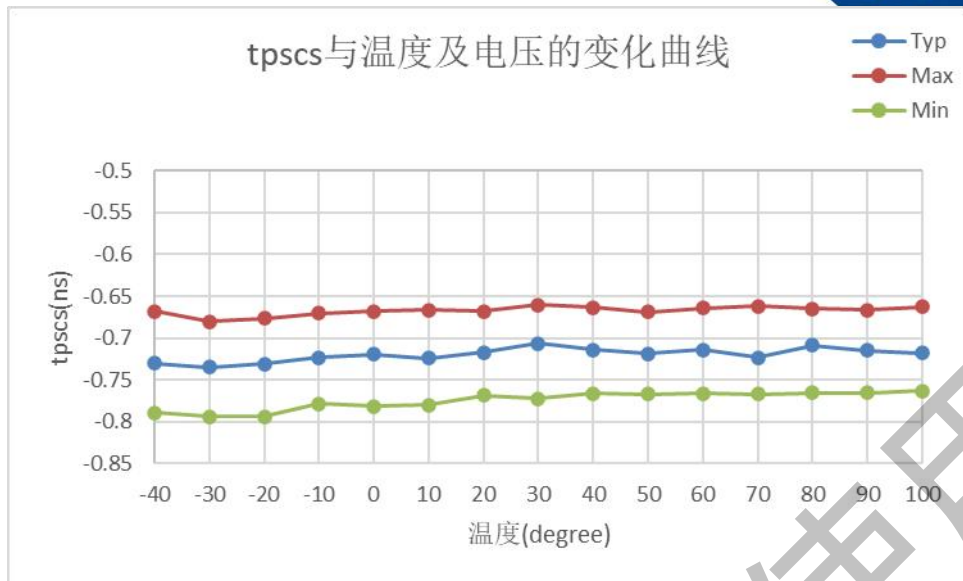


图 5-17 tpSCS 与温度及电压的特性曲线

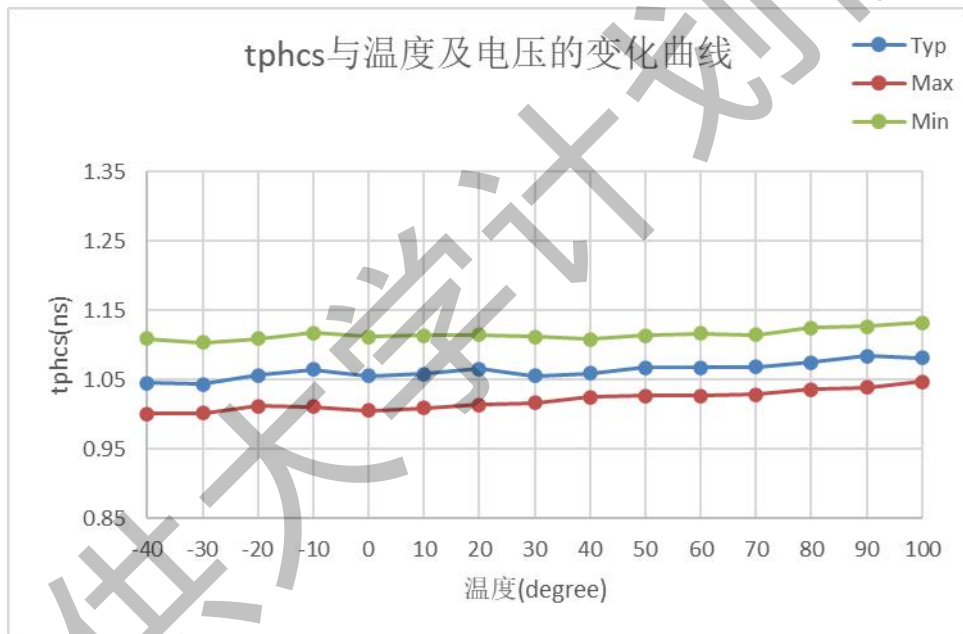


图 5-18 tpHCS 与温度及电压的特性曲线

6 环境极限

表 6-1 JFMK50 系列极限参数

符号	描述	数值	单位
V_{CCORE}	内核电源电压	-0.5~1.1	V
V_{CCSUP}	辅助电源电压	-0.5~2.0	V
V_{CCHRAM}	HRAM 电源电压	-0.5~1.1	V
V_{CCP}	IO BANK 输出驱动电源电压	-0.5~3.6	V
V_{REF}	输入参考电压	-0.5~2.0	V
V_{CCBAT}	密钥存储器电池备用电源电压	-0.5~2.0	V
V_{IN}	I/O 输入电压	-0.4~ $V_{CCP}+0.55$	V
	I/O 输入电压 ($V_{CCP}=3.3V$) 带参考的差分 IO 电平标准 (除 TMD5_33)	-0.4~2.625	V
UHST			
$V_{UHSTVCC}$	UHST 发送器和接收器电路的内核电源电压	-0.5~1.1	V
$V_{UHSTVTT}$	UHST 发送器和接收器终端电路的模拟电源电压	-0.5~1.32	V
SYS_MON			
V_{CCADC}	SYS_MON 对 GNDADC 的电源电压	-0.5~2.0	V
V_{REFP}	SYS_MON 参考输入对地电源	-0.5~2.0	V
Temperature			
T_{STG}	储存温度	-65~150	°C
T_{SOL}	Pb-free 引线耐焊接最高温度	+245 (10s)	°C
T_J	结温(JFMK50、JFMK50T2、JFMK50T4)	+125	°C
T_J	结温(JFMK50-AS、JFMK50T2-AS、JFMK50T4-AS、JFMK50-N、JFMK50T2-N、JFMK50T4-N)	+150	°C
热阻，结到壳			
θ_{JC}	JFMK50、JFMK50-AS、JFMK50-N	0.29	°C/W
θ_{JC}	JFMK50T2、JFMK50T2-AS、JFMK50T2-N	0.25	°C/W
θ_{JC}	JFMK50T4、JFMK50T4-AS、JFMK50T4-N	0.5	°C/W

7 应用要求和典型应用

本章节为 JFMK50 系列产品的应用指南，目的是引导用户正确使用 JFMK50 系列芯片，实现用户设计的正确、稳定、可靠。

JFMK50 系列产品采用复旦微电子提供的自主知识产权的 PROCISE 开发工具进行综合、时序分析、布局布线、IP 生成、位流生成、下载配置、CHIPEXPLORE 等。

7.1 应用要求

7.1.1 配置专用 IO PCB 信号设计推荐

CFG_CLK 信号

CFG_CLK 为配置专用 IO BANK 的时钟信号。当 FPGA 处于从配置模式下时，CFG_CLK 信号作为配置输入时钟；当 FPGA 处于主配置模式下时，CFG_CLK 信号作为输出时钟。CFG_CLK 信号在 PCB 设计时应该重点考虑信号完整性问题，推荐使用 IBIS 仿真器（例如：HyperLynx、ADS、HSPICE）对 CFG_CLK 信号进行仿真，检查每个时钟输入是否存在问题，包括主模式 FPGA 的 CFG_CLK。

为了实现合适的信号完整性，设计者应该更加注意 PCB 的布线和端接方式。基本准则如下：

- CFG_CLK 信号的布线需要进行 50Ω 的阻抗匹配；
- CFG_CLK 信号的布线不应该有分支，不能使用星形拓扑结构；
- 如果必须存在分支，只能是短节点，其长度必须控制不超过 8mm（图 7-2）；
- 对于一驱一的点对点拓扑结构，建议在 CFG_CLK 信号的源端串联 20Ω 电阻，终端（尽量靠近芯片端）上下拉 200Ω 电阻（图 7-1）；
- 对于一对多的菊花链拓扑结构，建议在 CFG_CLK 信号的每个接收端串联 50Ω 电阻，并在最后一块芯片处上下拉 100Ω 电阻（图 7-2）。

图 7-1 示意了一个 CFG_CLK 驱动器（FPGA 主模式）和一个 CFG_CLK 接收器（FPGA 从模式）的基本点对点拓扑结构。

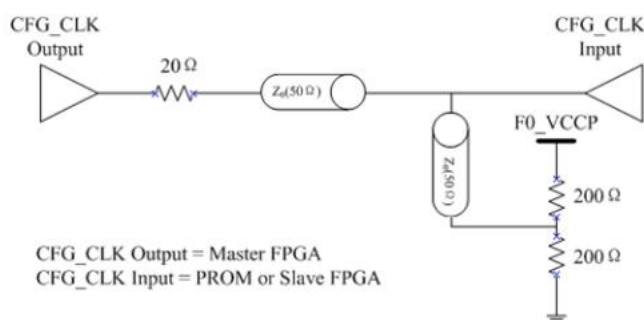


图 7-1 点对点：一个 CFG_CLK 输出，一个 CFG_CLK 输入

图 7-2 示意了一个 CFG_CLK 驱动器和多个 CFG_CLK 接收器的 flyby 式多分支拓扑结构，对分支长度有所要求。

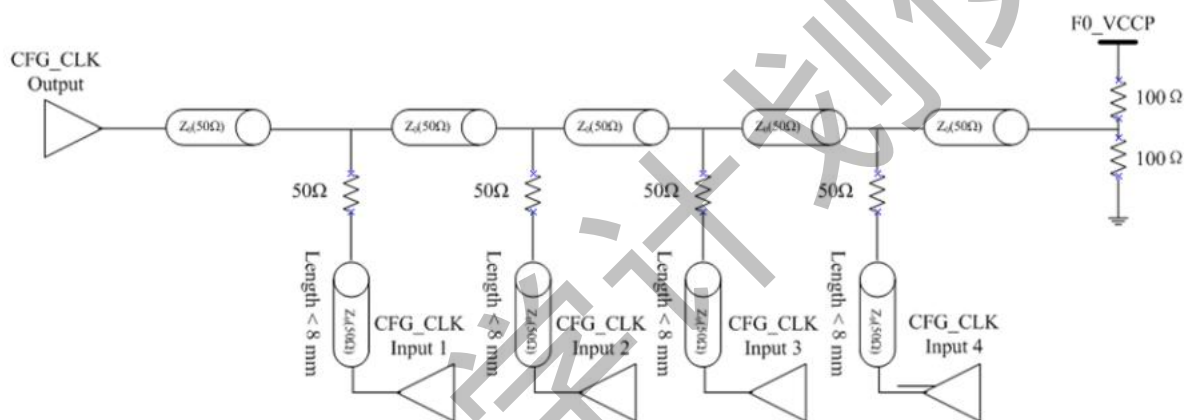


图 7-2 多分支：一个 CFG_CLK 输出，多个 CFG_CLK 输入

图 7-3 示意了一个星形拓扑结构，传输线分支成多个 CFG_CLK 输入。分支点成为了严重的阻抗不连续点。不推荐使用这种结构。

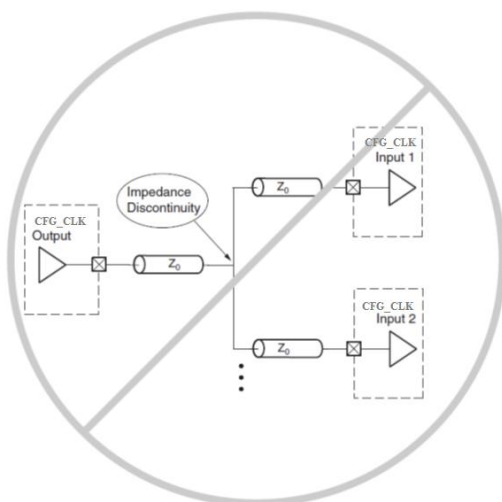


图 7-3 不推荐的星形拓扑：一个 CFG_CLK 输出，两个 CFG_CLK 输入

JTAG 级联 PCB 布线推荐

JTAG 链在级联多片 FPGA 时，因星型结构引起的信号反射比较严重，推荐必须使用菊花链结构。且 TCK、TMS 上不要出现分支结构，TCK、TMS 信号通过 BGA 扇出过孔直接与 FPGA 相连。

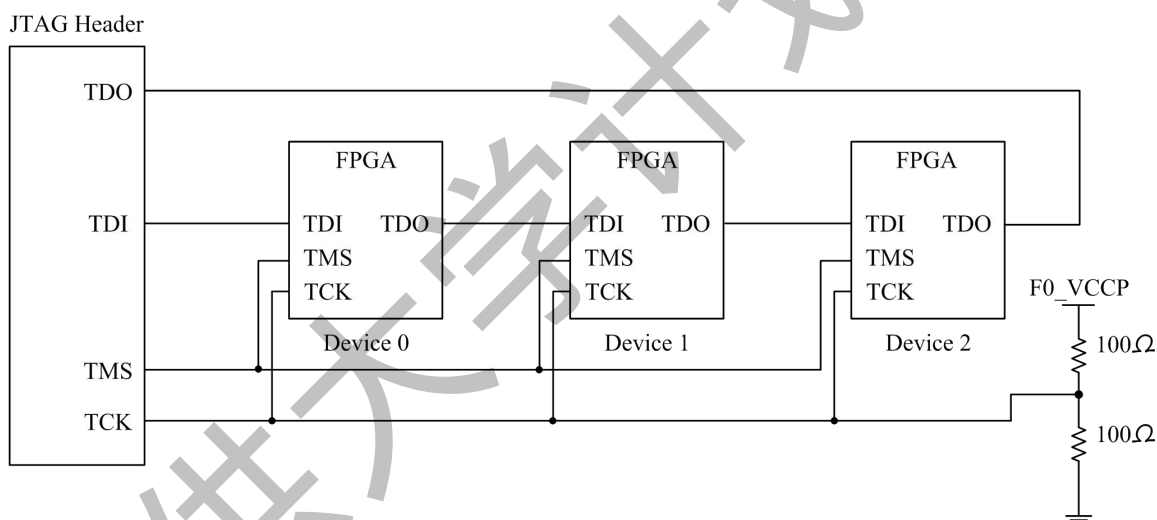


图 7-4 JTAG 菊花链方式级联

若 JTAG 链中有多个下载口或者信号走线有分支时，为保证 JTAG 信号的菊花链结构，建议 JTAG 信号分支位置在进入菊花链上第一片 FPGA 前，并且通过驱动芯片隔离分支结构对 JTAG 信号质量的影响，示意图如下图所示。并在 TCK 与 TMS 信号的驱动芯片输入端上拉 10KΩ电阻，以保证无 Cable 接入时，信号维持高电平。

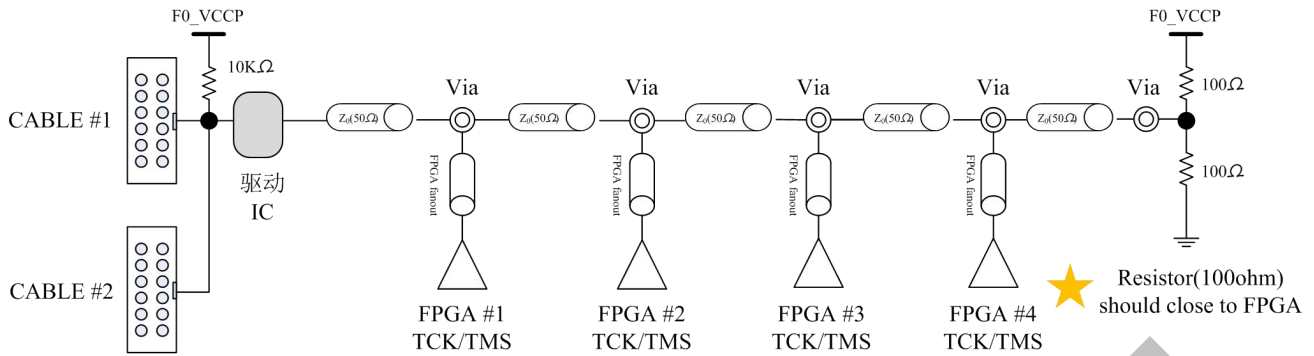


图 7-5 多片 FPGA 时 TCK 与 TMS 信号参考设计

当单片 FPGA 有多个下载口或者信号走线有分支时，同样建议通过驱动芯片隔离分支结构对 JTAG 信号质量的影响，示意图如下图所示。并在 TCK 与 TMS 信号的驱动芯片输入端上拉 10KΩ 电阻，以保证无 Cable 接入时，信号维持高电平。

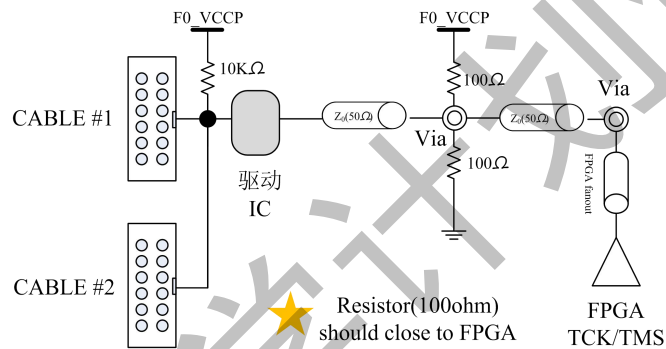


图 7-6 单片 FPGA 时 TCK 与 TMS 信号参考设计

对于驱动芯片选型，参考指标如下：

- 最高数据速率应满足 JTAG 链要求；
- $T_{plh}(\max)=2.9\text{ns}$ 、 $T_{phl}(\max)=2.9\text{ns}$ ；
- $T_{pzh}(\max)=3.8\text{ns}$ 、 $T_{pzl}(\max)=3.8\text{ns}$ 、 $T_{phz}(\max)=6.6\text{ns}$ 、 $T_{plz}(\max)=6.6\text{ns}$ ；
- 信号 io 引脚电容：7pF。

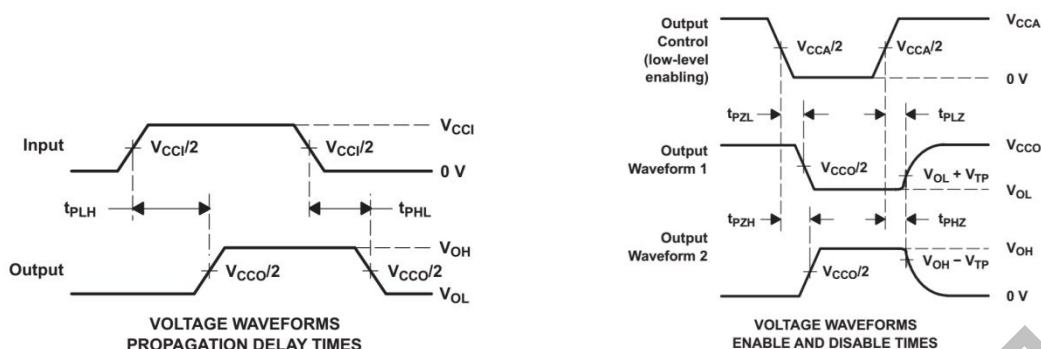
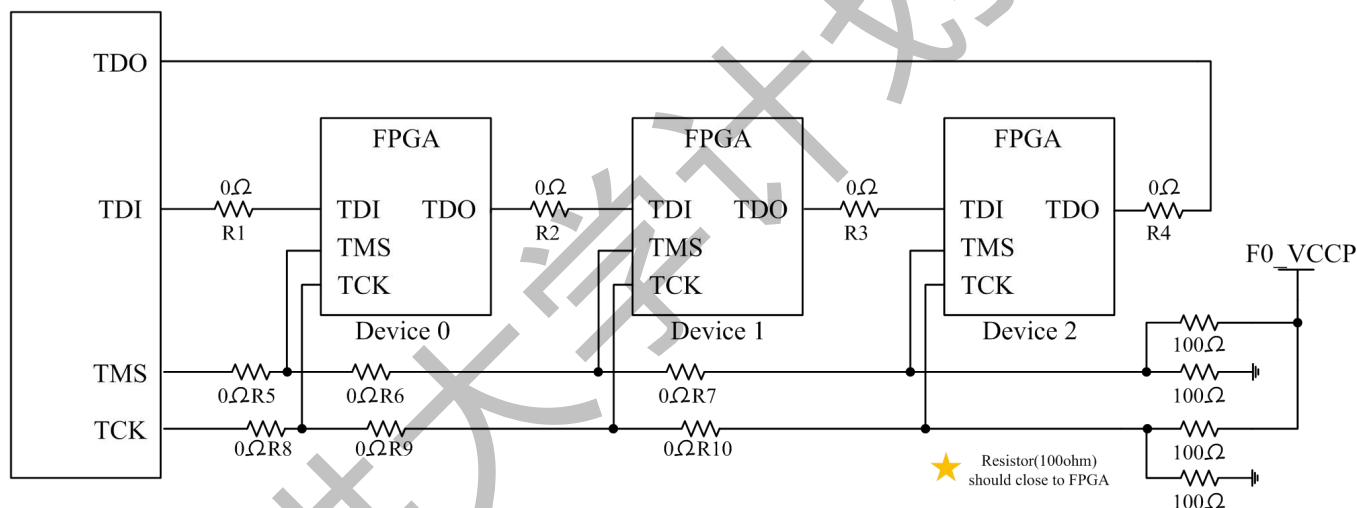


图 7-7 JTAG 链路驱动芯片性能参数图示说明

为方便链路调试，可在 JTAG 链路中添加 0Ω 电阻作为调试点，可参考下图所示电路。注意，为保证调试时的 TMS 与 TCK 信号质量，R5、R6、R8、R9 靠近第一片 FPGA (Device 0) 放置，R7 与 R10 靠近第二片 FPGA (Device 1) 放置。当需要单独调试 Device2 时，可将 R2 与 R3 断开，通过飞线，将 Device0 的 TDI 信号与 Device2 的 TDI 信号相连，即 R1 与 R3 相连；将 R6、R7、R9 与 R10 断开，通过飞线，将 R5 与 R7 相连，将 R8 与 R10 相连。

图 7-8 相邻器件的 JTAG 链路用 0Ω 电阻串联

7.1.2 高速收发器 UHST PCB 设计注意事项

原理图、印刷电路板设计检查表：

表 7-1 原理图、印刷电路板设计检查表

管脚	检查项
UHSTREFCLK0P UHSTREFCLK0N UHSTREFCLK1P UHSTREFCLK1N	1.通过交流耦合电容连接到晶振。 2.接口设计见参考时钟接口。 3.参考时钟走线和相邻的走线保持足够距离（大于等于走线线宽的 3 倍），避免相邻信号的串扰。 4.参考时钟在管脚处最大、最小的幅度需要满足 SerDes 的指标 (350mV~2000mV)；时钟随机抖动小于 1ps(RMS)。

管脚	检查项
	5.如果参考时钟没有用到，需要悬空。
UHST2RXP[3:0]/UHST2RXN[3:0]	1.推荐通过 100nF 的交流耦合电容连接到发送端。如果协议另有要求，可以按照协议设计。 2.接收端走线和相邻的走线保持足够距离（大于等于走线线宽的 3 倍），避免相邻信号的串扰。 3.如果接收端不使用并且没有供电，这些管脚需要接地。如果接收端不使用但是有供电，管脚需要悬空。 5.拓扑结构参见接收端模拟前端。
UHST2TXP[3:0]/UHST2TXN[3:0]	1.推荐通过 100nF 的交流耦合电容连接到接收端。如果协议另有要求，可以按照协议设计。 2.发送端走线和相邻的走线保持足够距离（大于等于走线线宽的 3 倍），避免相邻信号的串扰。 3.如果发送端不使用，这些管脚需要悬空。
UHSTREF	使用方法和 PCB 设计见端接电阻校准电路。
UHSTVCC	1.电压典型值为 1VDC。 2.电压范围见数据手册。建议添加直流压降仿真。 3.此电压的电源不应与非收发器负载共用。特别不能与 VCCCORE 共用电源。 4.滤波电容推荐 1 个 4.7uF 的陶瓷电容。 5.为了优化性能，管脚处的电源纹波需要小于 10mV（10KHz~80MHz）。 6.如果未使用的 Quad，相关的电源管脚 悬空 。
UHSTVTT	1.电压典型值为 1.2VDC。 2.电压范围见数据手册。建议添加直流压降仿真。 3.此电压的电源不应与非收发器负载共用。 4.滤波电容推荐 1 个 4.7uF 的陶瓷电容。 5.为了优化性能，管脚处的电源纹波需要小于 10mV（10KHz~80MHz）。 6.如果未使用的 Quad，相关的电源管脚 悬空 。

UHST 的引脚和外部连接:

表 7-2 引脚分配

引脚	方向	描述
UHSTREFCLK0P UHSTREFCLK0N	In (Pad)	SerDes 差分参考时钟输入
UHSTREFCLK1P UHSTREFCLK1N	In (Pad)	SerDes 差分参考时钟输入
UHST2RXP[3:0]/UHST2RXN[3:0]	In (Pad)	SerDes 接收端差分信号输入
UHST2TXP[3:0]/UHST2TXN[3:0]	Out (Pad)	SerDes 发送端差分信号输出
UHSTREF	In (Pad)	端接电阻校准模块电阻输入

引脚	方向	描述
UHSTVCC	Power	SerDes 的 1V 模拟电源输入。PLL、发送端、接收端的模拟部分供电电源。
UHSTVTT	Power	SerDes 的 1.2V 模拟电源输入。发送端、接收端的端接部分供电电源。

下图是 UHST 的外部电源连接关系图：

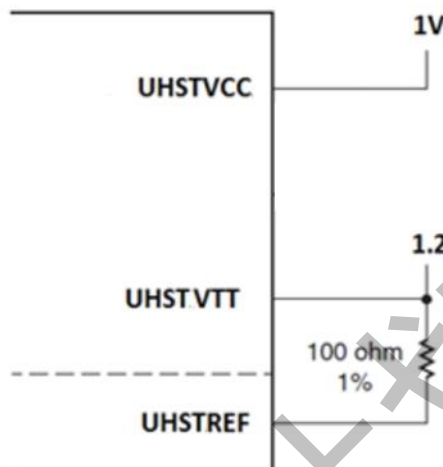


图 7-9 UHST 的外部电源连接关系图

每一个 UHST 有一个电阻校准电路（RCAL）。UHSTREF 管脚需要外接 100Ω（1%精度）上拉到 UHSTVTT。

参考时钟

参考时钟设计要求如下：

- 收发器和时钟源之间交流耦合；
- 确保参考时钟满足数据手册中定义的直流、交流、开关的指标；
- 满足协议或者标准中规定的基准时钟要求；
- 满足时钟源对电源、PCB 布局的要求，以及噪声规范；
- 时钟源和收发器之间拓扑采用点到点连接；
- 将差分线的阻抗不连续性降至最低。

参考时钟接口兼容 LVDS 和 LVPECL。LVDS 时钟源和收发器参考时钟的推荐连接关系如下：

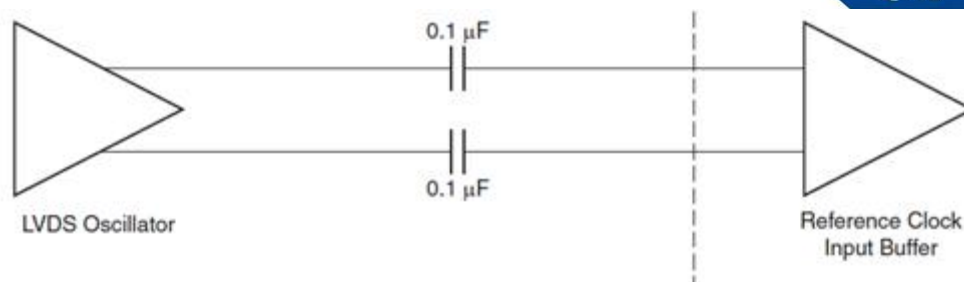


图 7-10 LVDS 时钟源和收发器参考时钟的推荐连接

LVPECL 时钟源和收发器参考时钟的推荐连接关系如下，参考时钟源的数据手册选用合适的电阻值。

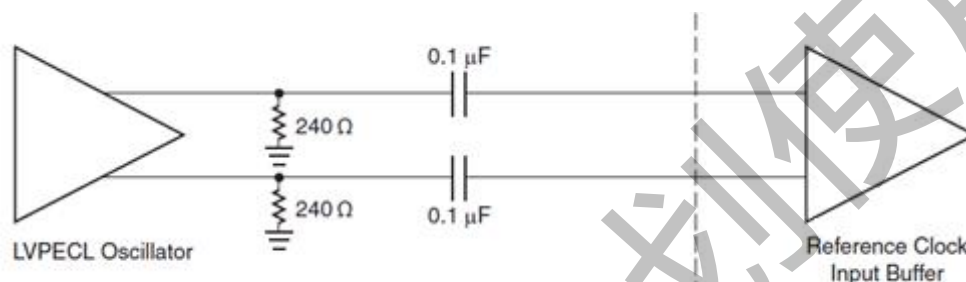


图 7-11 LVPECL 时钟源和收发器参考时钟的推荐连接

- 参考时钟推荐交流耦合，主要是基于以下目的：隔断器件之间直流分量，降低功耗；
- 保持共模电压的独立性；
- 交流耦合电容器与片上终端形成高通滤波器，能够减小基准时钟的漂移。

如果不使用基准时钟输入，输入时钟的输入端应悬空。

电源供电和滤波

收发器模拟电源上的噪声会影响电源的幅度，并且通过信号的沿转化成抖动，影响收发器的性能。有两种主要类型的电源模块可用于 UHST 收发器模拟电源：线性稳压器和开关稳压器。

不管哪种类型的模块，都推荐电源噪声的振幅在 10mV_{pp} 以下。如果不满足,可以考虑添加 π 型滤波器来衰减开关调节器的噪声，以满足纹波指标。如果有 π 型滤波器，需要特别注意滤波器的压降，防止直流压降过大，导致 UHST 不能正常工作。

应在靠近 UHST 收发器电源引脚的板端提供去耦电容。这些电容降低了 PCB 电源分布网的阻抗，隔离芯片和板级噪声源之间噪声。每个电源组（power group）至少要放一个 0402 封装 4.7 μ F 的陶瓷电容，保证在 10 kHz 至 80 MHz 的频带内，电源管脚处的噪声应小于 10 mV_{pp}。

过通道能力说明：

表 7-3 JFMK50 系列过 Channel Loss 性能指标

数据率	JFMK50T4、JFMK50T4-AS、 JFMK50T4-N、JFMK50T2、 JFMK50T2-AS、JFMK50T2-N
	-55℃~125℃
6.25Gbps	22dB
8Gbps	22dB
10.3125Gbps	22dB
12.5Gbps	22dB

7.1.3 DDR 控制器 PCB 设计注意事项

引脚分配

DDR3 的 PIN 脚分配根据 DDR3 控制器的物理层规则来进行约束。

每个 IO Bank 内（50 个 IO）可以放置 4 个 Byte Group，每个 Byte Group 对应 1 对 DQS 差分信号，8 个 DQ 信号和 1 个 DM 信号，其中 DQS 信号位置是固定的，DQ 和 DM 信号在 Byte Group 内可以进行 PIN Swap。

一个 DDR Controller 最多可支持 72Bit DQ，需要分布在 3 个 BANK。其中 ADDRESS/CONTROL 信号必须在中间 BANK。例如使用 JFMK50T4 的 Bank 3、4、5，则 ADDRESS/CONTROL 必须分布在 BANK4。

若 DDR 系统时钟（system clk）从外部输入，必须在同一个列的 IO BANK 的全局时钟输入 IO（MRC/SRC），建议放在 ADDRESS/CONTROL Bank（时钟路径最短，jitter 最小）。

CK 信号必须分配在一对差分 IO 上（p/n）。

电源连接

DDR IO BANK 电压 VCCP、参考电压 VREF 的 DC 指标如下表，FPGA 端与 DDR 颗粒端均需要满足该指标，参考 JEDEC Standard 79-3E。

表 7-4 VCCP 和 VREF 的 DC 指标

器件类型	电压类型	最小值(V)	典型值(V)	最大值(V)
DDR3	VCCP	1.425	1.5	1.575
	VREF	0.735	0.75	0.765
	VTT	-	0.75	-
DDR3L	VCCP	1.285	1.35	1.418

器件类型	电压类型	最小值(V)	典型值(V)	最大值(V)
DDR2	VREF	0.660	0.675	0.690
	VTT	-	0.675	-
	VCCP	1.7	1.8	1.9
DDR2	VREF	0.88	0.9	0.918
	VTT	VREF-0.04	VREF	VREF+0.04

FPGA 端的 VREF 电压可由 FPGA 内部提供。

外部 VREF 供电时，供电电源建议使用电压跟随低噪声的 LDO，不推荐使用 DCDC 或者电阻分压方式供电。VREF 电源需要避开高速信号的噪声串扰，VREF 总体噪声要求小于 $\pm 15\text{mV}$ 。

Layout 规则及注意事项

1、走线拓扑

ADDRESS/CONTROL DDR3 采用 Fly-by 结构，需要末端端接。

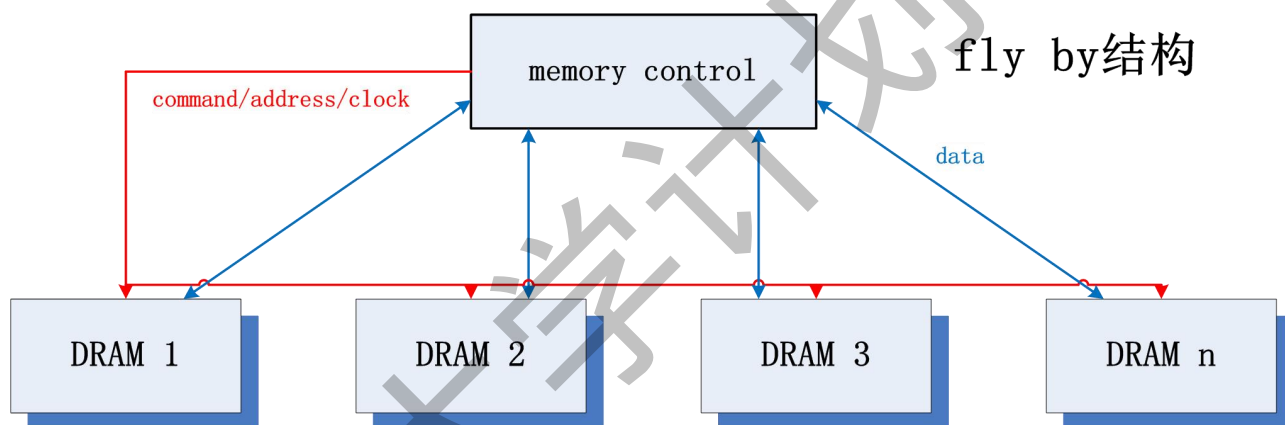


图 7-12 DDR3 Fly-by 结构

DDR2 采用 T 型结构，需要在分岔点进行端接。

T型结构

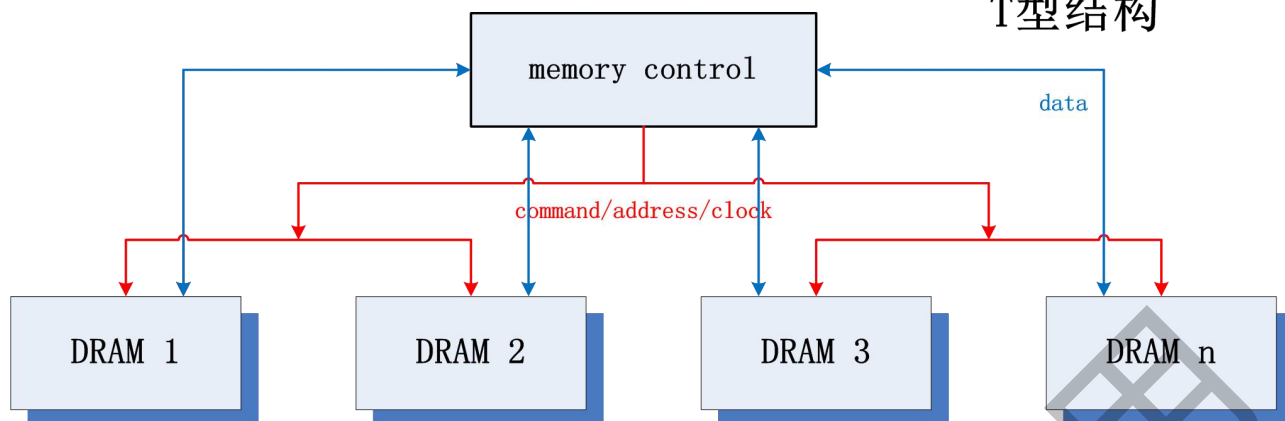


图 7-13 DDR2 T 型结构

DQS/DQ/DM 信号采用点对点连接，不需要端接。

2、走线阻抗及端接

单端走线阻抗：走线阻抗控制 $50\Omega \pm 10\%$ 。

差分走线阻抗：走线阻抗控制 $100\Omega \pm 10\%$ 。

若使用 DDR 颗粒，地址和控制信号 (ADDR、RAS_N、CAS_N、WE_N、CS_N、CKE、ODT) 需要端接，端接形式为末端接 40Ω 上拉到 VTT 电压，CK 端进行差分 80Ω 端接。若使用 DIMM 条，在 PCB 上不需要进行端接。DDR2 颗粒地址和控制信号 (ADDR、RAS_N、CAS_N、WE_N、CS_N、ODT) 在分岔点进行端接，接 50Ω 上拉到 VTT，CK 端进行差分 100Ω 端接，CKE 信号接 $4.7k\Omega$ 电阻到地。

VTT 端接电压需要接去耦电容，推荐使用 $1\mu F$ 和 $100\mu F$ 的电容，电容数量推荐如下：其中每 4 个 VTT 端接需接一个 $1\mu F$ 电容去耦，每 25 个 VTT 端接需接一个 $100\mu F$ 电容去耦。

RESET_N 信号不需要端接，但是需要接 $4.7k\Omega$ 的电阻值到 GND。

DM 信号若没有使用，需要下拉到 GND，下拉电阻的阻值需要小于 4 倍的 ODT 值。例如 ODT 配置为 40Ω ，下拉电阻值要小于 160Ω 。

3、走线长度

DDR 信号线 (包括 ADDR/control/DQ/DQS/DM 等) 在 PCB 走线时需要满足等长的要求。PCB 上的等长需要补偿封装上的 PIN Delay。在不同的封装上，PIN Delay 值是不一样的。封装提供的 PIN Delay 是时间参数，PCB 设计时需要将封装上的 delay 时间转换成 PCB 上的走线长度，转换公式为：

$\text{Length} = \text{Package Delay (ps)} \times \text{走线传播速度}$

走线传播速度与 PCB 使用的介质介电常数有关，需注意微带线的走线速度要大于带状线。

不同速率下等长要求值不同，下表为 JEDEC Standard 79-3E 标准下 DQ to DQS 等长要求及 CK to Addresses/Control 等长要求。

表 7-5 DQ to DQS skew Limit

FPGA 速度(Mb/s)		内存颗粒速度等级 (ps)					
等级	实际	2133	1866	1600	1333	1066	800
800	800	150.0	148.2	130.0	102.5	67.0	5.0

表 7-6 CK to Addresses/Control skew Limit

FPGA 速度(Mb/s)		内存颗粒速度等级 (ps)					
等级	实际	2133	1866	1600	1333	1066	800
800	800	150.0	150.0	150.0	150.0	100.0	25.0

- DDR2/DDR3 推荐等长设计，同一组 Byte Group DQS/DQ 等长控制在 $\leq \pm 5\text{ps}$;
- DDR3 最大的 Addresses /control 与 CK/CK# 等长控制在 $\leq \pm 8\text{ps}$;
- DDR2 最大的 Addresses /control 与 CK/CK# 等长控制在 $\leq \pm 25\text{ps}$ ，每个 DQS 信号与 CK 信号的 delay 最大值要 $\leq \pm 25\text{ps}$;
- DDR3 由于需要完成 Write Calibration 校准操作，CK/CK#信号到达每个 memory 颗粒的时间必须在 DQS 信号之后，他们到达的时间差需要控制在 0~1600ps 之间。若使用 DDR 颗粒或者 SODIMM/UDIMMS，推荐 CK/CK#与 DQS 的 skew 控制在 150ps~1600ps 之间，若使用 RDIMMS，推荐 CK/CK#与 DQS 的 skew 控制在 450ps~750ps 之间。

4、信号完整性仿真

建议在完成 PCB Layout 之后，进行 DDR 的信号完整性仿真。

5、时序仿真

时序仿真包括：

- 每个 Byte Group DQS/DQ 的读写时序仿真；
- CK 与 Addresses/Control 之间的时序仿真；
- CK 与 DQS 之间的 Skew 仿真。

6、信号质量仿真

信号质量仿真要求如下：

- 仿真需要使用 IBIS 模型；
- DQS/DQ 信号质量（包括过冲、振铃值）与 JEDEC 标准进行比较 check；
- Addresses/Control 信号质量（包括过冲、下冲、振铃值）与 JEDEC 标准进行比较 check；
- 包括串扰仿真、同步开关噪声仿真、电源 DC 仿真。

7.1.4 SYS_MON PCB 设计注意事项

SYS_MON 对外部模拟输入 10MHz 以上的干扰比较敏感。原理图和 PCB 设计不合理，采样有可能出现单个毛刺点。SYS_MON 设计按照以下注意事项能规避毛刺点。

注意事项：

- 1) VIP 和 VIN 差分走线，抑制共模噪声；
- 2) VP 和 VN 添加简单 RC 抗混叠滤波器，抑制 10MHz 以上的高频噪声；
- 3) V_{CCADC} 和 V_{CCSUP} 之间磁珠隔离，并添加 100nF 去耦电容；
- 4) GNDADC 和 GND 单点连接，并用磁珠隔开。

V_{CCADC} 与 GNDADC 为 SYS_MON 中的模拟电路提供电源和地信号，较大电源和地上的噪声会严重影响 ADC 的测量精度。用户需要在 V_{CCADC} 和 GNDADC 路径上加低通滤波网络。低通滤波器设计取决于 V_{CCSUP} 、GND 的纹波和纹波频率，还需要考虑外部基准电路的电源抑制能力。

图 7-14 为使用外部基准情况下 SYS_MON 电源、地低通滤波网络设计示例，图 7-15 为使用片上基准情况下 SYS_MON 电源、地低通滤波网络设计示例。

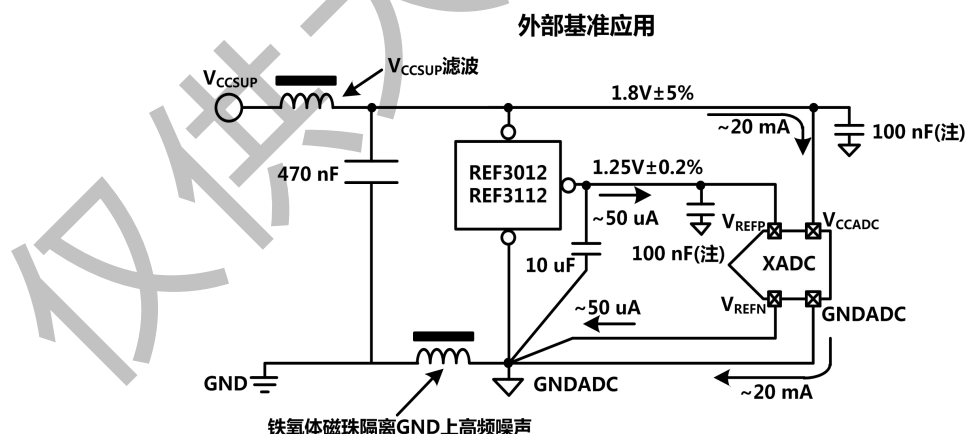


图 7-14 使用外部基准情况下 SYS_MON 电源、地低通滤波网络设计示例

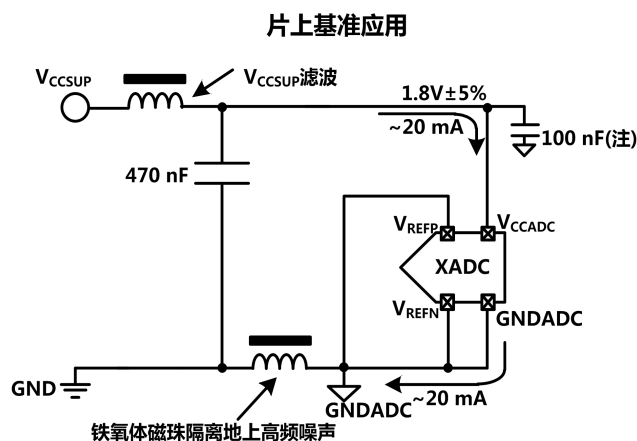


图 7-15 使用片上基准情况下 SYS_MON 电源、地低通滤波网络设计示例

(注) : 100 nF 电容尽可能靠近芯片管脚

铁氧体磁珠在高频下的行为类似于电阻，作为有损电感使用，典型的铁氧体磁珠阻抗与频率的关系如下图所示，可以提供数字和模拟电源（地）之间的高频隔离。

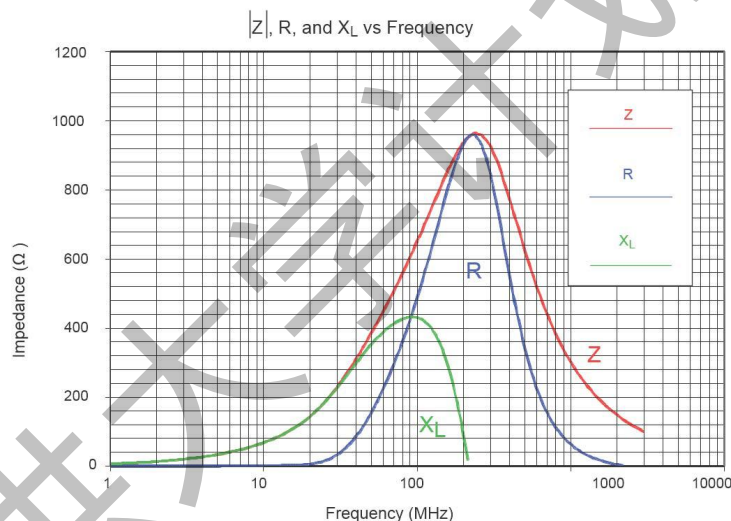


图 7-16 铁氧体磁珠阻抗与频率关系图

7.1.5 未使用 IO BANK 接法推荐

不用的 IO bank，其 VCCP 和 IO 应该接到同一个电位上：接地或者接某个 VCCP。没有用到的 bank 的 VCCP 浮空的话，会降低该 bank 内的 VCCP 管脚和普通 IO 管脚的 ESD 防护水平，所以并不推荐。

7.1.6 其他注意事项

1、SYS_MON 接口访问

SYS_MON 模块可以支持 JTAG 访问或 DRP 接口访问。但用户在使用时,请勿使用 DRP 和 JTAG 接口同时访问 SYS_MON。用户设计完成后,在 DCLK 时钟存在的情况下先对 SYS_MON 复位,复位释放后再开始使用 DRP 接口进行数据读写。

2、CFG_V 信号接法

F0_VCCP 在任何电源电压下, F0_CFG_V 都上拉(上拉电阻 100Ω)至 F0_VCCP 电源。

3、JTAG 信号接法

JTAG 连接 FPGA 时,建议通过驱动芯片隔离分支结构对 JTAG 信号质量的影响,尤其以下两种场景务必使用驱动芯片隔离。

- 在 JTAG 链其中有多下载口或信号走线有分支时;
- 在 FPGA 有多下载口或信号走线有分支时。

此外,在 TCK 与 TMS 信号的驱动芯片输入端上拉 10KΩ 电阻,以保证无 Cable 接入时,信号维持高电平。

4、上电顺序情况说明

下面两种上下电顺序都支持,为保证 CFG_STA_B 拉高后(芯片内部初始化完成时),电源已全部建立好,要求 VCCP 的上电速度 < 4ms,且 FLASH 的电源在 CFG_STA_B 拉高之前建立好,若不满足,可能导致 SPI、BPI 上电加载失败。

方案 1):

上电顺序: VCCSUP -> VCCP -> VCCCORE -> VCCHRAM

下电顺序: VCCHRAM -> VCCCORE -> VCCP -> VCCSUP

方案 2):

上电顺序: VCCCORE -> VCCHRAM -> VCCSUP -> VCCP

下电顺序: VCCP -> VCCSUP -> VCCHRAM -> VCCCORE。

- 当 VCCP 大于 1.8V 时, VCCSUP 必须先于 VCCP 上电。
- 当 VCCP-VCCSUP > 2.625V 时对 VCCP 和 VCCSUP 的上电时间关系也有要求,见下表。

表 7-7 TVCCP2VCCSUP 值表

参数	描述	温度	最小值 (ms)	最大值 (ms)
TVCCP2VCCSUP	当 $V_{CCP}-V_{CCSUP}>2.625V$ 时每个电源周期允许的时间	$100^{\circ}\text{C} < T_J \leq 125^{\circ}\text{C}$	—	300
		$85^{\circ}\text{C} < T_J \leq 100^{\circ}\text{C}$	—	500
		$T_J \leq 85^{\circ}\text{C}$	—	800

➤ 电源上电速度表如下表：

表 7-8 电源上电速度表

电源	上电速度 (ms)
VCCCORE	0.20 ~ 50
VCCHRAM	0.20 ~ 50
VCCSUP	0.20 ~ 50
VCCP	0.20 ~ 50

5、加密下载相关说明

JFMK50 系列芯片支持 SM4, AES 加密方式，加密密钥存储在 EFUSE 中。

6、看门狗计时器 (WatchDog) 相关说明

JFMK50 系列芯片内部有 WatchDog 计时器，一个时钟周期为 8us。

7、Multiboot 加载相关说明

JFMK50 系列芯片在执行 IPROG 命令时会将 timer 寄存器清 0，建议用户在合成 mcs 或 bin 文件时，在 update 位流前加入 time1.bit，在 flash 尾部加入 time2.bit，具体使用方式可参考文档《multiboot 解决方案》。

7.2 典型应用

JFMK50 系列产品采用复旦微电子提供的自主知识产权的 PROCISE 开发工具进行综合、时序分析、布局布线、IP 生成、位流生成、下载配置、CHIEXPLORE 等。

8 包装、贮存和运输要求

8.1 包装

产品封装形式为 FCFBGA 的形式，使用 tray 盘进行包装，需要注意器件 pin1 标识和 tray 盘 倒角位置标志。

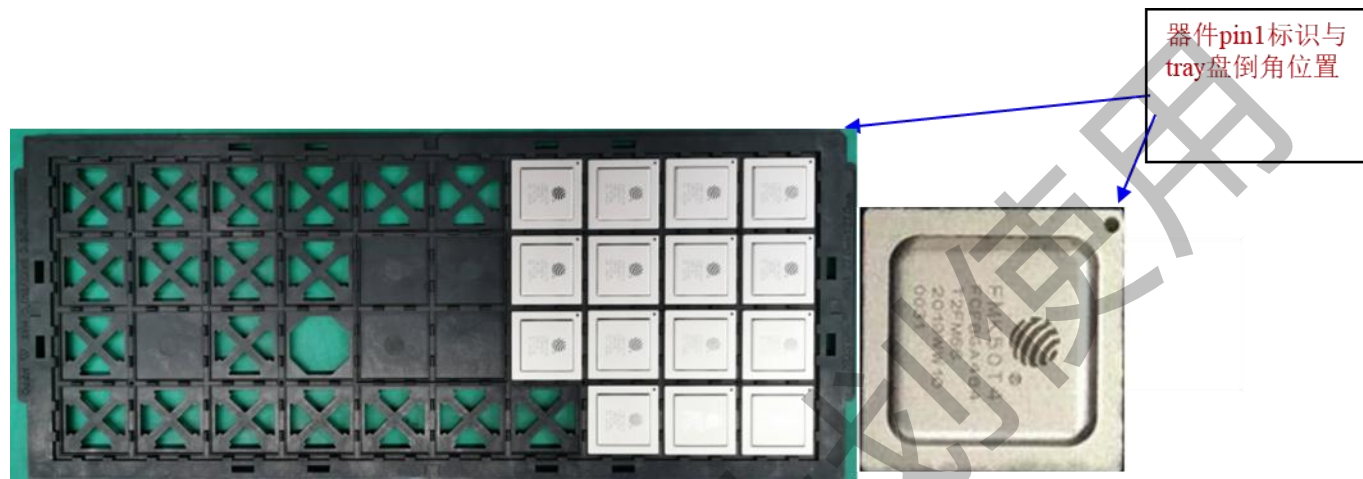


图 8-1 tray 盘包装图样

1、器件 tray 盘采用 N+1 的形式 ($N \leq 5$)，即 N 个 tray 盘加一个空 tray 盘，空 tray 盘置于顶部，用于保护器件。tray 盘使用扎带包装完成后，放入湿度指示卡和干燥剂。

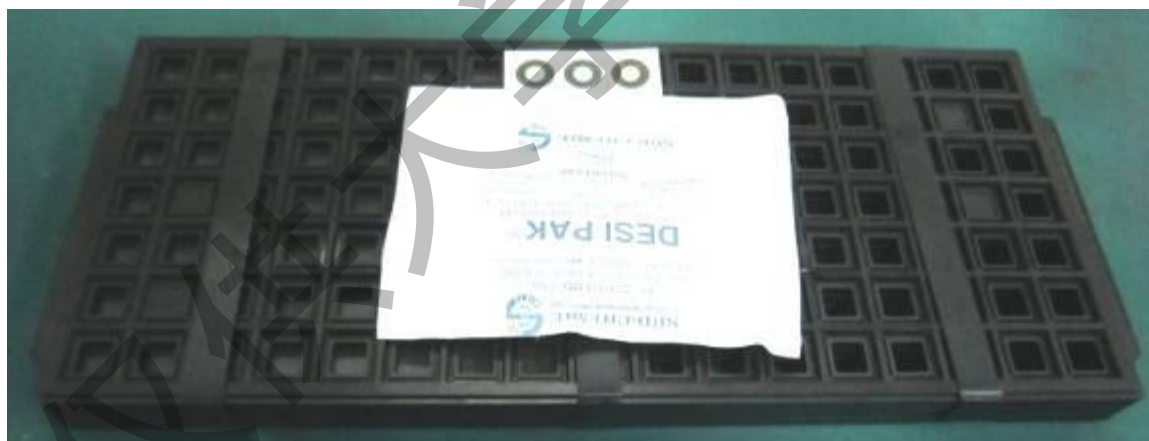


图 8-2 干燥剂、湿敏卡图样

2、Tray 盘连同干燥剂和湿度指示卡放入 MBB 袋，抽真空包装。在 MBB 袋上贴上湿度敏感警示标签，并写上对应包装日期。

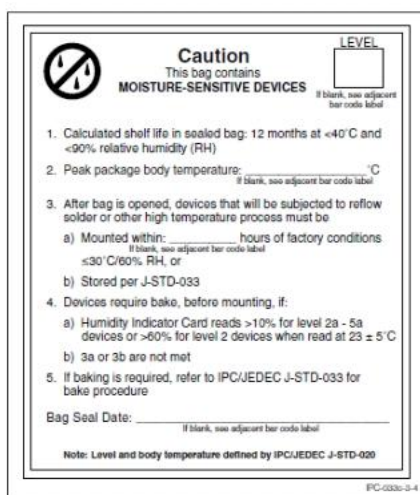


图 8-3 MSL 标签图样

3、放入纸盒，在 MBB 袋上、下填充气泡袋，没有空隙为止。



图 8-4 内包装纸盒图样

8.2 贮存要求

1. 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装 MBB 袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。
2. 在干燥密封包装条件下，可贮存在常温常湿的环境中，在贮存环境为 $<40^{\circ}\text{C}/90\% \text{ RH}$ 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。
3. MBB 袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 MBB 袋干燥密封包装或放入干燥箱内（环境 $<40^{\circ}\text{C}/5\% \text{ RH}$ ），如果客户端车间寿命或环境超出规定，则需进行烘干处理。

4. 烘干处理，通常在 125℃ 条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60% 变色情况，则需延长烘烤时间，在 125℃ 条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或 MBB 袋密封包装或放入干燥箱内（环境 $<40^{\circ}\text{C}/5\% \text{RH}$ ）。
5. 请特别注意，器件进行烘烤时不能直接放入 125℃ 的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 $4^{\circ}\text{C}/\text{min}$ 。

8.3 运输要求

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。包装应是安全的，可以采用现有的运输工具。

9 推荐板级安装说明

1. 建议根据选用的焊膏，使用焊膏供应商推荐的回流焊曲线。

产品名	外引脚焊球材料
JFMK50T4、JFMK50T4-AS、JFMK50T4-N	锡银焊球，Dia:0.45mm
JFMK50T2、JFMK50T2-AS、JFMK50T2-N	锡银焊球，Dia:0.3mm
JFMK50、JFMK50-AS、JFMK50-N	锡银焊球，Dia:0.45mm

2. 焊膏厚度不小于器件的共面性尺寸。
3. 必须采取防静电措施进行操作！
4. JTAG 接口禁止热插拔！如果热插拔，会发生器件内部晶体管受损失效。

10 常规故障及处理方法

常规故障 1 及处理方法

故障：JTAG 口，或接插口，插拔操作后，相应 IO 出现失效，影响这些 IO 控制的系统功能。通常表现为 IO 短路或开路。

处理方法：确认为器件内部 IO 失效后，对板上器件进行更换。

11 注意事项

- 1、 必须采取防静电措施进行操作！推荐取件操作在离子风机区域进行，并对器件正反面进行去离子操作！
- 2、 注意按照潮湿敏感度等级 MSL3 管控器件！
- 3、 禁止器件 IO 热插拔，包括 JTAG 接口等！热插拔，可能导致器件内部受损失效。

12 特殊说明

无。

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2020.12	96		第一次发布。
1.1	2021.3	96	表 1.1	封装规格 CSG 修改为 FCFBGA。
2.0	2023.3	119	1	1、UHST 的最高速度从 6.25Gb/s 升级为 12.5Gb/s; 2、增加 JFMK50-N 产品型号。
			2.2, 2.3, 5.3, 7, 8, 9	按照新版本格式进行修改, 增加如下内容: 1) 2.2 产品结构特点; 2) 2.3 质量等级; 3) 5.3 器件曲线; 4) 7 应用要求和典型应用; 5) 8 包装、贮存和运输要求; 6) 9 推荐板级安装说明。
			6, 5.1, 5.2	修改如下内容: 1) JFMK50-AS、JFMK50T4-AS、JFMK50T4-N 的结温极限值从 125℃修改为 150℃; 2) 2: 1 内存控制器的最大运行速率从 800 Mb/s 修改为 620 Mb/s; 3) 配置等待时间从 35ms 修改为 15ms; 4) 删除表 4-4 对 C6, C5 关于 DQS 的描述; 5) I/O Bank 电压的最大推荐工作条件从 3.465V 修改为 3.45V。
2.1	2023.5	130	1, 2, 3, 4, 5.1, 6, 9	增加 JFMK50T2、JFMK50T2-AS、JFMK50T2-N 产品信息; ADC 模块改名为 SYS_MON; 删除表 5-55 (内容与表 5-54 重复)。
			5.3	更新特性曲线。
			表 5-2	上电电流极限值表述勘误。
			7.1.6	修改上电顺序情况说明。

上海复旦微电子集团股份有限公司销售及服务网点

上海复旦微电子集团股份有限公司

地址：上海市国泰路 127 号 4 号楼

邮编：200433

电话：(86-021) 6565 5050

传真：(86-021) 6565 9115

上海复旦微电子（香港）股份有限公司

地址：香港九龙尖沙咀东嘉连威老道 98 号东海商业中心 5 楼 506 室

电话：(852) 2116 3288 2116 3338

传真：(852) 2116 0882

北京办事处

地址：北京市东城区东直门北小街青龙胡同 1 号歌华大厦 B 座 423 室

邮编：100007

电话：(86-10) 8418 6608

传真：(86-10) 8418 6211

深圳办事处

地址：深圳市华强北路 4002 号圣廷苑酒店世纪楼 1301 室

邮编：518028

电话：(86-0755) 8335 0911 8335 1011 83352011 83350611

传真：(86-0755) 8335 9011

台湾办事处

地址：台北市 114 内湖区内湖路一段 252 号 12 楼 1225 室

电话：(886-2) 7721 1889

传真：(886-2) 7722 3888

新加坡办事处

地址：237, Alexandra Road, #07-01, The Alexcior, Singapore 159929

电话：(65) 6472 3688

传真：(65) 6472 3669

北美办事处

地址：2490 W. Ray Road Suite#2 Chandler, AZ 85224 USA

电话：(480) 857-6500 ext 18

公司网址：<http://www.fmsh.com/>

上海复旦微电子集团股份有限公司
Shanghai Fudan Microelectronics Group Company Limited

JFMK50 系列 FPGA

技术手册

版本 2.1

130 / 130