

Instituto Mauá de Tecnologia
Núcleo de Sistemas Eletrônicos Embarcados - NSEE

Especificação do Produto SpaceWire Data Feed

Rafael Corsi
rafael.corsi@maua.com

3 de julho de 2014



Sumário

1	Introdução	4
1.1	Finalidade	4
1.2	Escopo Geral	4
1.3	Referências	4
1.4	Visão Geral	4
1.5	Equipe	4
2	Posicionamento	6
2.1	Descrição Geral do Projeto	6
2.2	Representação Gráfica do Produto	6
3	Identificação dos Componentes Envolvidos e Responsáveis	8
3.1	SpaceWire Codec	8
3.2	RMAP	8
3.3	OTC - On Board Time Controller	8
3.4	Controller	9
3.5	Reg. Banco	9
3.6	Módulo A/D	9
3.7	Módulo D/A	9
3.8	Módulo Din	9
3.9	Módulo Dout	9
3.10	Comandos	9
3.10.1	Definir zona de memória	9
4	Recursos do Produto	10
4.1	Fases do projeto	10
4.2	Ferramentas	10
4.3	Gestão	10
	Referências Bibliográficas	10

Revision History

Revision	Date	Author(s)	Description
0.0.1	24.6.14	Corsi	Criação do documento

1 Introdução

1.1 Finalidade

O projeto proposta chamado de SpW-Data-Feed é um exemplo de aplicação do protocolo SpaceWire, a ser usado na bancada de experimento do projeto CITAR.

1.2 Escopo Geral

Definição das especificações gerais do projeto e propostas de implementação.

1.3 Referências

listar documentos de input - IMT e CITAR

1.4 Visão Geral

O objetivo do projeto é desenvolver um hardware de uso de bancada capaz de ler e escrever em conversores A/D e D/A e em saídas e entradas digitais. O dispositivo será conectado em um nó SpaceWire com as configurações e dados trafegando sob o protocolo RMAP.

O projeto está sendo desenvolvido no âmbito do projeto de Circuitos Integrados Tolerantes a Radiação (CITAR), coordenado pelo pesquisador Saulo Finco do Centro de Tecnologia da Informação Renato Archer (CTI).

1.5 Equipe

- Profissionais do IMT:
 - Rafael Corsi Ferrão (coordenação)
- Bolsistas:

- IC Dennis Teles (execução)

2 Posicionamento

2.1 Descrição Geral do Projeto

Desenvolver um dispositivo embarcado (SpWDataFeed) em uma FPGA capaz de realizar a leitura de conversores A/D, escrever em conversores D/A, acionar e ler entradas digitais. Esse dispositivo será conectado em uma rede SpaceWire com o protocolo RMAP.

O SpWDataFeed será utilizado para demonstrar os benefícios do protocolo SpW em uma aplicação similar ao encontrado em satélites.

2.2 Representação Gráfica do Produto

A arquitetura proposta para a implementação do SpWDataFeed é ilustrado na Fig. 2.1, onde o acesso ao dispositivo é feito via comandos RMAP. Uma interface serial RS232 é utilizada para configuração e debug do dispositivo.

O módulo implementa leitura de conversores A/D (SpI, I2C, paralelo (**TBD**)) através do A/D Módulo, escrita em conversores D/A (**TBD**) pelo D/A módulo e acesso direto a I/Os digitais via os módulos Din e Dout.

A arquitetura é concebida de forma que o dispositivo possa ser utilizado para controle e acionamento de diversos sistemas aerospaciais, tais como: abertura de painel solar, controle de experimento.

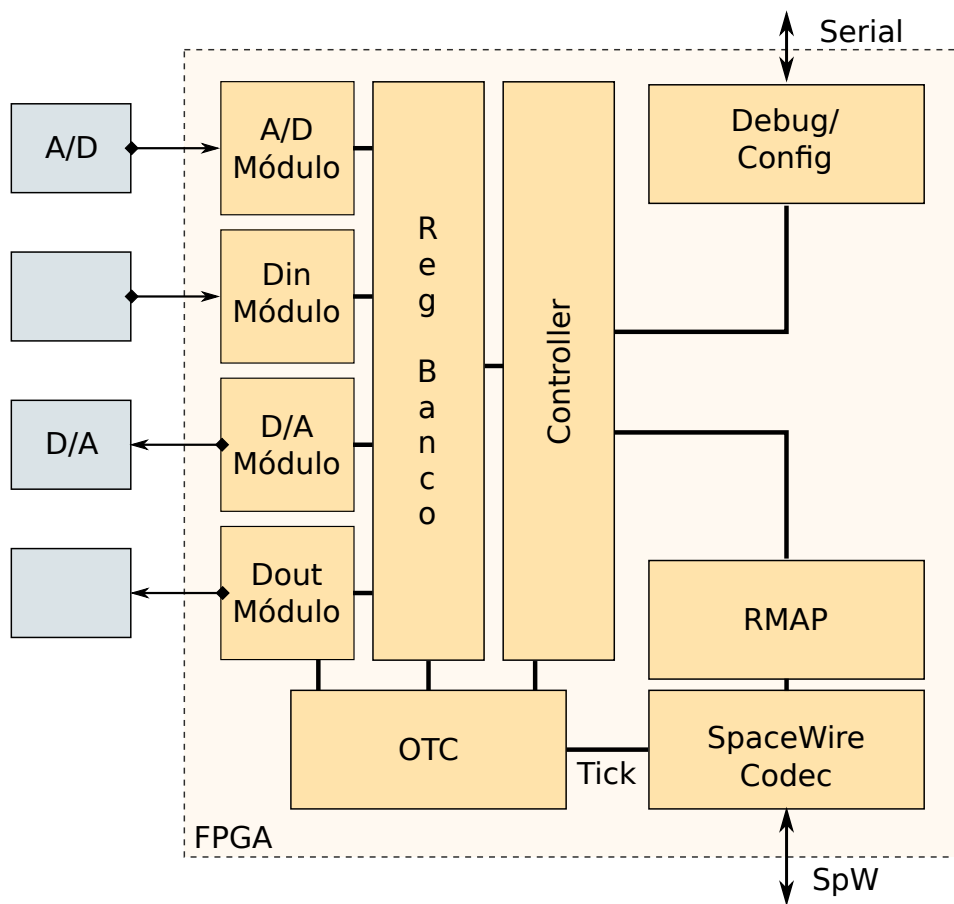


Figura 2.1: Diagrama de blocos

3 Identificação dos Componentes Envolvidos e Responsáveis

3.1 SpaceWire Codec

IP core que implementa o protocolo SpaceWire, pretende-se utilizar o codec desenvolvido no projeto CITAR mas existem outras opções, tais como :

- SpaceWire NSEE
- SpaceWire Light
- SpaceWire CEA

3.2 RMAP

O protocolo RMAP será a forma de acesso e controle da aplicação, via comandos de escrita, será possível configurar os modos de operação assim como escrever nos conversores D/A e saídas digitais. Comandos de leitura serão utilizados para acesso assíncrono aos dados dos conversores A/D e portas digitais de entrada. Comandos de escrita da aplicação para o nó remoto, será utilizado para envio periódico das informações desses sensores.

Estudar viabilidade de uso do código já implementado para o Simucam. O comando de Read-Write não é implementado nesse core.

3.3 OTC - On Board Time Controller

O OTC será o responsável pela gestão dos sinais de sincronismo internos assim como o fornecedor de timestamp para o envio junto com os dados. Esse bloco é sincronizado com o restante dos nós via comandos de timecode enviados no canal SpW.

3.4 Controller

Core responsável por implementar a máquina de estados que controla a aplicação. Estudar a possibilidade de embarcar um uP.

3.5 Reg. Banco

Banco de registros compartilhado entre os módulos, para armazenamento de dados e configurações.

3.6 Módulo A/D

Módulo responsável pelo controle dos conversores A/D e escrita dos dados no Reg. Banco.

3.7 Módulo D/A

Módulo responsável pelo controle dos conversores D/A com os parâmetros configurados no Reg. Banco.

3.8 Módulo Din

Módulo responsável pelo controle das entradas digitais e escrita dos dados no Reg. Banco.

3.9 Módulo Dout

Módulo responsável pelo controle das saídas digitais com os parâmetros configurados no Reg. Banco.

3.10 Comandos

3.10.1 Definir zona de memória

4 Recursos do Produto

4.1 Fases do projeto

1. Especificação detalhada
2. Implementação
3. Teste

4.2 Ferramentas

Para implementação inicial, pretende-se utilizar a placa de desenvolvimento GR-PCI-XC5V da pender que possui uma FPGA Xilinx Virtex 5. O desenvolvimento será feito no software ISE com simulações tanto no ISIM quanto no ModelSim.

Para testes a nível SpW, utilizar o USB Brick da StarDundee.

4.3 Gestão