Simucam rop - Módulo etal-Io-luds

or!

] - Bresnch: HW\_CB\_CTRL\_IO\_LVDS (contendo de reflerência: SIMUCAM\_Dev\_HW).

al. 1. Objetivo: Módulo de I/O P/ controle das seguintes interfores:

Place deivers-Ivds: PWDN', 'PEML', 'PEMP'.

Place isoladors: EN\_ISO\_DRIVERS' -> ['b'] ou Hi-2': SpW tx drivers e sinc out driver

GPIOP-DG

(pino 1 - JPG- [']: SpW tx drivers e sinc out driver ON

DE4)

Pino da DE4: 'HSMB-RX\_NG' (pino 152 - J21 - DE4): HSMC B.

PEM L	PEM pré- infax	-> PEMI: 'HSMB_TX_n16' (pino 151-521-DE4)
default of p	PEM \$ Pré-ênfax	PEM \$: 'HSMB_TX-P16' (pino 149-J21-DE4)
. φ	1 -> Low	
7	P -> Média	
7	1 -> High	

funciona também e/ ZVS default no Più planner.

- Ao todo, são 4 Ilo's (single ended, +3V3/+3V). => todos são outputs.
- O comando desses I/o's deve ser feito pela CPU Mios-II.
- O módulo ctrl-Io-luds deve esportar os sinais correspondentes aos ports,
- Atenego à forme como o Nios-II vai interfocear o módulo!

La Resumo reunião de 11/10/18 Validação de HW- SYNCA (fw Nios-Hello World) \* Teste real do módulo ctrl-io-lods -> sintere! Concepção - módulo sync

: \$ : drivers\_LVDS opp / '1': ON testa usando o brick Dundee e/ isoladora. 4 nivers de pré-ênfase - deivers luds . EN- ISO\_DRIVERS -> 'p': Tx iso deivers off / '1': ON

] -> Branch: Hw-CB-Ctel\_Io-Luds

) - , Fox sintere

1 (-) Grava FPGA ( JTAG mesmo) -, so volatil

> -> FW Nios-II - Hellowood + driver ctal-io-ludy! + driver pinc! ( Cria projeto no Eclipse)

Debug em RAM via JTAG! Volida I/o's de ctel-luds e

B: Os sinais sine-in/sine-out no HW de FPGA estas mapeados como I/O no

1-> Criado um drive sinc (.h/.c) simples.

Sera, via debug, um sinc-out manualmente. Fog o loopback na isoladora (conectores y Direculores), e cleca se o sine in no nios é Compativel of sinc-ort.

--- out out out

I polha z - . Assinatura des correntes DC (com ponta de corrente do esculación)

2/2

Assinatura das correntes: +3v3 (DE4) -> drivers-luds +12v (150ia DORA)

- A) to iso drivers opp drivers-IV do ON Pré-enfore opp
- +3v3 -> 1, 1 A +12v -> 1,55A +12v · iso -> (580mA) osc -> 655 mA
- B) tx-iso\_deivers low .

  drivers-lods on

  Prê-ênfare opp
- +3V3 -> 1,1A +1ZV -> 1,5SA +1ZV-iso -> (+50 mA) 05C -> 8Z5 mA
- C) tx-150-deivers opp drivers-ends lopp Pré-enfore opp
- D) +x-iso\_drivers opp drivers\_luds on Pré-upase [MAX]
- +3v3-> 1,6A +1zv-> 1,55A +1zv-iso -> (S80mA) osc-> 655 mA