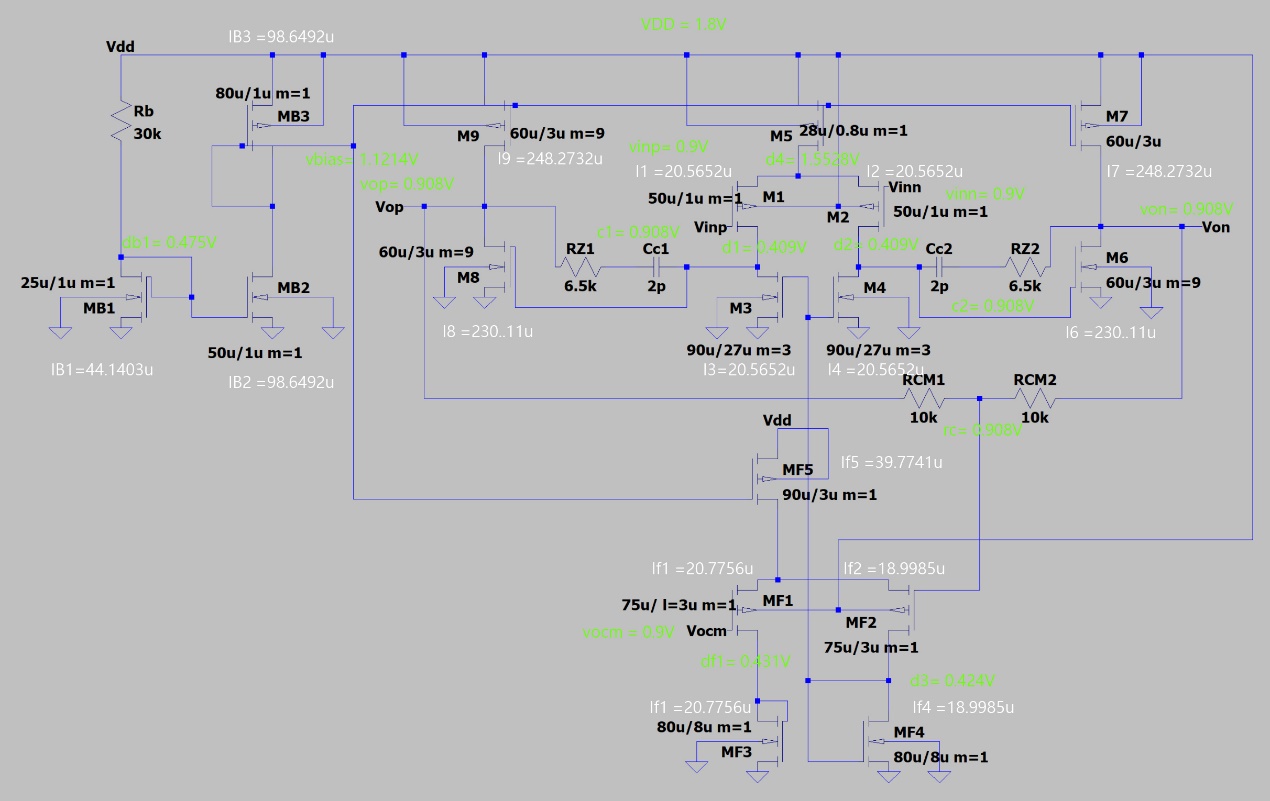
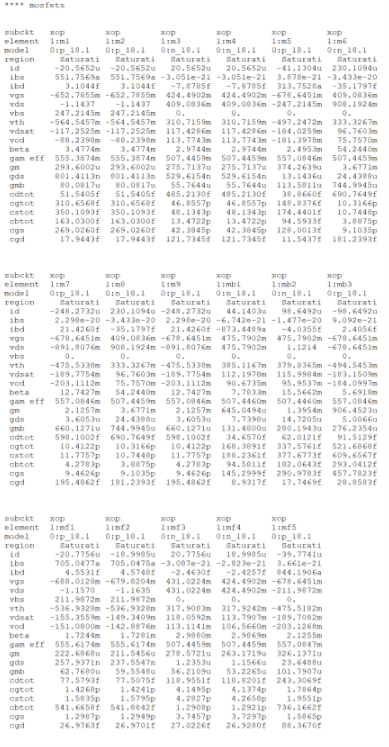
AIC\_final

105061245蕭郁澄

1. Performance Table

|  |  |  |
| --- | --- | --- |
| Design Items | Specifications | My Work |
| Technology | CIC pseudo 0.18um technology | |
| Supply Voltage | 1.8V , as small as possible | 1.8V |
| Vicm, Vocm | 0.9V / 0.9V | 0.9V / 0.9V |
| Supply Current (Total) | < 4mA, as small as possible | 0.785 mA |
| Loading | 5pF / 50KΩ | 5pF/50KΩ |
| Compensation R,C, | Open for design | 8kΩ / 2pF |
| Open-loop simulation | | |
| DC gain | > 72 dB, as large as possible | 74.7dB |
| Unity-GBW | > 1MHz, as large as possible | 19.224M |
| P.M. | > | 45.0675 |
| C.M.R.R. @10KHz | > 80 dB | 91.6 |
| P.S.R.R.+ @10KHz | > 80 dB | 100.5 |
| P.S.R.R.- @10KHz | > 80 dB | 99.1 |
| Closed-loop simulation | | |
| Differential swing of 1.44V (step signal) | | |
| S.R.+ (10% ~ 90%) | > 1V/us | 15.1 |
| S.R.- (90% ~ 10%) | > 1V/us | 15.1 |
| Settling+ (to 0.1%) | < 10us | 1.47 |
| Settling- (to 0.1%) | < 10us | 1.47 |
| FoM | | |
| Small signal | GBW (MHz) x CL(pF) / Power(mW) | 68.025 |
| Large signal + | SR+(V/us) x CL(pF) / Power(mW) | 53.43 |
| Large signal - | SR-(V/us) x CL(pF) / Power(mW) | 53.43 |

1. Schematic



1. Spice Code

\*Final

.param vdd=1.8 $ Your positive supply voltage

.param vss= 0 $ Your negative supply voltage

.param vocm=0.9 $ Your output common mode voltage

.SUBCKT op vinp vinn vdd vss vop von vocm

\*\*\*first stage\*\*\*

m1 d1 vinp d4 vdd p\_18 w=50u l=1u m=1

m2 d2 vinn d4 vdd p\_18 w=50u l=1u m=1

m3 d1 d3 vss vss n\_18 w=90u l=27u m=3

m4 d2 d3 vss vss n\_18 w=90u l=27u m=3

m5 d4 vbias vdd vdd p\_18 w=28u l=0.8u m=1

\*\*\*second stage\*\*\*

M6 von d2 vss vss n\_18 W=60u L=3u m=9

M7 von vbias vdd vdd p\_18 W=60u L=3u m=9

M8 vop d1 vss vss n\_18 W=60u L=3u m=9

M9 vop vbias vdd vdd p\_18 W=60u L=3u m=9

\*\*\*compensation\*\*\*

RZ1 vop c1 6.5k

CC1 c1 d1 2p

RZ2 c2 von 6.5k

CC2 d2 c2 2p]

\*\*\*biasing\*\*\*

mb1 db1 db1 vss vss n\_18 w=25u l=1u m=1

mb2 vbias db1 vss vss n\_18 w=50u l=1u m=1

mb3 vbias vbias vdd vdd p\_18 w=80u l=1u m=1

Rb vdd db1 30k

\*\*\*CMFB\*\*\*

mf1 df1 vocm df2 vdd p\_18 w=75u l=3u m=1

mf2 d3 rc df2 vdd p\_18 w=75u l=3u m=1

mf3 df1 df1 vss vss n\_18 w=80u l=8u m=1

mf4 d3 d3 vss vss n\_18 w=80u l=8u m=1

mf5 df2 vbias vdd vdd p\_18 w=90u l=3u m=1

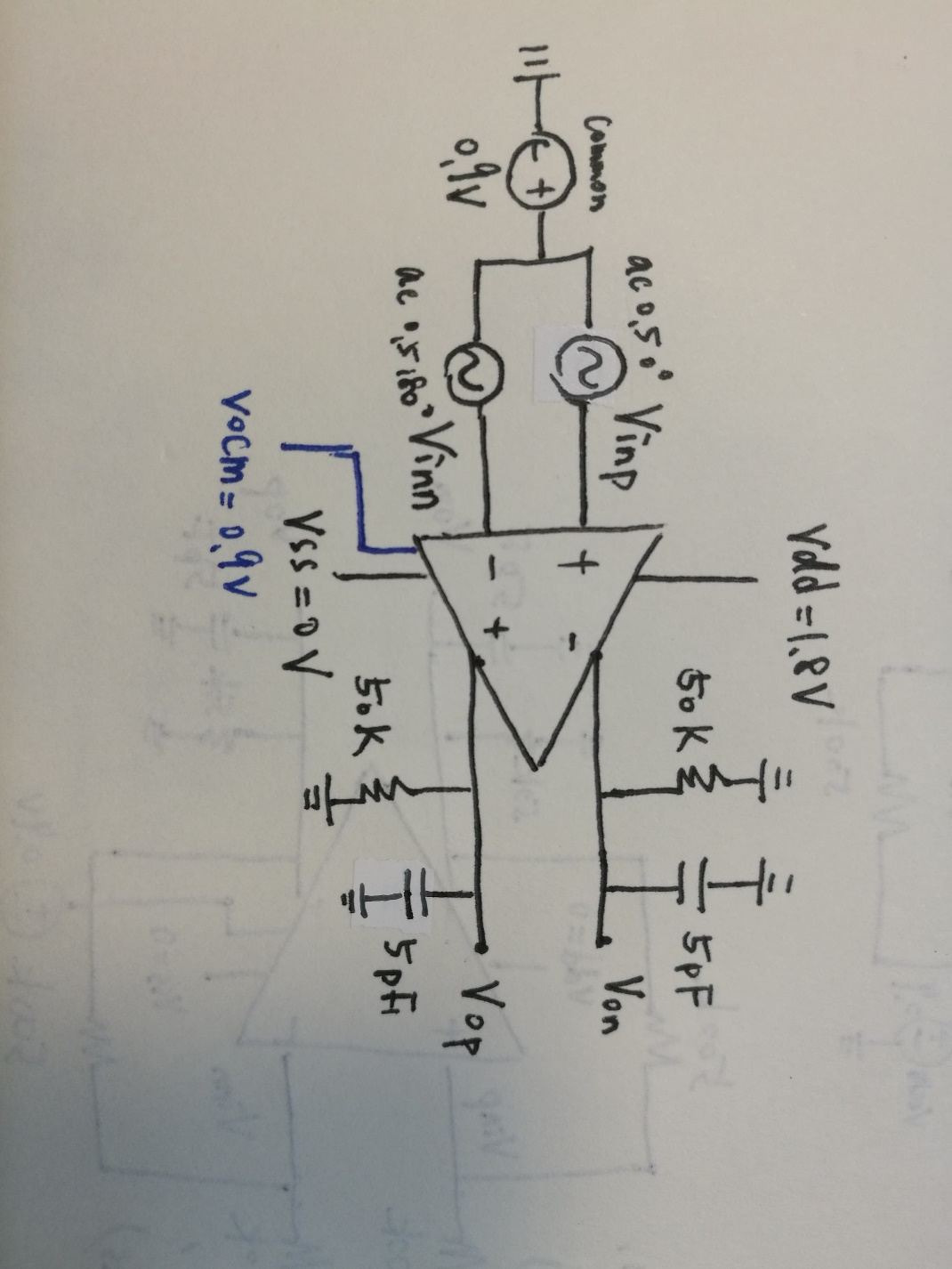
RCM1 vop rc 10k

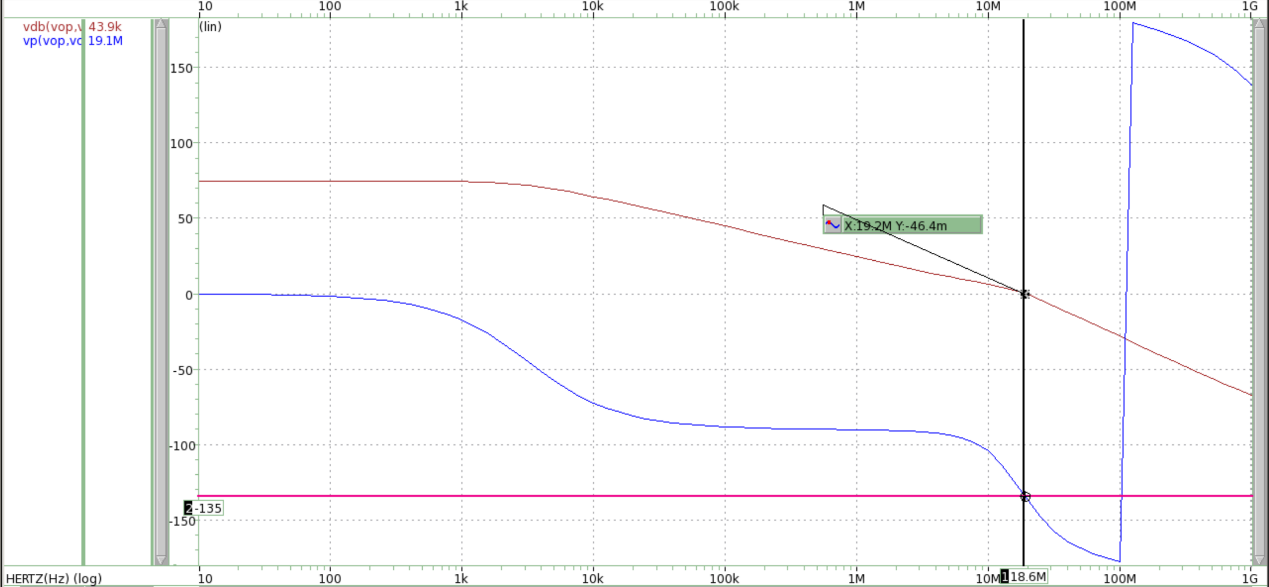
RCM2 rc von 10k

.ENDS

1. Simulations
   1. Open-loop differential mode AC response

a.

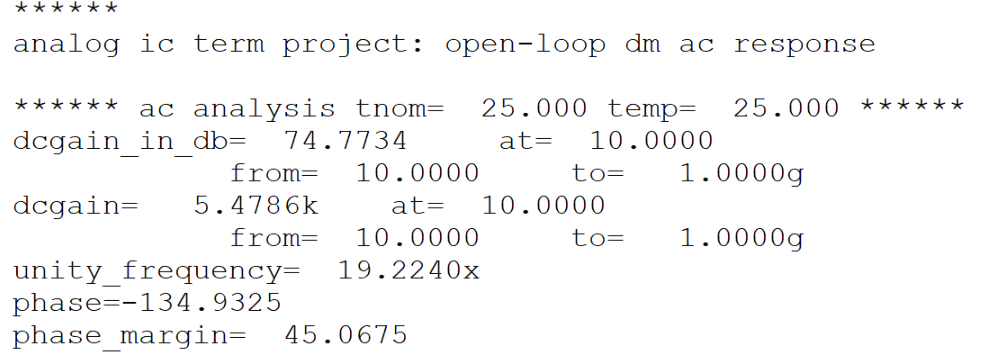


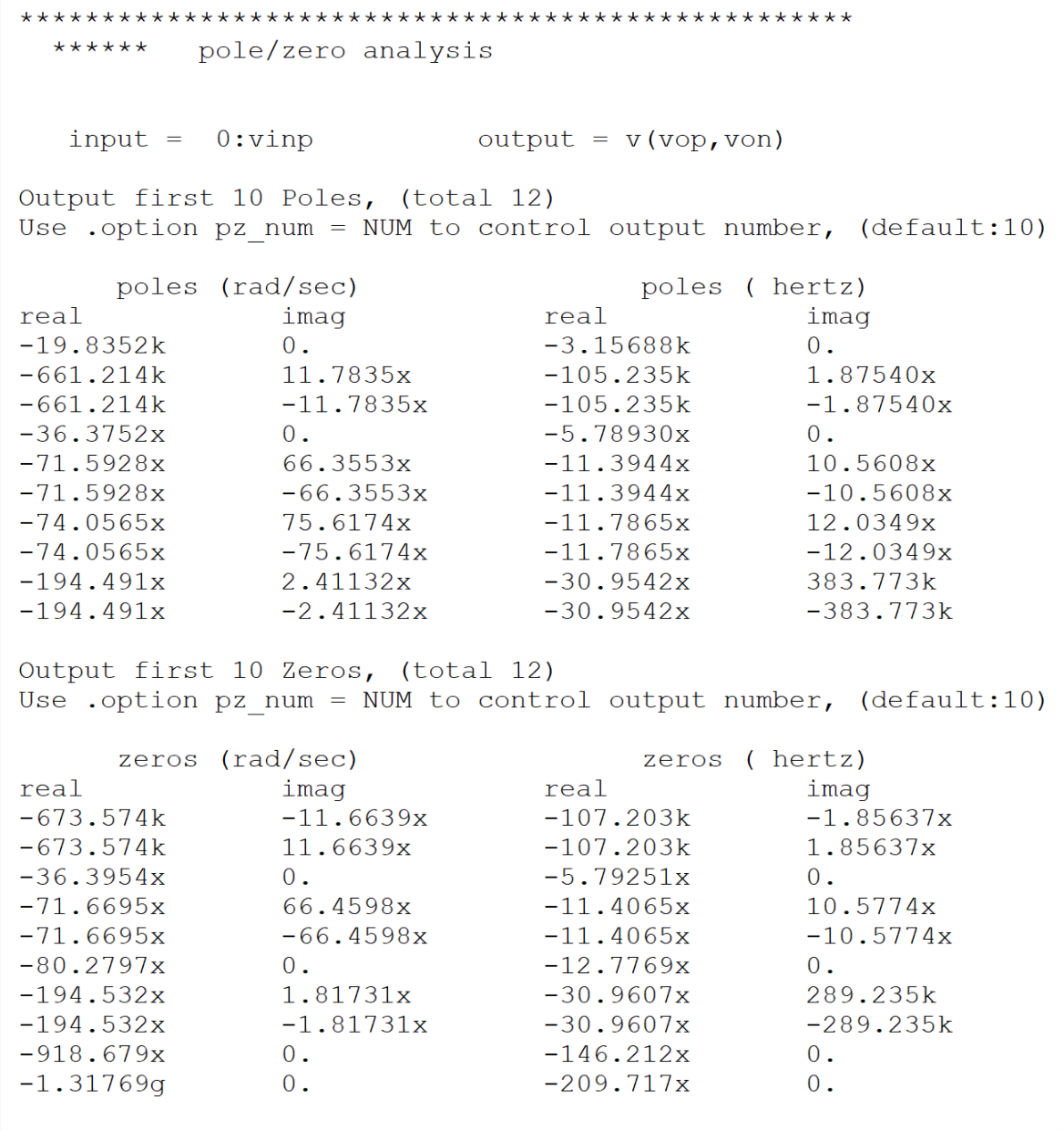
b.

Dc gain = 74.7K

上圖中橫軸是頻率(Hz)、縱軸是dB(細紅線)和角度degree(藍線)。

Bandwidth是19.2M、DC gain = 74.7、PM = 45



c.

d.

DC gain = ( =16900= 84.55dB

和模擬值的誤差 =

我認為會有這麼大的誤差的原因是因為我在M6~M9使用了m=9的緣故，導致在計算第二級的gain的時候，實際上等效的Ro並沒有這麼大，才導致計算出來的gain比實際上模擬的大許多。

Pole and zero:

Pole1 =

Pole2 =

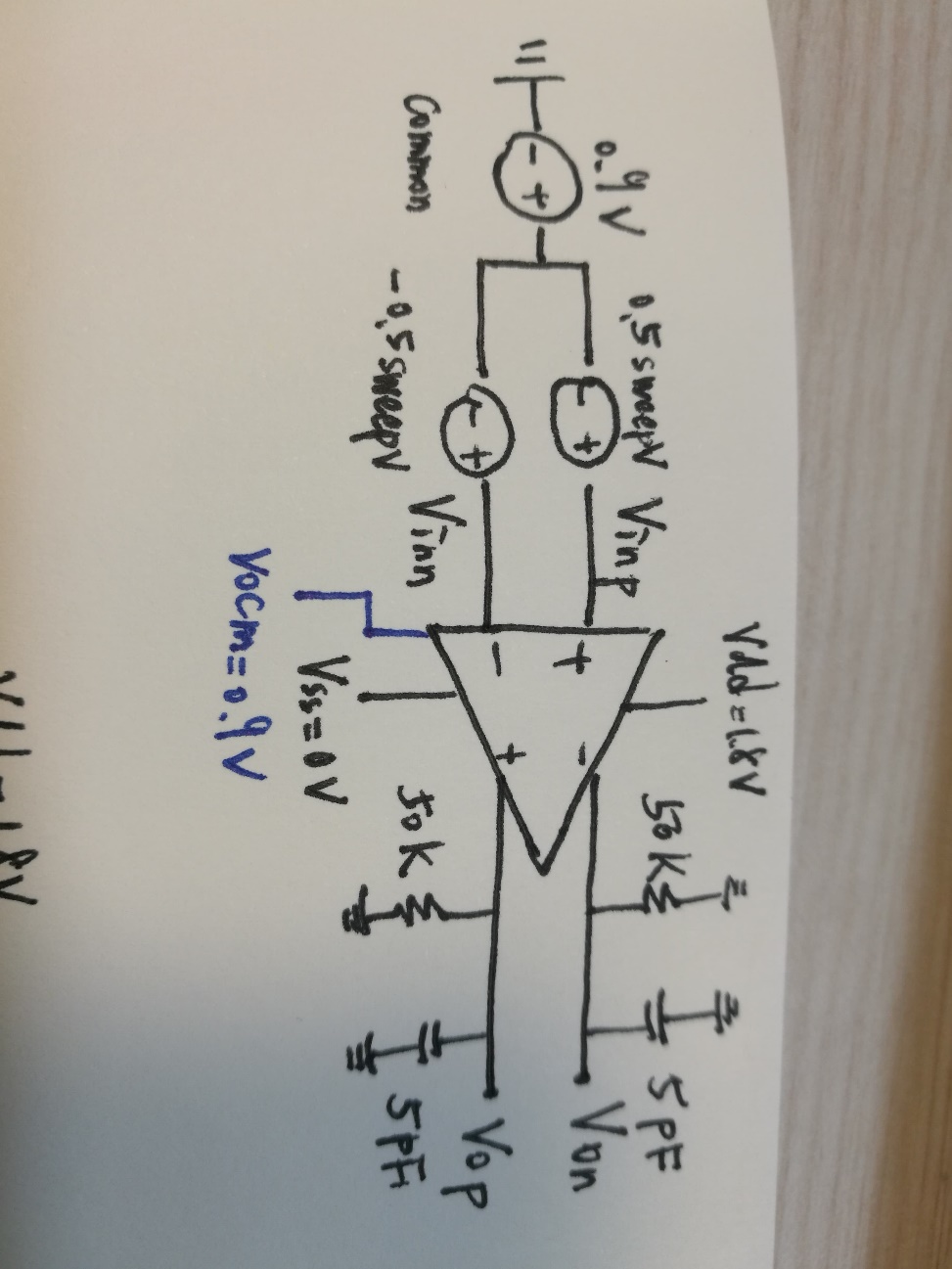
Zero =

對照c的.pz結果，可以發現把位置相近的pole和zero消掉後，第一個pole應該是位於3.156k，第二個pole是位於11.7865M(虛部為12.0349M)，第一個zero位於12.7769M。

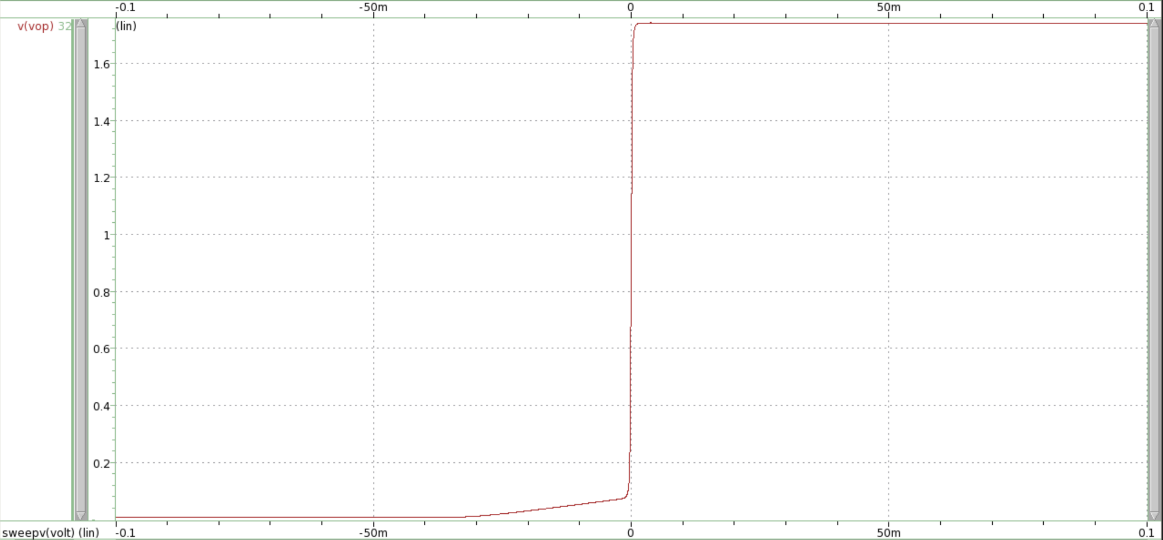
跟手算值比較，除了zero很準以外，pole的誤差都十分的大。我想是因為整個電路運用了非常多的mos，寄生電容非常多，並且還有許多pole有著共軛的情形，所以估算公式會有點不準。

* 1. Open-loop differential mode DC sweep

a.



b.

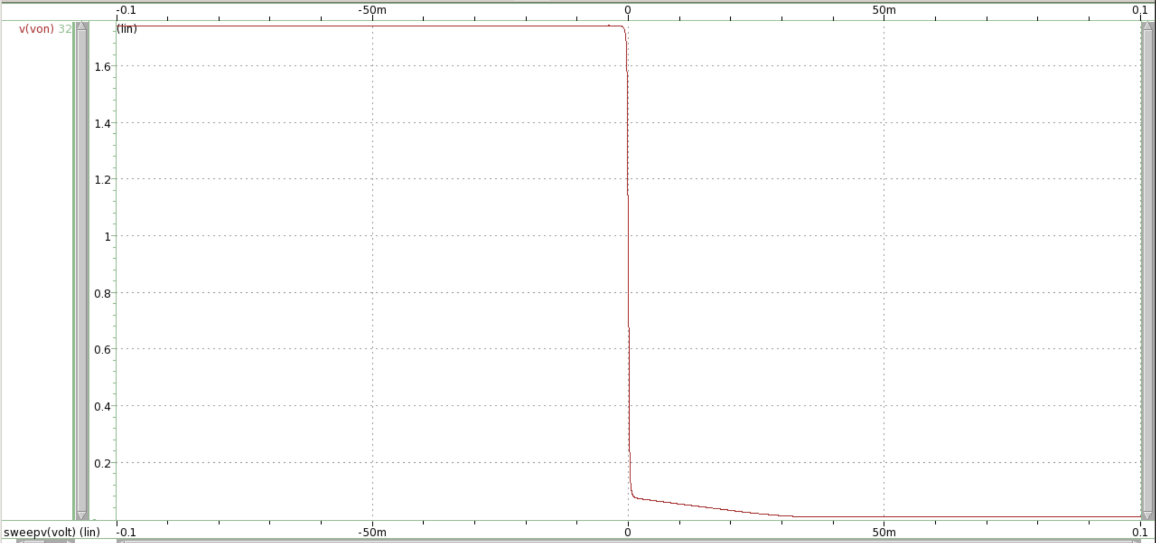
vop

Slope =2.74k

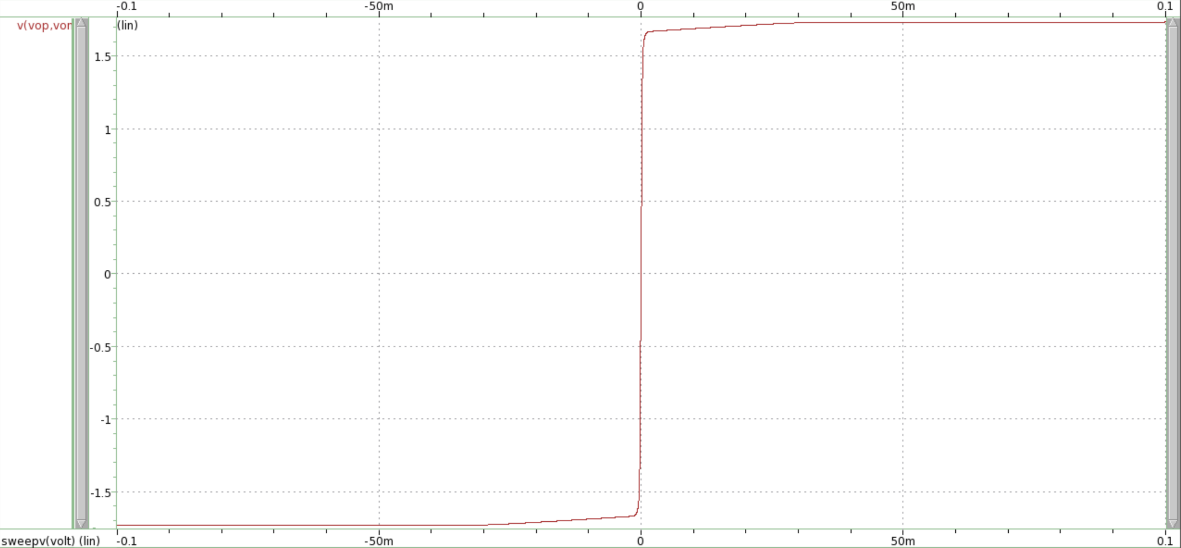
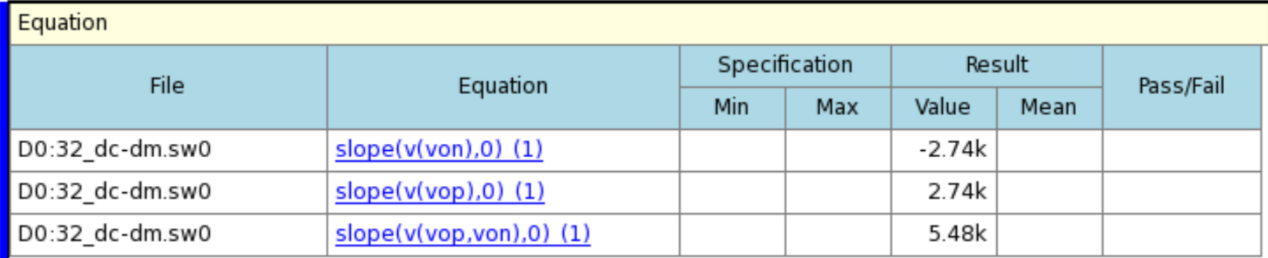
橫軸是vin sweep(V)，縱軸是output(V)

von

Slope =-2.74k

橫軸是vin sweep(V)，縱軸是output(V)

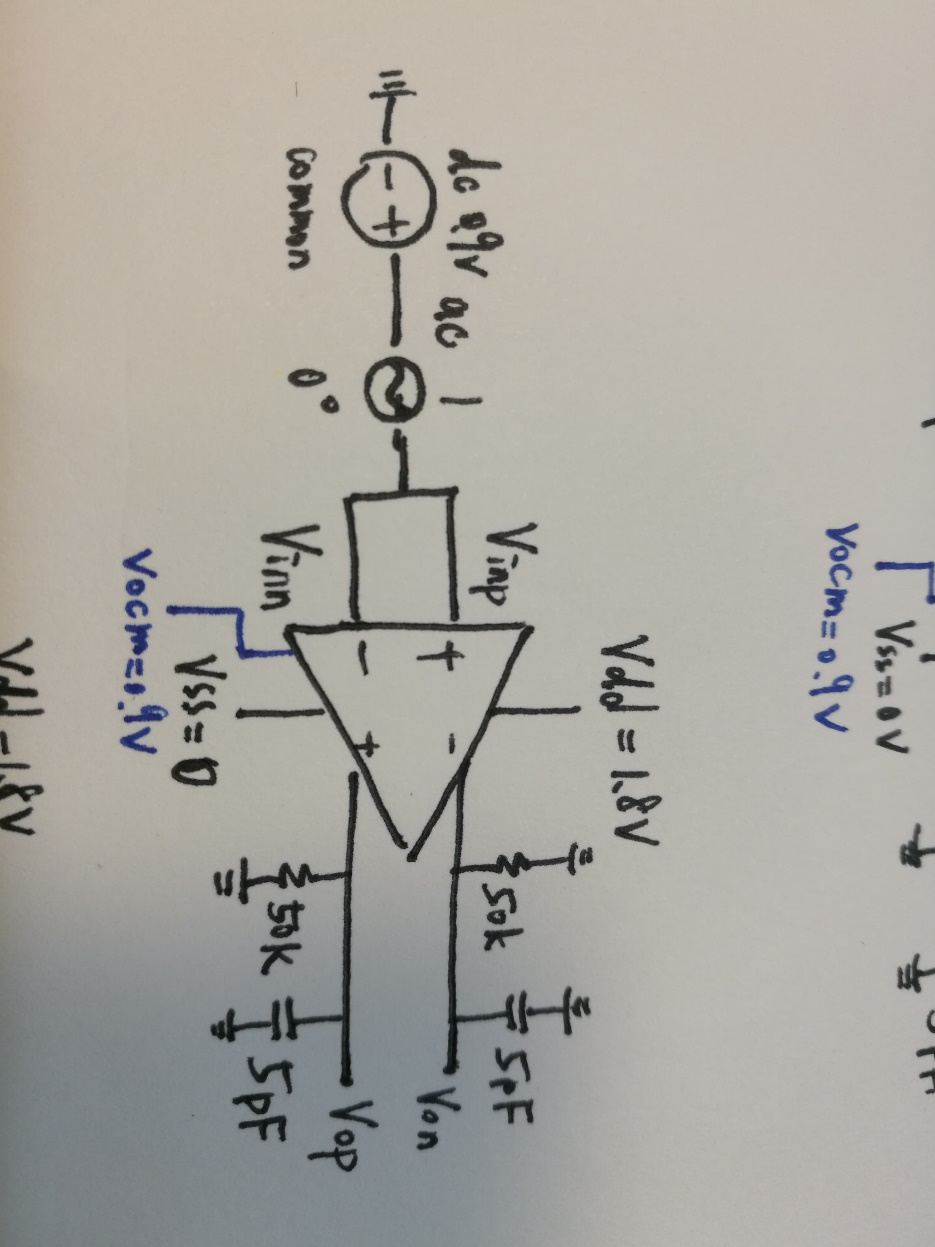
(vop,von)

橫軸是vin sweep(V)，縱軸是output(V)

Slope =5.48k

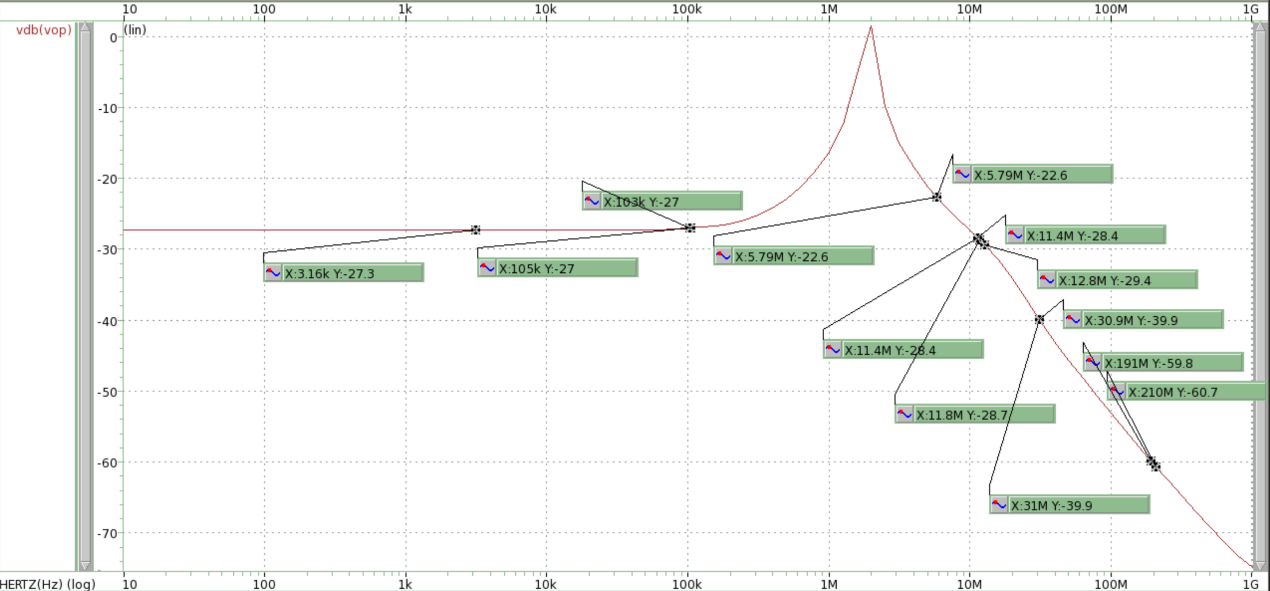
* 1. Open-loop common mode AC response

a.



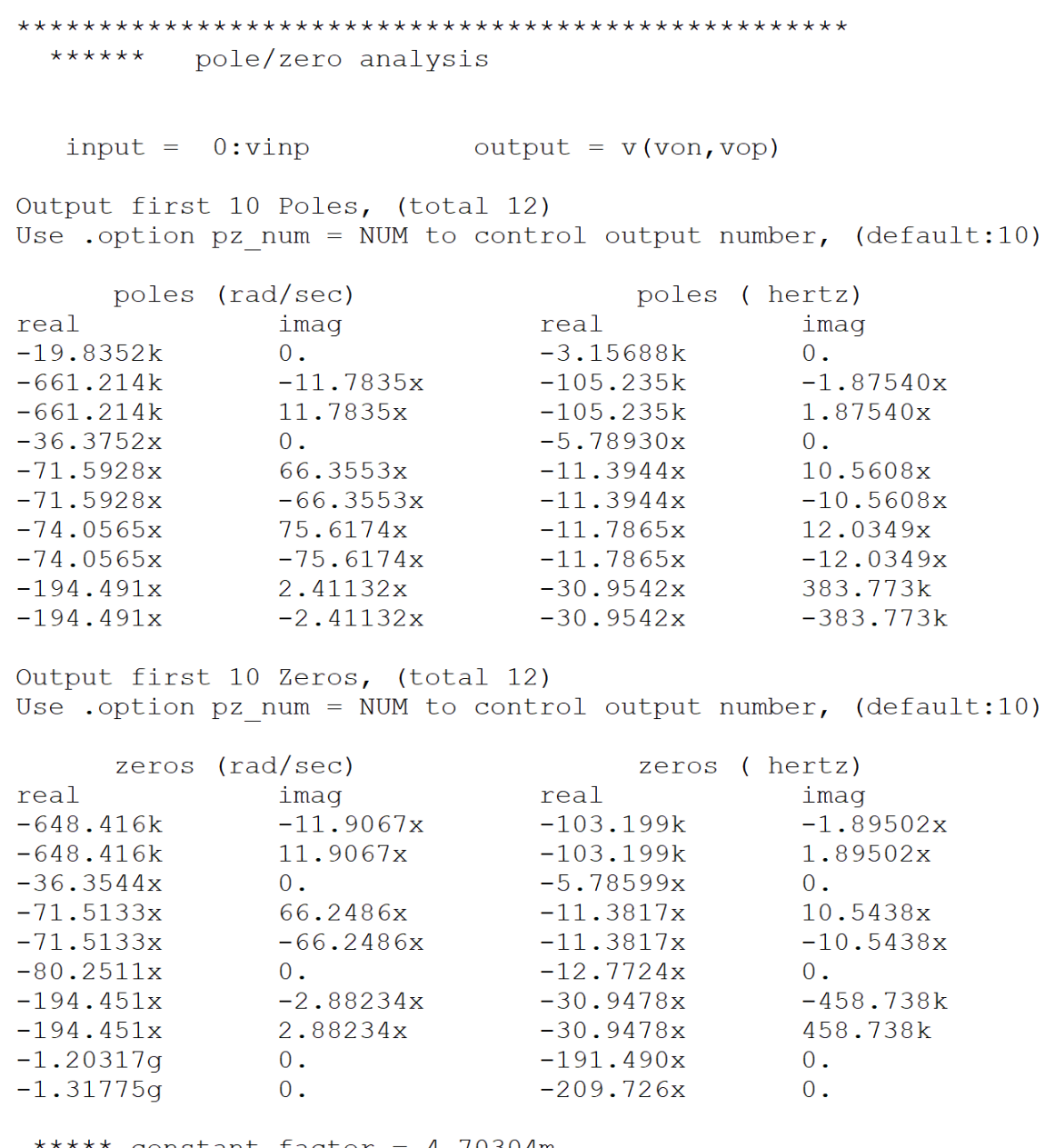
b.

在wave之上的mark是zero，在wave之下的mark是pole。



橫軸是頻率(Hz)，縱軸是vop(dB)

c.

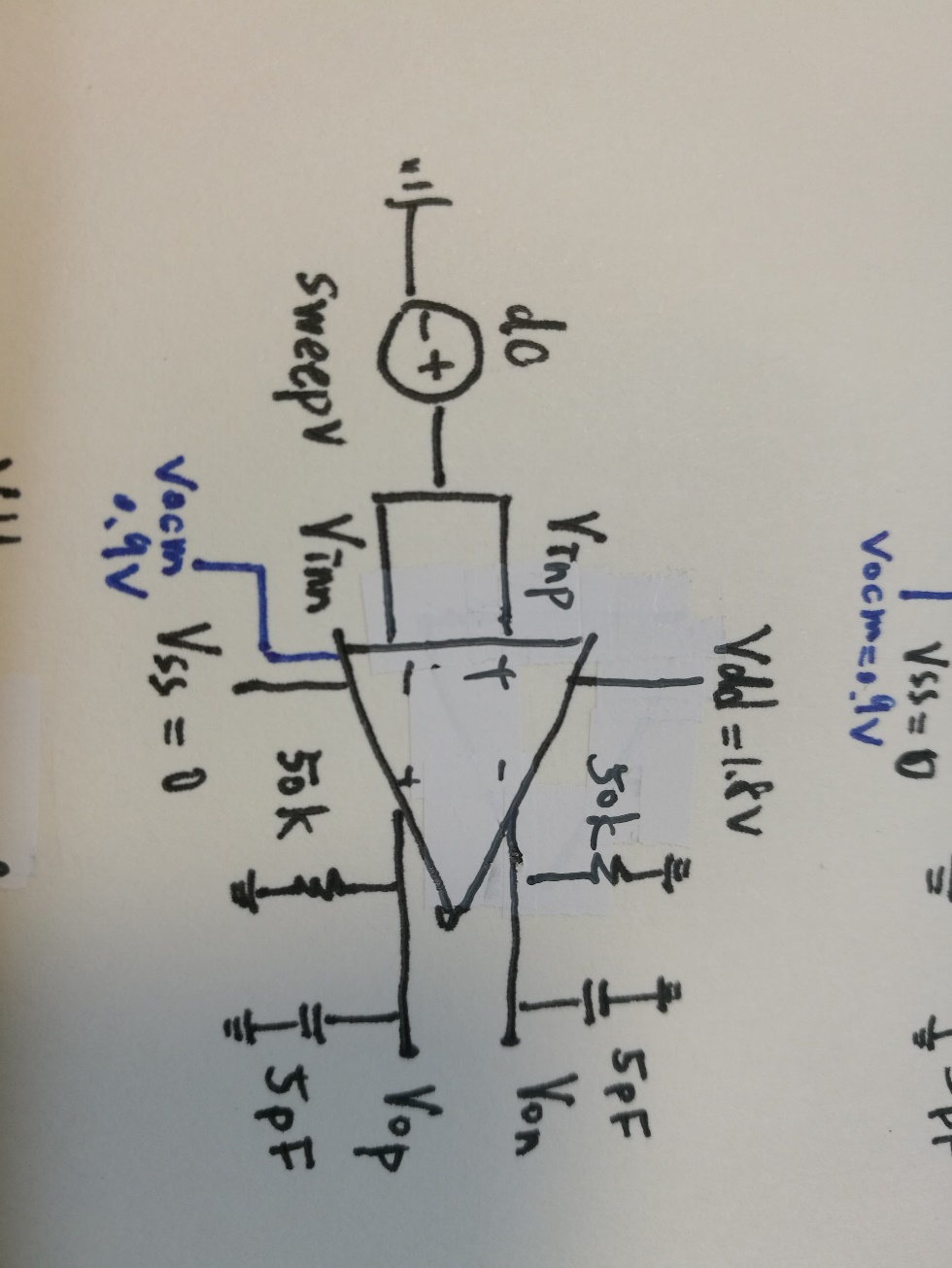


d.

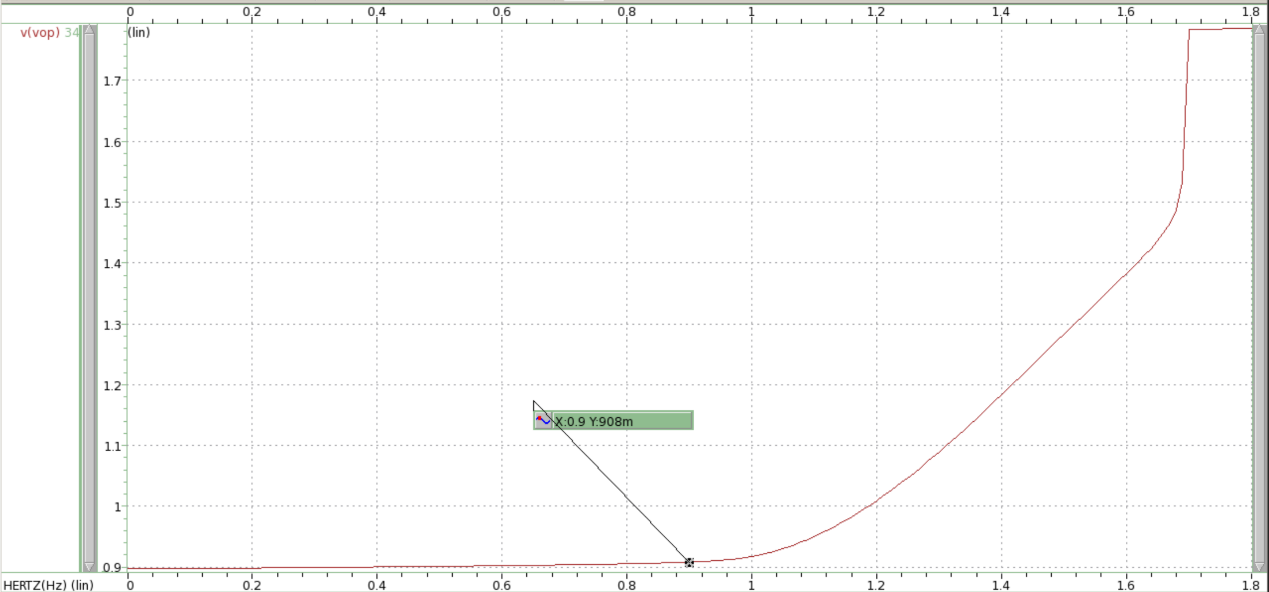
因為兩者的pole/zero都和3.1d相同，因此計算和3.1d想同，在此省略。

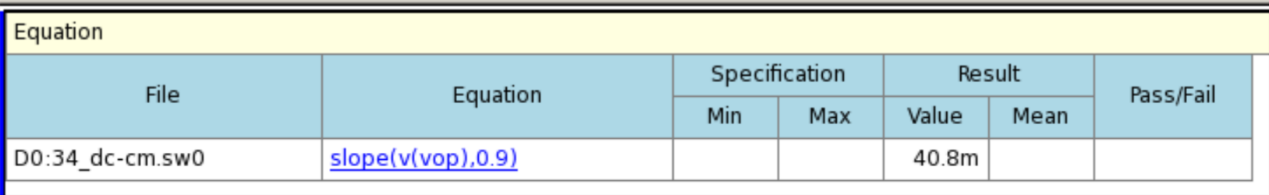
* 1. Open-loop common mode DC sweep

a.



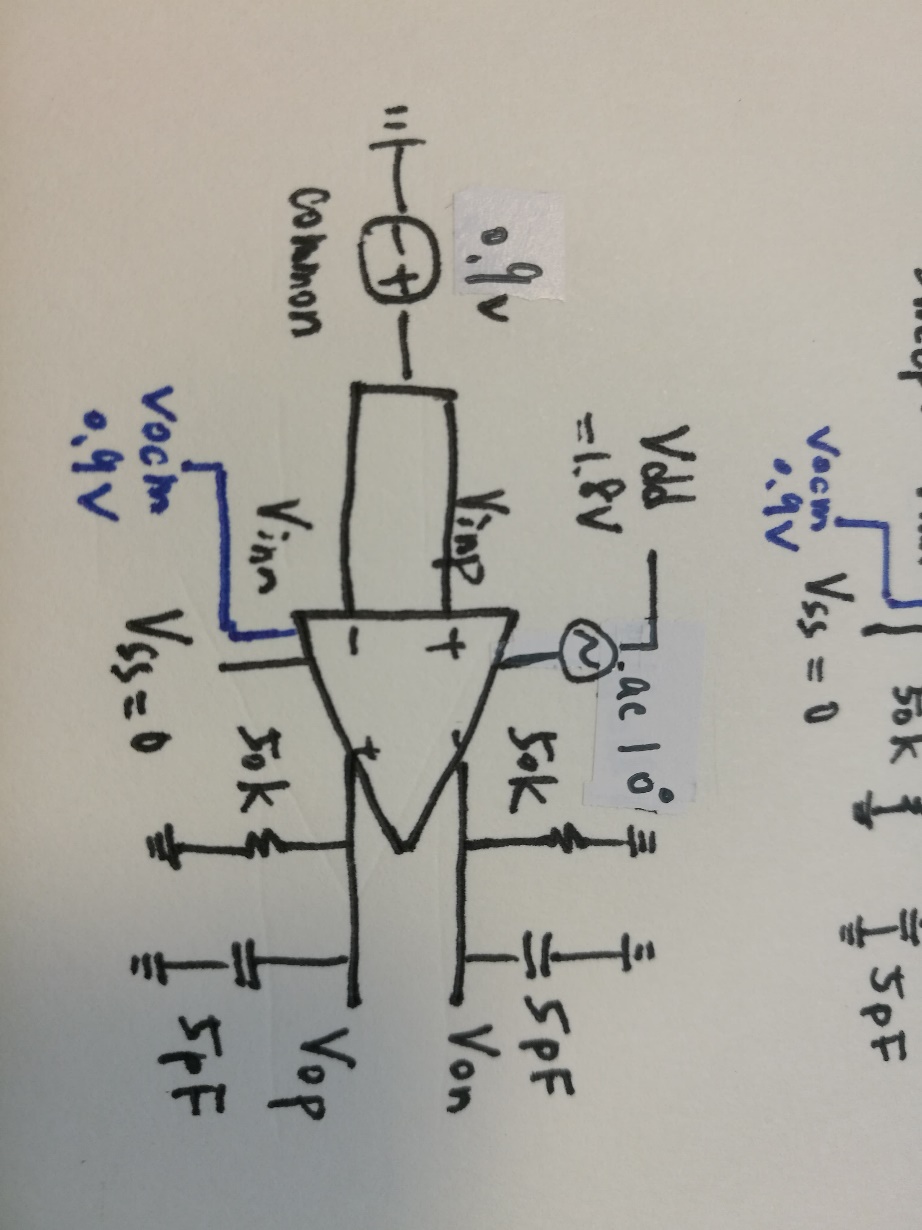
b.



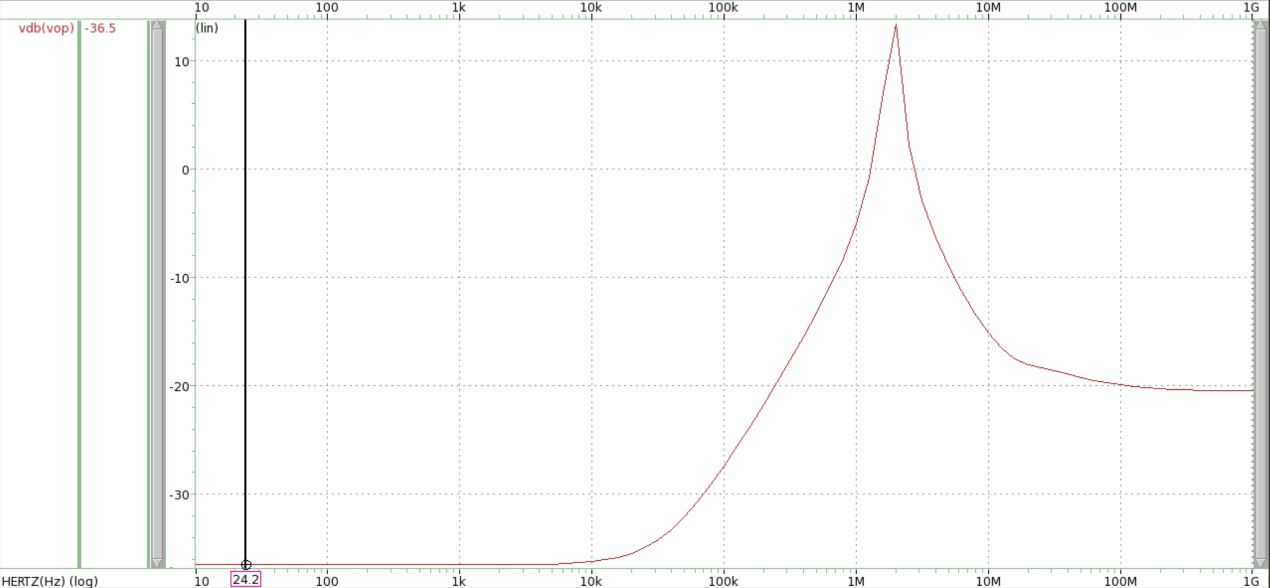
橫軸是頻率(Hz)，縱軸是vop(dB)

* 1. Open-loop power supply+ AC response

a.



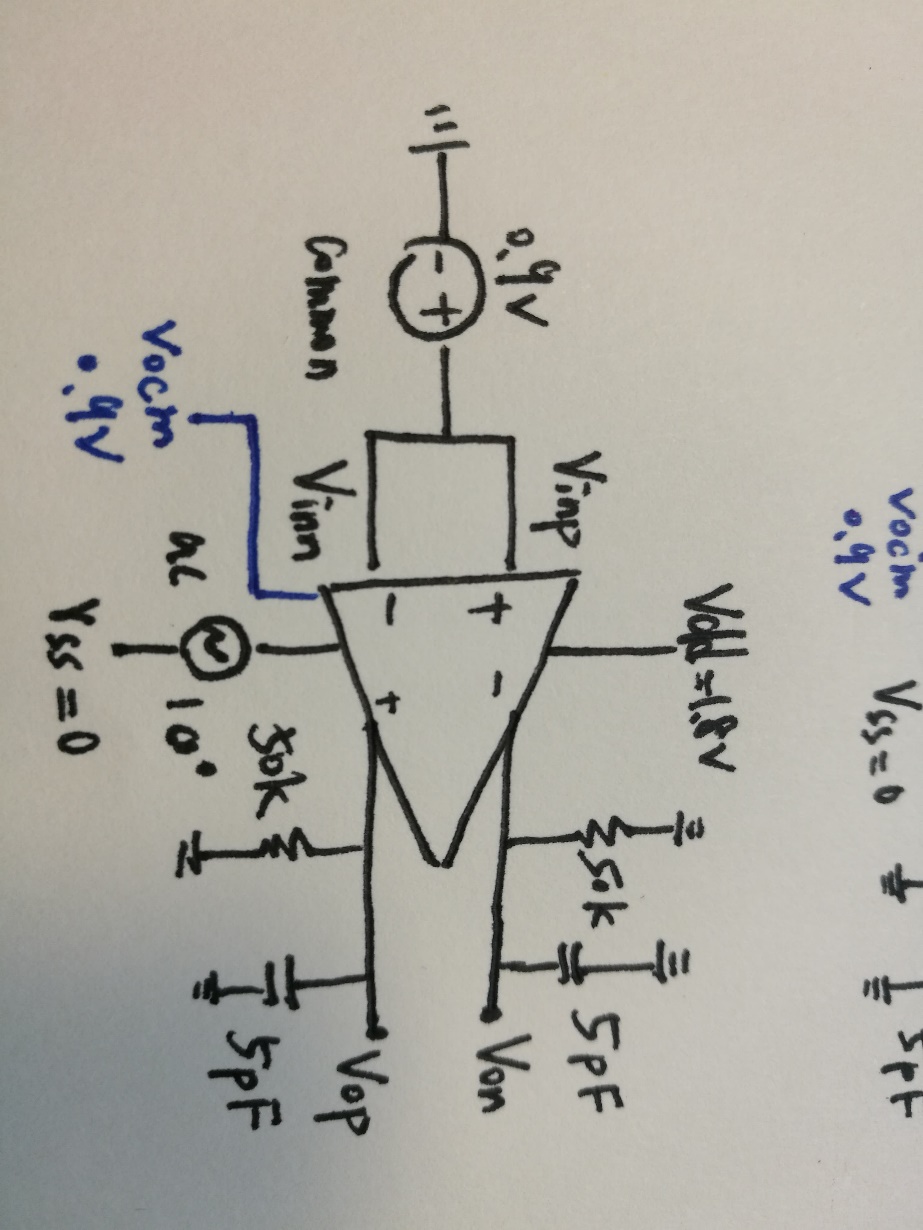
b.



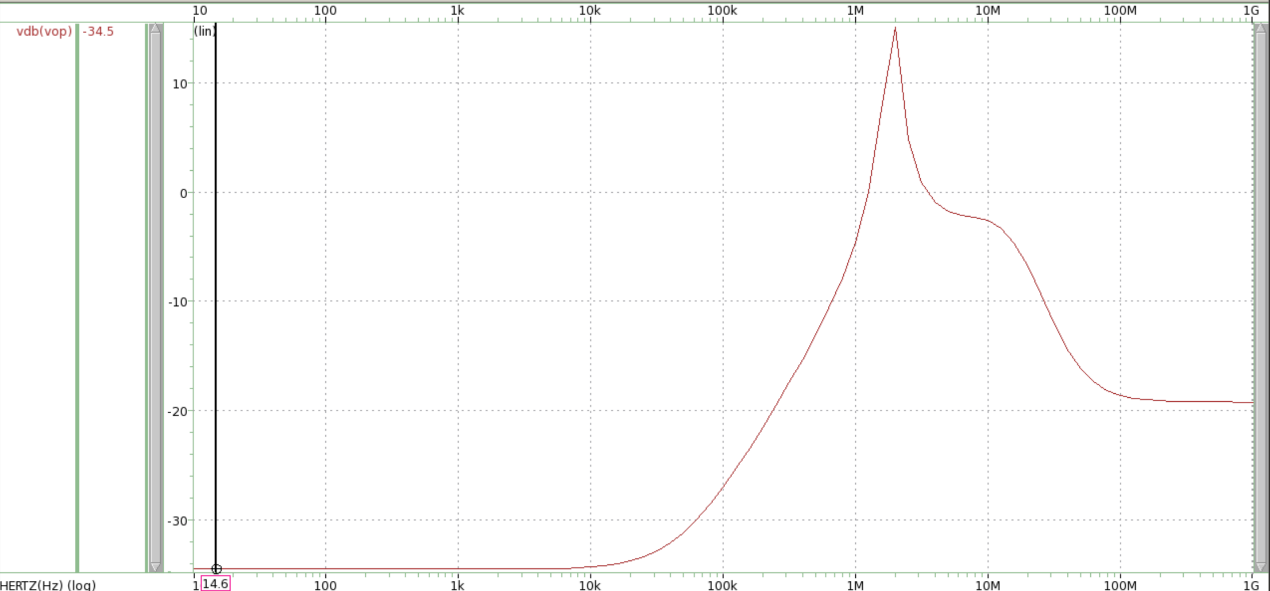
橫軸是頻率(Hz)，縱軸是vop(dB)

* 1. Open-loop power supply- AC response

a.

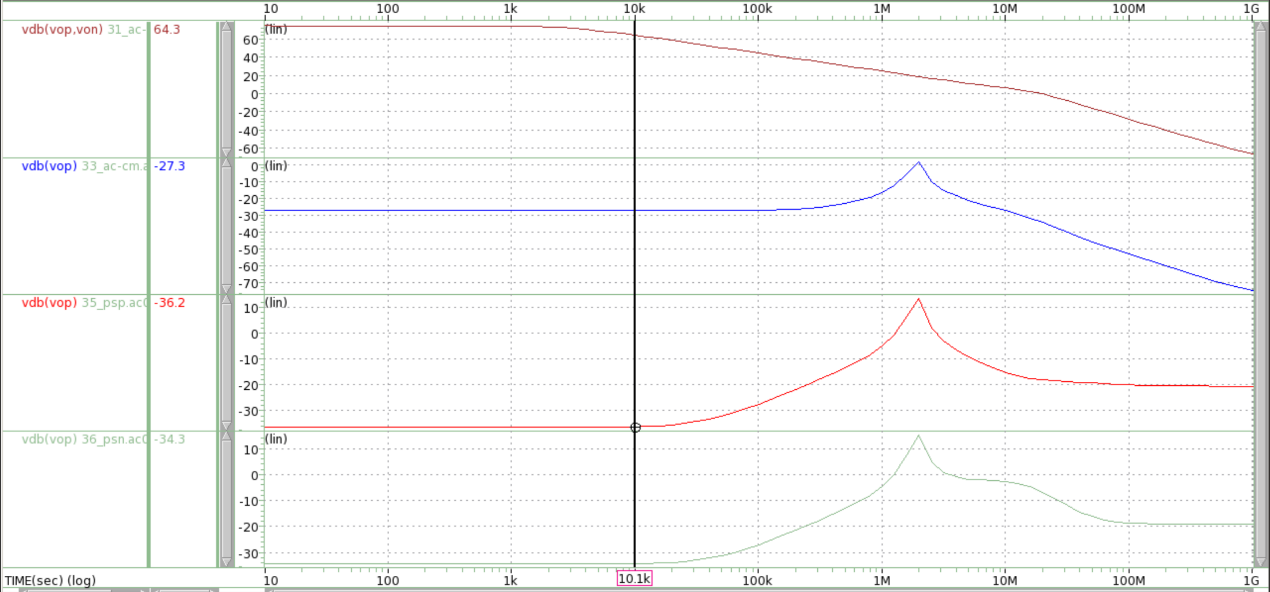


b.



橫軸是頻率(Hz)，縱軸是vop(dB)

**CMRR、PSRR+、PSRR-計算:**



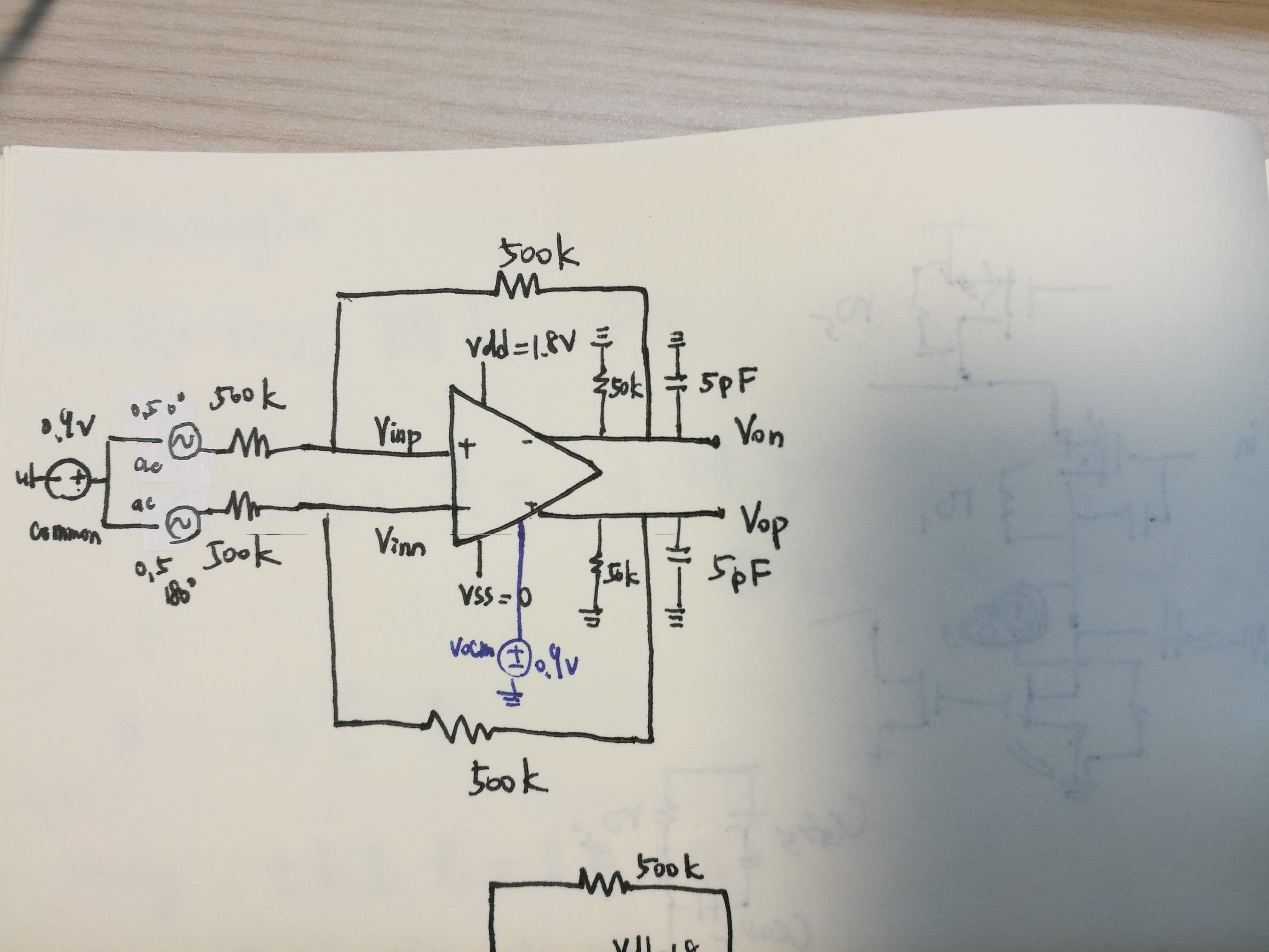
橫軸是頻率(Hz)，縱軸是vop(dB)

從上面這張圖可以清楚看出

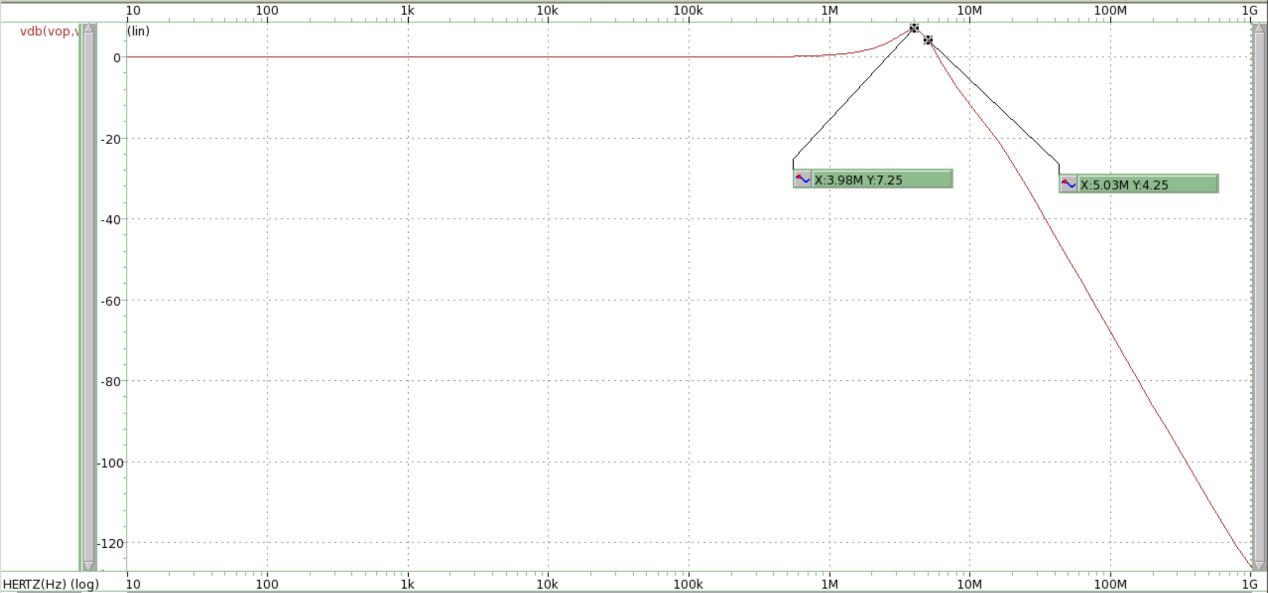
CMRR = 91.6dB 、 PSRR+ = 100.5dB 、 PSRR- = 99.1dB

* 1. Closed-loop differential mode AC response

a.



b.

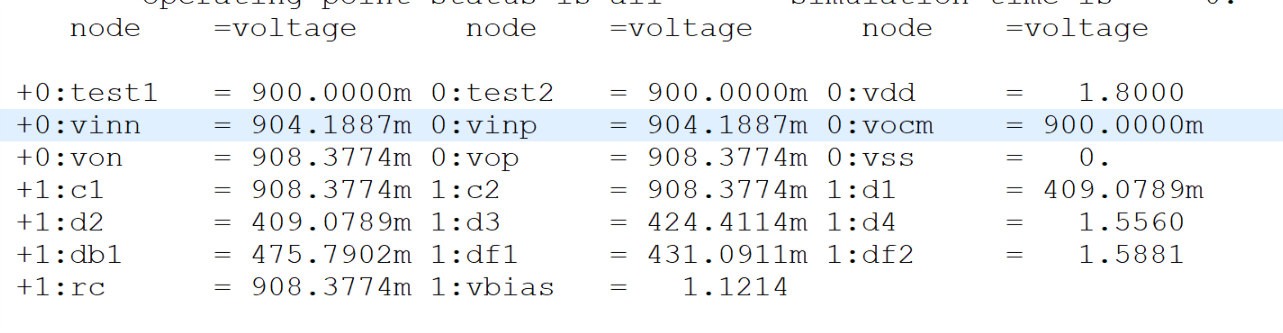


DC gain = 0

橫軸是頻率(Hz)，縱軸是vop(dB)

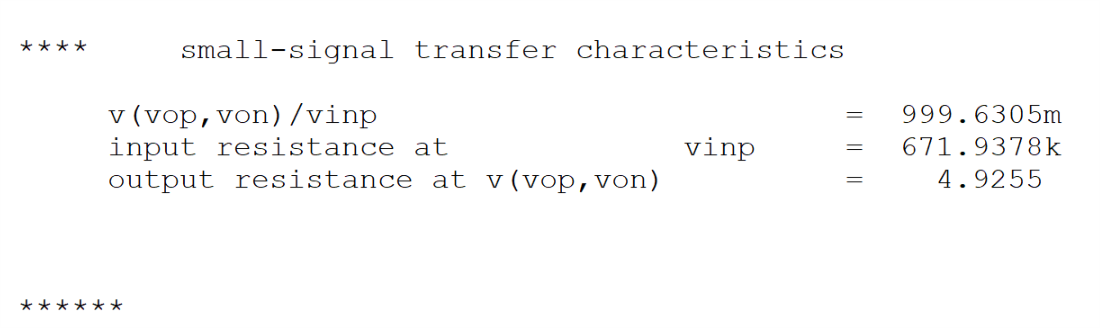
DC gain指得是s=0的時候，因此是頻率很低的時地gain = 0dB，但是因為會有overshoot的情形，因此-3 dB的frquence我是取overshoot最大值的gain減3 dB，並且會發現在overshoot前後都會有一個這樣的點，如上圖，左邊的典試overshoot的最高點，右邊的點是在overshoot後的-3 dB frequence。

c.



Resonable，因為von/vinn = vop/vinp = 1.004十分接近1，表示DC gain本身是0，和b小題的DC gain對照來看十分合理。

d.



e.

因為feedback的放大倍率 K =

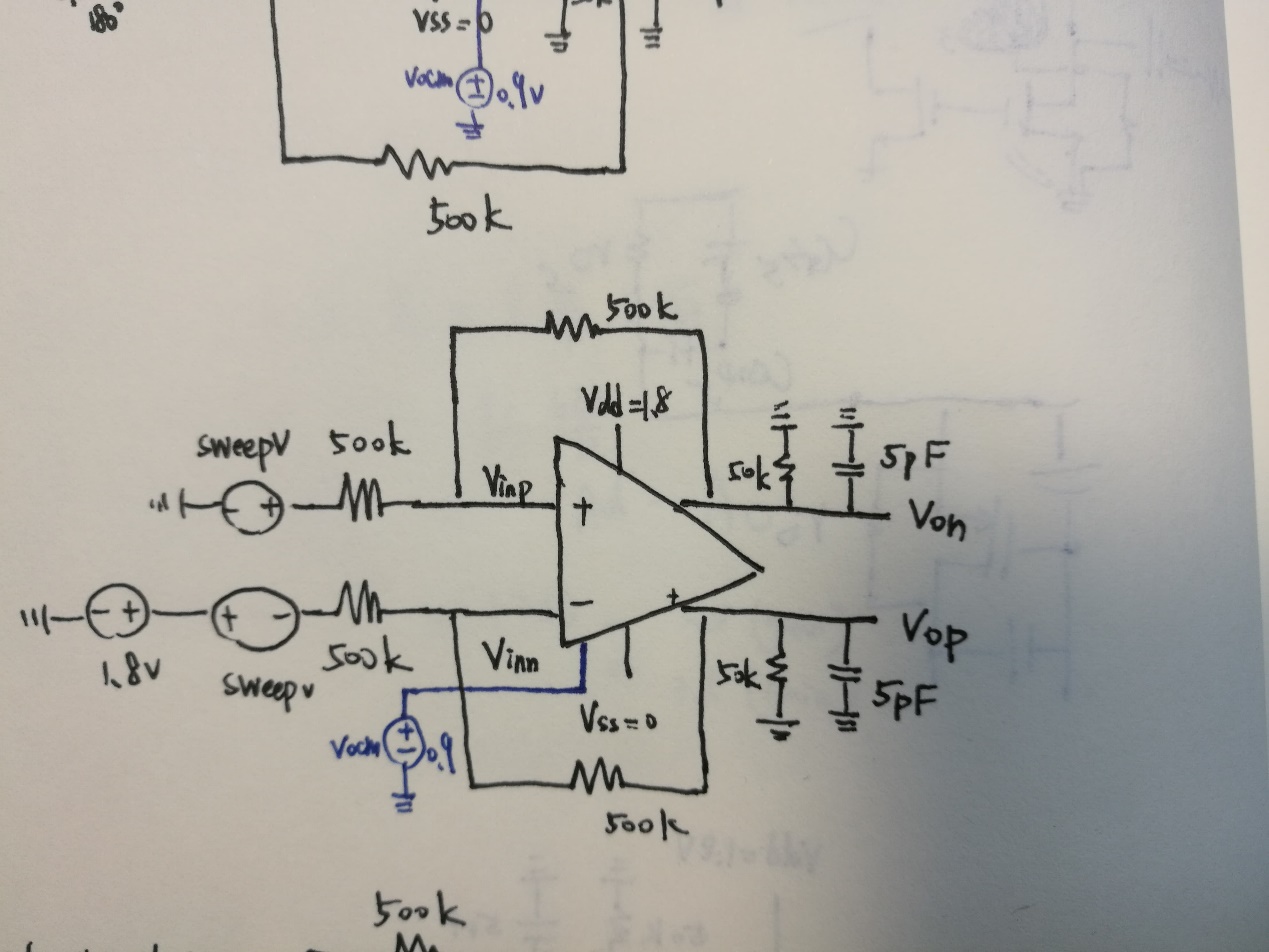
又open loop gain A = 7470, 所以A x K = 3735

closed loop gain =

和模擬值0.9996305十分接近。

* 1. Closed-loop differential mode DC sweep

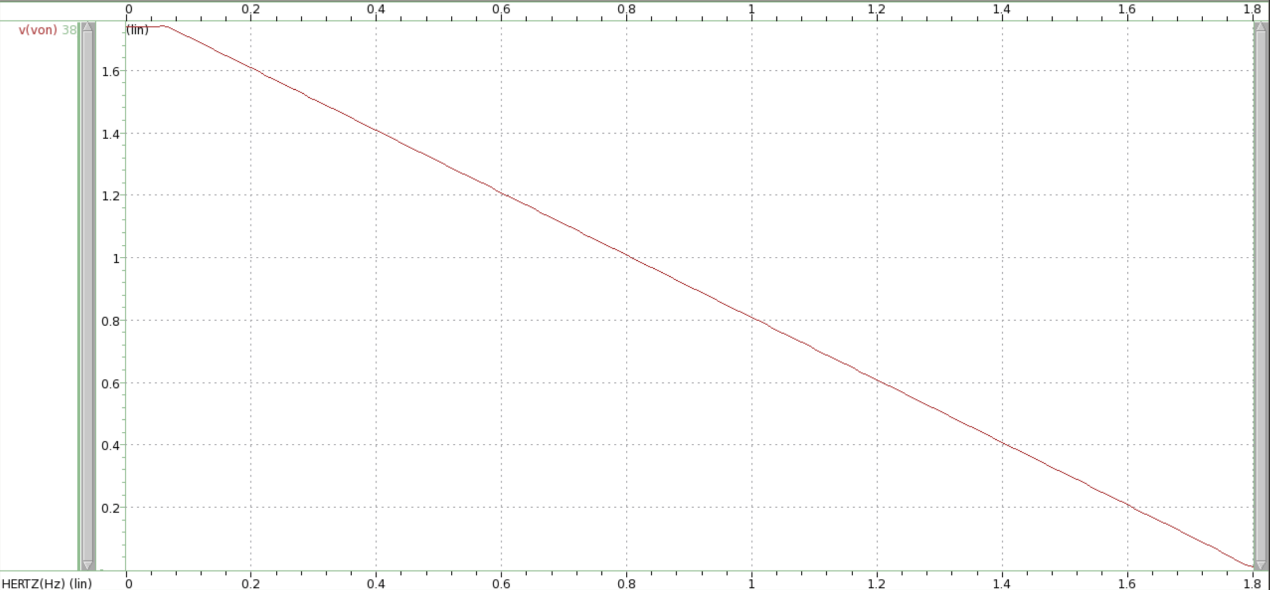
a.



b.

斜率和ac response比較，會發現ac seaponse的dc gain是1，而dc response的V(vop,von)斜率是2，乍看之下不同，但這其實是因為dc sweep時是兩端input一增一減，因此vout(vop,von)會受到兩倍的delta vin影響，但圖形的x座標是sweepv，也就是只有一個delta vin變化，所以才會導致measure出來的slope是2，但實際上和ac response時的dc gain還是一樣為1。

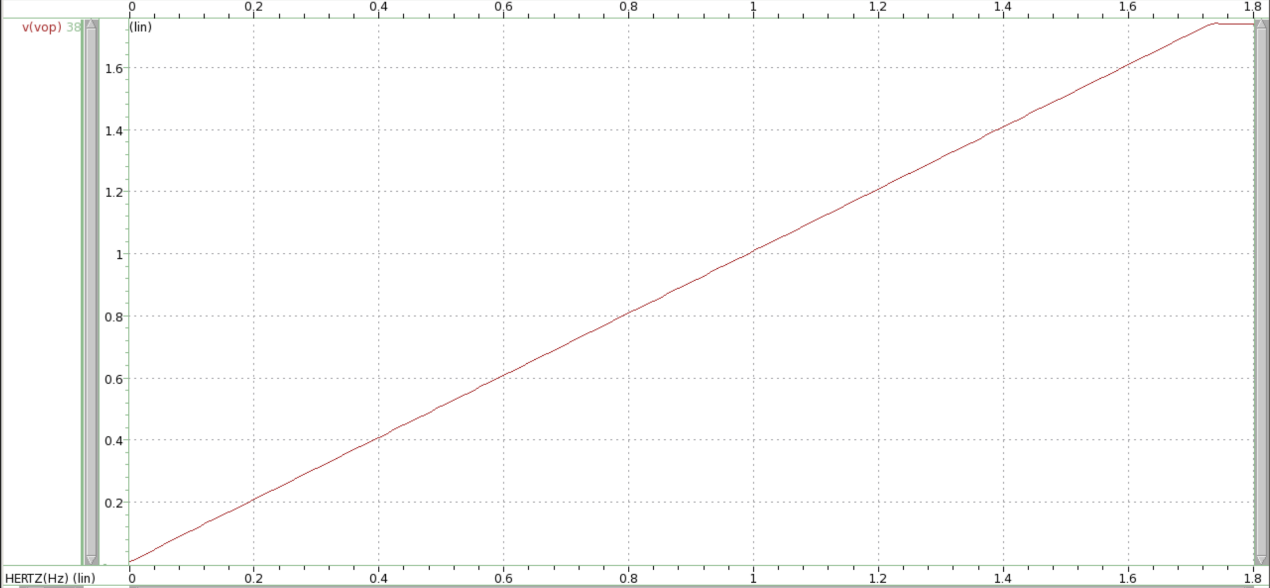
von



Slope =-1

橫軸是頻率(Hz)，縱軸是von (V)

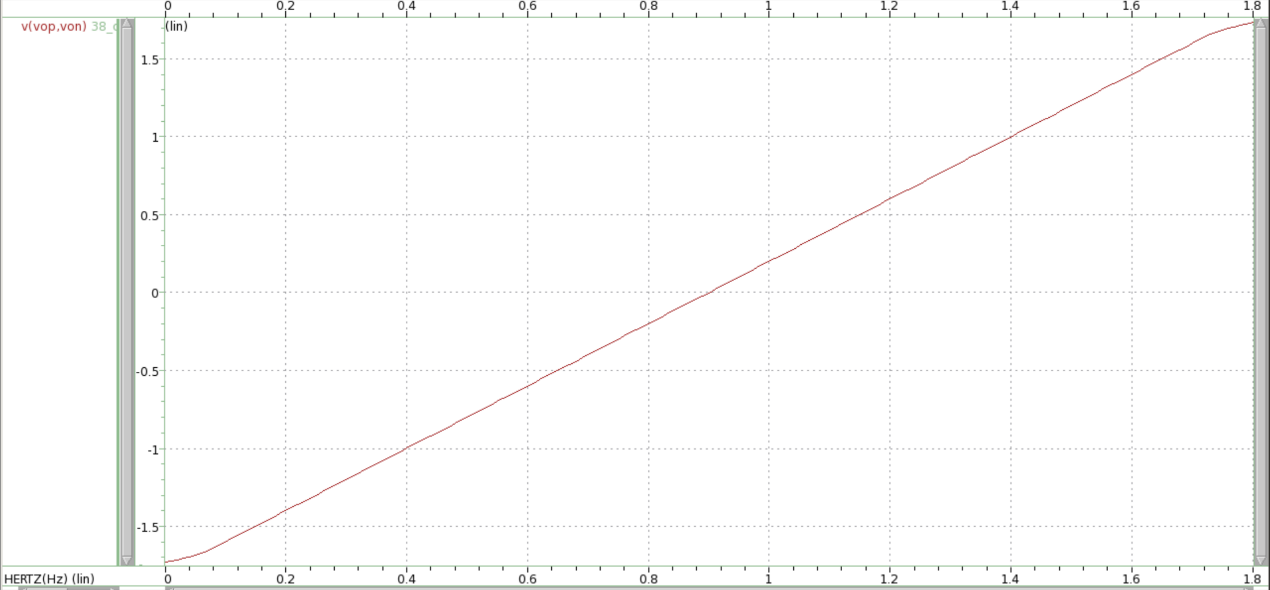
vop



Slope =1

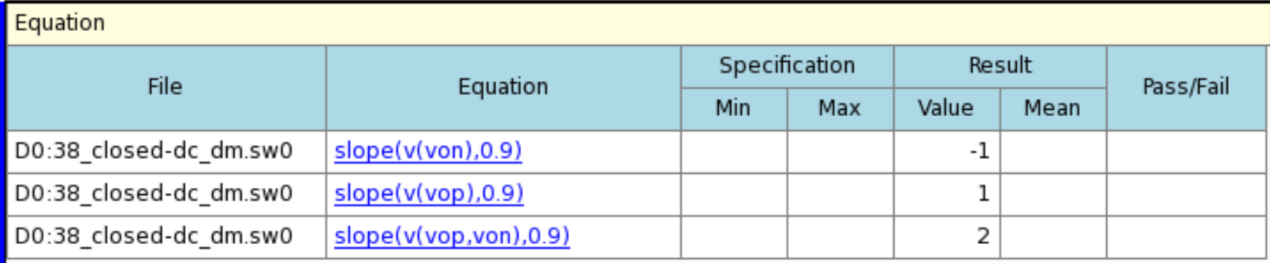
橫軸是頻率(Hz)，縱軸是vop(V)

(vop,von)



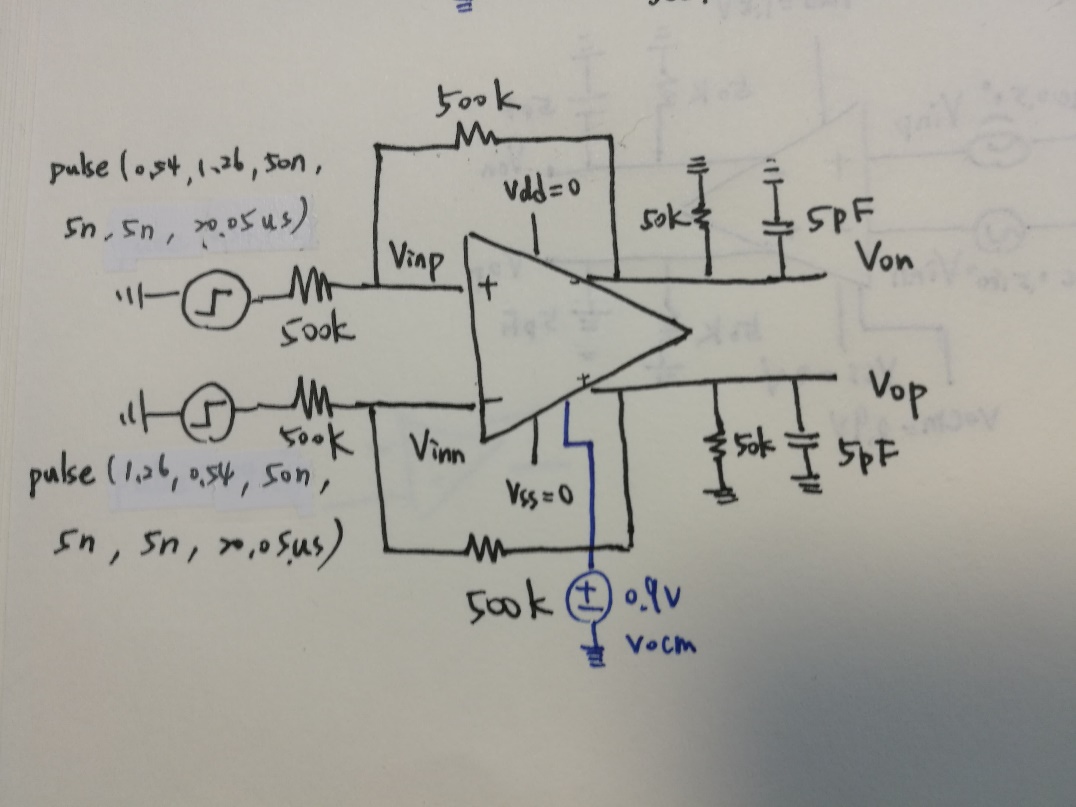
Slope =2

橫軸是頻率(Hz)，縱軸是(vop,von) (v)



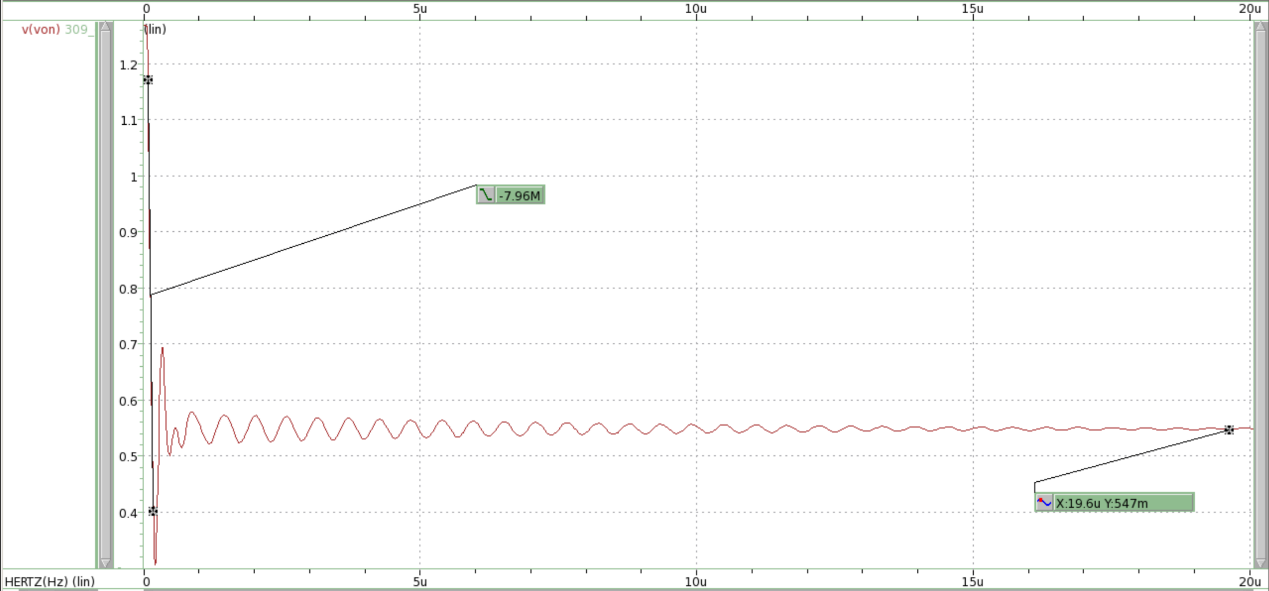
* 1. Closed-loop step+ response

a.



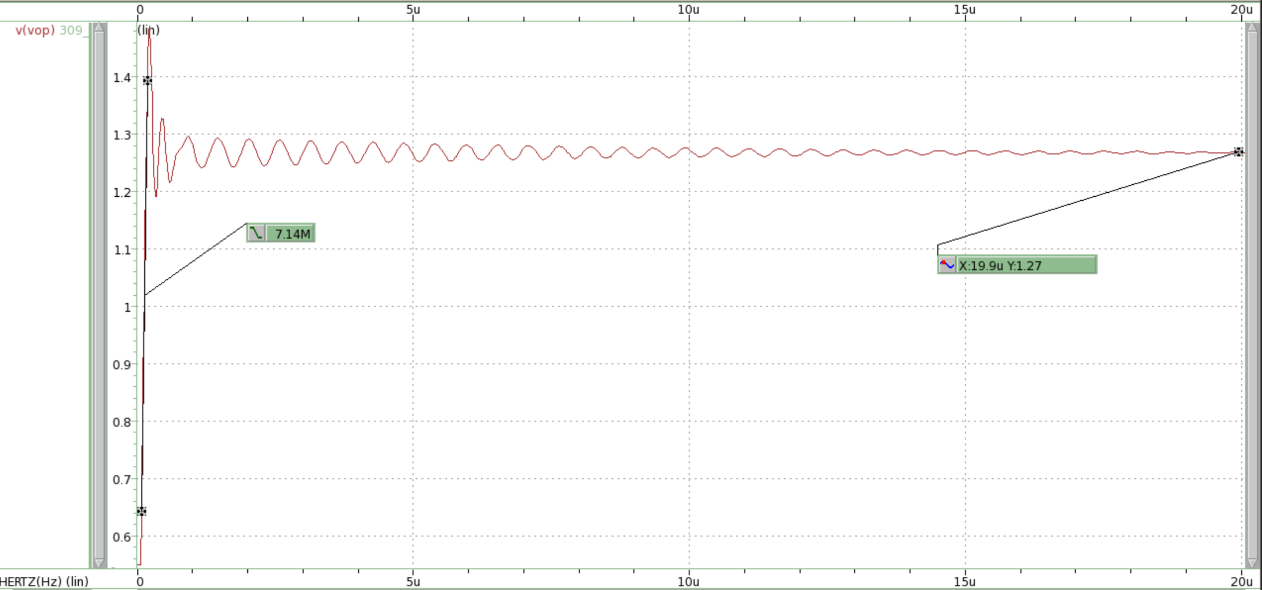
b.c.

von



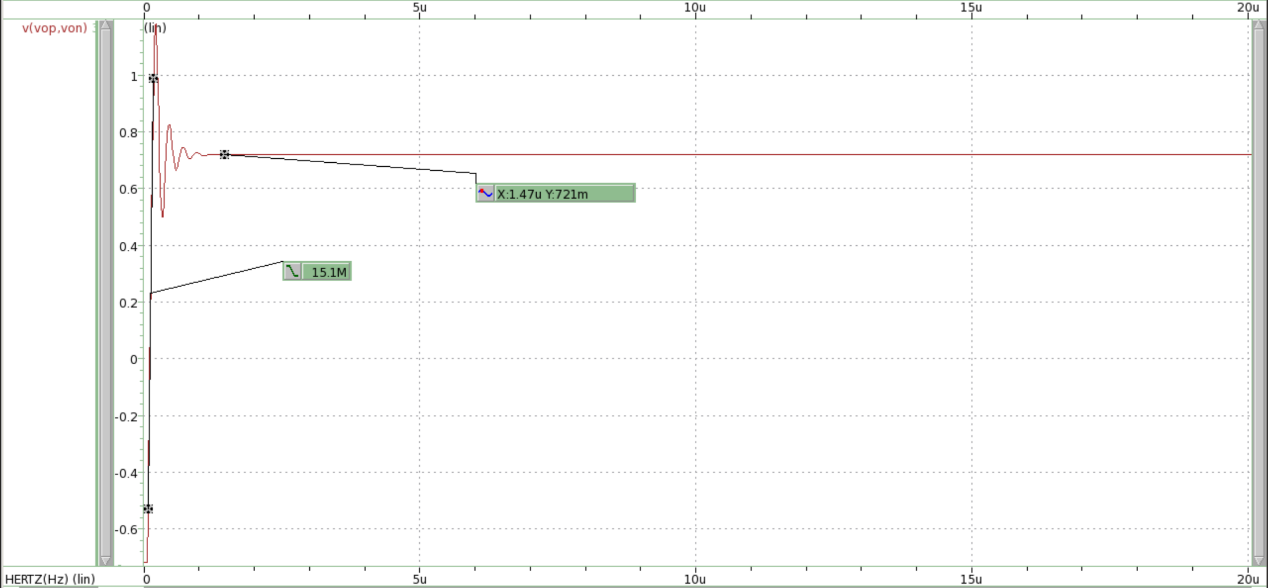
橫軸是頻率(Hz)，縱軸是von(V)

Vop



橫軸是頻率(Hz)，縱軸是vop(V)

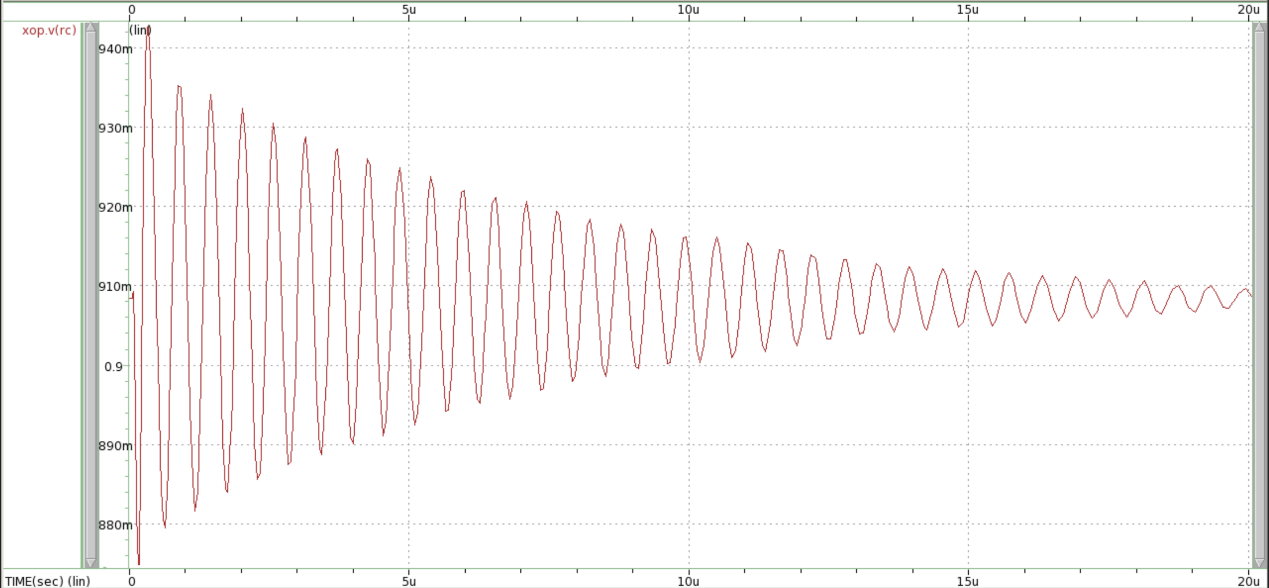
(vop,von)



橫軸是頻率(Hz)，縱軸是(vop,von)(V)

d.

sensing node



橫軸是頻率(Hz)，縱軸是V

e.

分析CMFB:

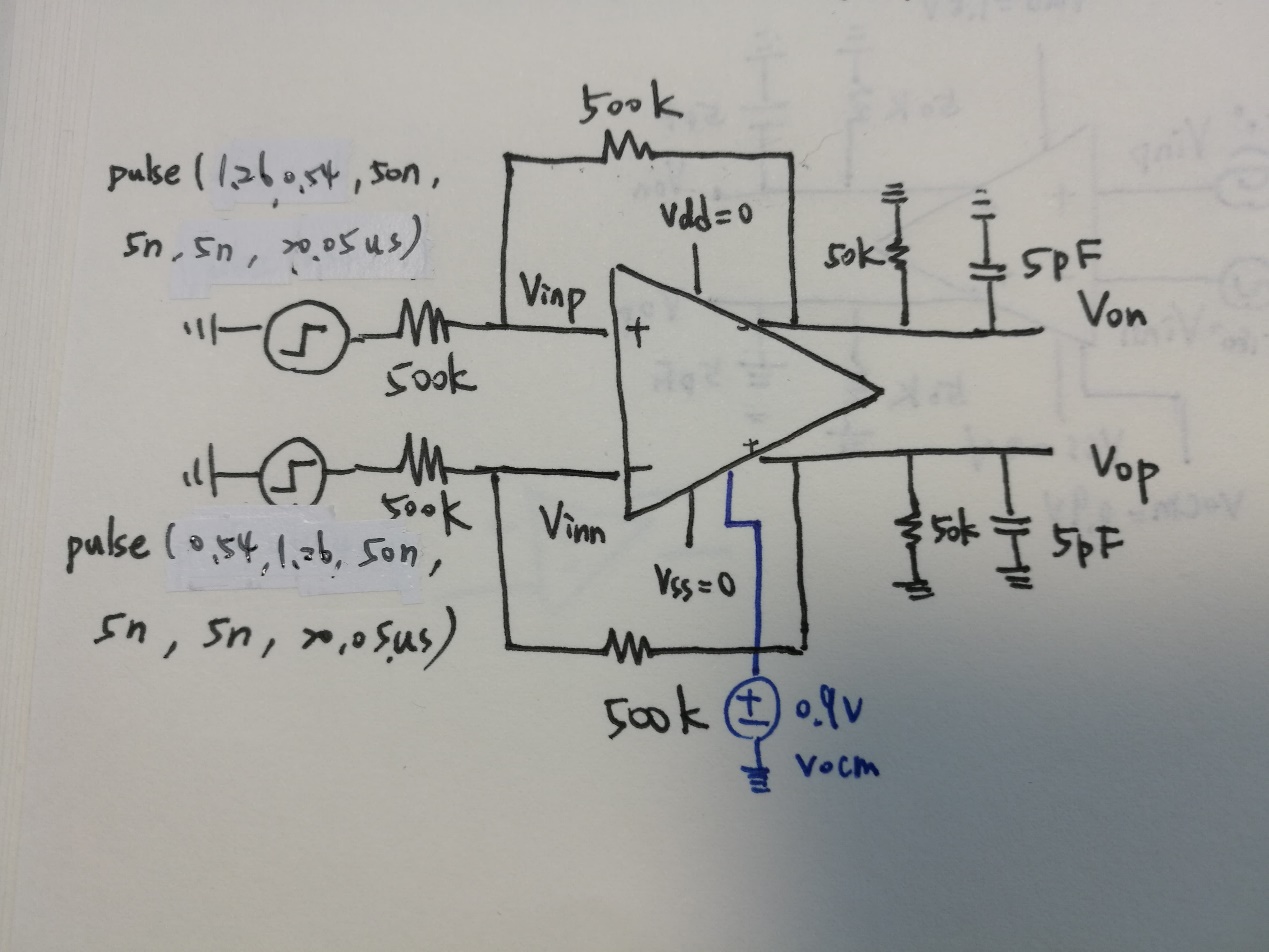
看d的圖common mode sensing node可以看出位於兩個RCM中的node(rc)不斷上下震盪。

我認為是因為rc是，MF2的gate voltage，因此，如果rc的電壓上升，由於MF2是pmos，因此Vsg下降，由電流公式可以得知，此時流過MF2的電流會下降，因為同樣的電流會往下流到MF4，因此MF4的VDS會下降，根據電路設計的緣故，MF4的drain同時是M3、M4的gate，因此流經M4的電流會下降，M4的drain voltage下降，而M4的drain同時是M6的gate voltage，因此流經M6的電流會下降，而M6的drain voltage也會下降，也就是von的電壓會下降。同樣的道理，vop也會下降，而rc這個夾在vop和von中間的點就會隨之下降，形成一個negative feedback。

所以才會產生像是上圖不斷上下震盪的圖形。

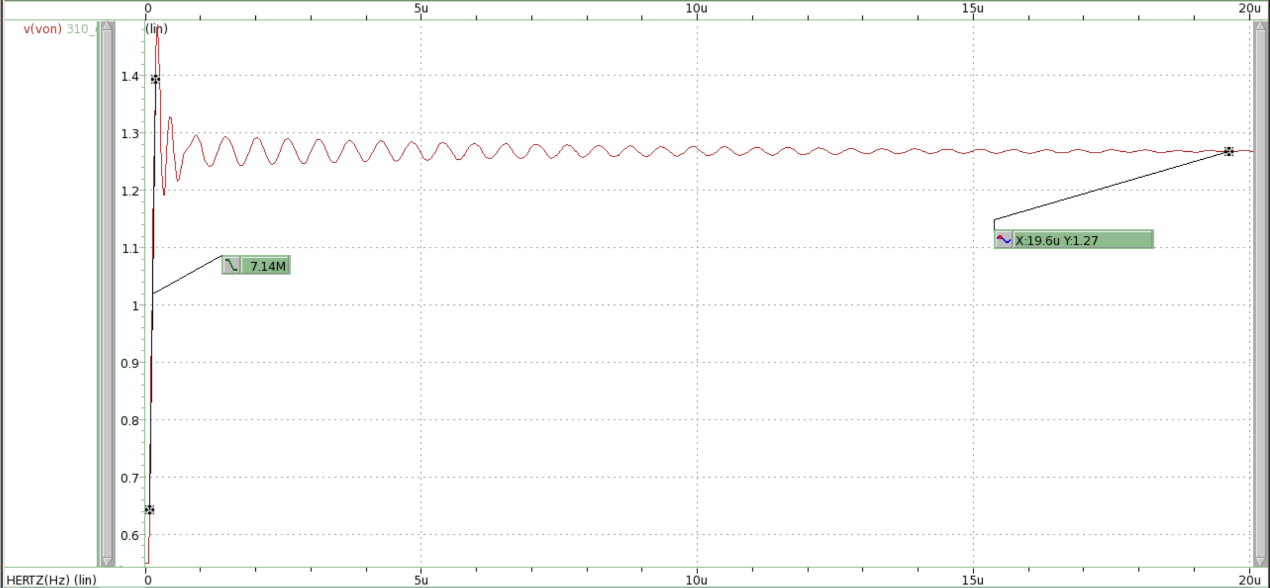
* 1. Closed-loop step- response

a.



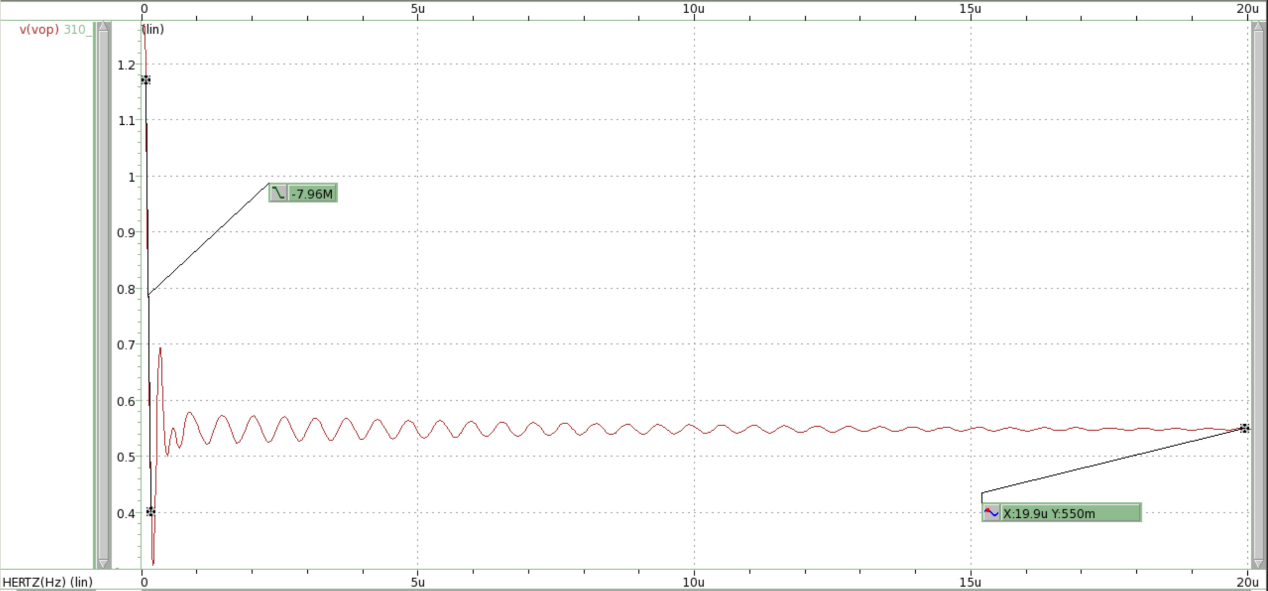
b.c.

von



橫軸是頻率(Hz)，縱軸是von(V)

vop



橫軸是頻率(Hz)，縱軸是vop(V)

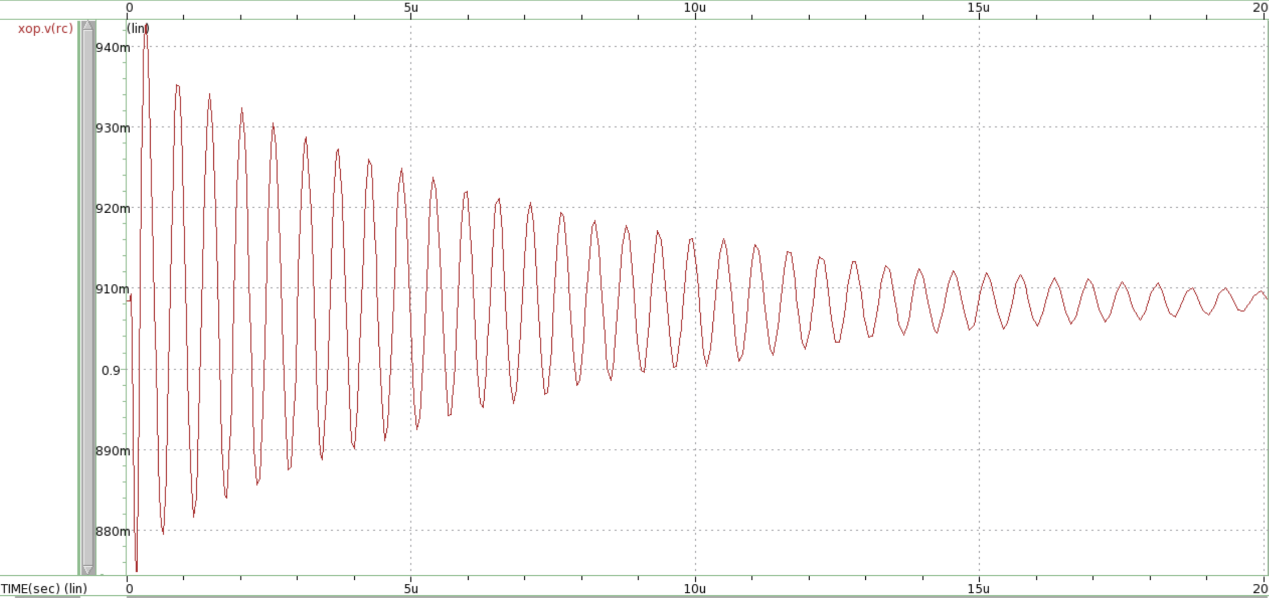
(vop,von)



橫軸是頻率(Hz)，縱軸是(vop,von)(V)

d.

sensing node



橫軸是頻率(Hz)，縱軸是V

1. Design Corcerns

**我的設計特色:**

因為supply current越小，整個op的耗能(Supply current\*VDD)越小，而我的Supply current只有0.785mA，因此我認為我的設計在節能的表現上相當不錯。

而三種不同FOM的表現上，都大約在55~65上下，並沒有哪種特別好哪個特別不好，我認為這表示我的設計是個均衡的設計。

**基本設計:**

在一開始設計尺寸時，由於這是一個二階的differential 放大器，所以我先設計中間的first stage。先讓M1~M5 這五個mos都在saturation，並且確定first stage 本身的gain 就有一定大小，。再來在接上M6~M9這四個mos，並且由於M5、M7、M9的gate voltage都來自bias circuit，所以我根據這三個Mos的gate的電壓去設計MB1~MB3，M1和M2是current mirror的關係，我選擇讓MB2的W是MB1的W兩倍，讓理論上流經MB2、MB3的電流是流經M1的兩倍。

調整Rb和MB3的尺寸讓這些mos都saturation後，再來就是決定下面的CMFB，在還沒連接上CMFB前，M3和M4的gate端我有先給其一個大約0.5V的電壓使其運作，因為一般來說vth不會大於0.5V，若沒有給電壓只是空接的話這兩個mos會cutoff。

這個0.5V電壓，調整尺寸讓CMFB的MF4的drain端電壓接近0.5V，設計上讓CMFB電路左右對稱，呈現一個穩定的tail current的功能。最難的反而是讓所有mos都在saturation，M5和MF5兩個mos都十分容易進入linear，因此這兩個mos的設計上我都讓他們的vth大一些，讓|Vds|更容易大於等於|Vgs|-|Vth|。

**進階設計:**

起初的gain大約只有40多dB，後來根據DC gain的公式，發現是我second stage 的gm8太小，於是讓M8的W/L變大許多，還有維持W\*m/L的比例，但是提高L讓ro1、ro3、ro8、ro9上升，讓gain大於72dB。但是我發現L並不能夠太高，因為M6~M9的L太大的話，會使得phase margin很差，並且再來是考慮bandwidth和Phase margin，這兩個會是負向的關係，最主要影響這兩者的就是Rz和Cc，調整Rz和Cc的值，讓pole的位置可以推得遠一些，這樣PM就會變好，雖然會犧牲一些bandwidth，並且調整RCM的電阻值。

而進行3.2 simulation時，我發現我的output最大值以及最小值一個上不去另一個下不去，也就是swing的範圍太小，於是我分析是因為mos的VTH太大，影響到swing range，於是調高每個mos的L讓vth下降，並且成功讓output 端的最小值更小。

1. Discussions

在這次的設計裡，我有嘗試過第二級M6~M9的設計上不要對稱，這樣子的話不僅gain能達標，還可以讓bandwidth變大個2~3倍，並且P.M.也能夠大於45。但是後來在3.3 common mode gain時，發現這樣子的設計會讓von 跟vop 兩個不一樣，因此如果不在意common mode時的操作情形，其不對稱的設計會更好。

我認為我在設計時運氣蠻好的，settling time如果單看vop 或者是von的話，都會超過10us，但是如果是兩者的差的settling line的話，就只有1.多us。所以我在調整RCM值上就沒有花太多時間。

關於整個學期修課下來的心得，我認為教授前面的複習十分地重要，因為已經快一年沒碰電子學了，很多放大器的分析方式都已經生疏，教授重頭開始複習讓我更加熟悉電子學。

但是作業方面，我覺得作業跟教授的教學進度並沒有合在一起，偶有發生教授還未教到那個部分但是作業就已經出到下個章節的情形，雖然這些東西大部分都已經學過了，但是還是希望作業能和教授的上課進度統一。

整個學期下來覺得比較可惜的點就是兩件事情:

一是資電館的教室無法錄影，電路分析其實有點門檻，如果在一個點卡住的話，就需要停下來想一想才能夠繼續分析下去，所以如果有錄影的話，課後就能針對不懂的地方再跟著教授的思路分析一次，更能培養出類比電路分析的直覺。

二是作業的批改速度，一直到了學期末了，才公布到hw2的分數，每次教完作業後沒辦法得到助教的回饋的話，就無法得知自己這樣子寫報告哪裡有缺失，下次能怎麼改進，私以為作業更重要的部分是檢討，可以公布一兩位優異同學的作業讓大家借鏡參考，讓大家了解甚麼樣的設計是比較好的，要不然很容易讓大家流於hspice monkey，實際上還是不懂類比電路分析。