



EE5250 CAD tool tutorial

報告人：林宜玄
2018年10月

Day 1 - 本日教學內容

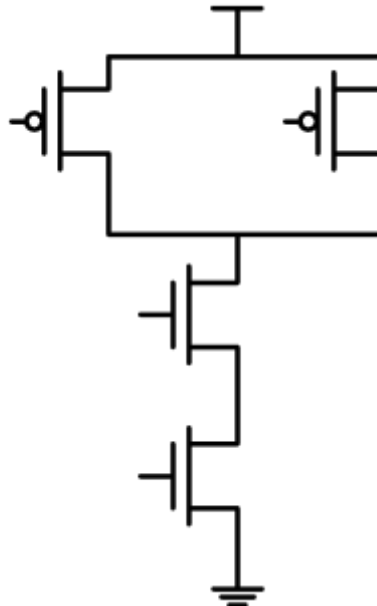
- 工作站環境操作
- Cadence IC 51 composer建立schematic
- Synopsys HSPICE 電路模擬

Lab 0

- 登入並變更個人帳號密碼
 - Windows (帳號wm*****, wu*****)
 - Linux (帳號m*****, u*****) : 指令yppasswd
- 登入Linux工作站
 - ws31~ws37, ws45~ws48
 - 連線跳板位址 : daisy.ee.nthu.edu.tw; bigbird.ee.nthu.edu.tw
 - 運算主機位址 : ws*.ee.nthu.edu.tw
- 將CIC018製程檔放入Linux作業環境

Lab 1

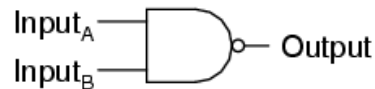
- 啟動IC51 (指令icfb &)
- 建立一個Library名稱為**Lab1**
- 建立一個Cellview名稱為**nand2**
 - 依照下圖建立電路並加上Pin name



Lab 2

- Export nand2 電路為CDL netlist
 - 輸出檔名為：nand2.spi
- 使用HSPICE模擬nand2驗證電路特性
 - 可用助教提供的test_nand2.sp並修改套入自己電路的netlist

2-input NAND gate



A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

Equivalent gate circuit



Lab 3

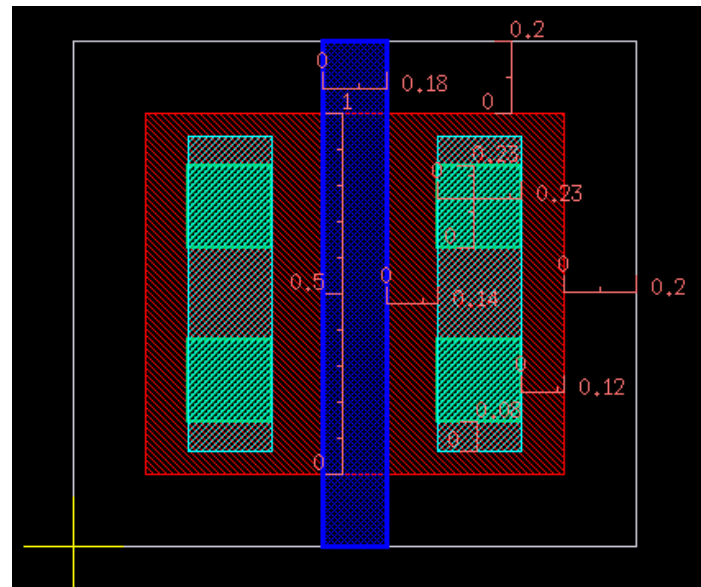
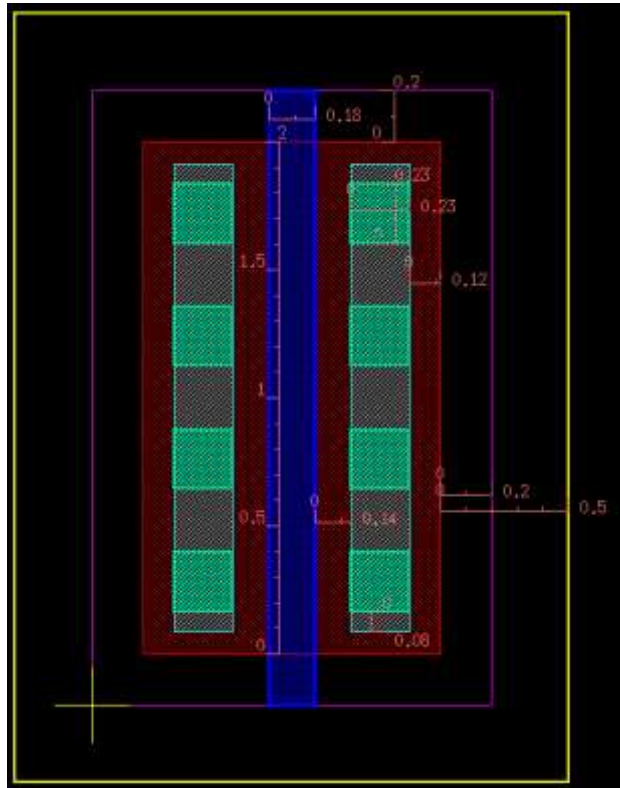
- 設計一個and2
 - 多做一個Lab1 inv，並建立symbol
 - 建立Lab1 nand2的symbol
 - 由nand2與inv串接形成and2
 - 使用HSPICE驗證電路特性

Day 2 - 本日教學內容

- Laker 電路布局(layout)
- Calibre DRC 布局規則驗證
- Calibre LVS 電路布局驗證
- Calibre PEX 寄生參數萃取
- HSPICE 布局後模擬(post-sim)

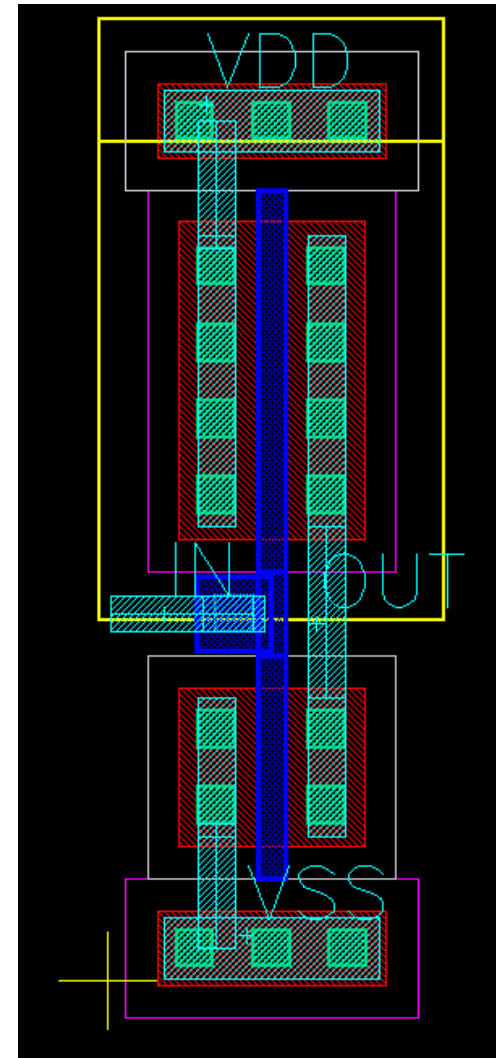
Lab 4

- Laker & Calibre DRC操作
 - 依照schematic中的尺寸畫inv所需要的PMOS和NMOS共2個cell
 - 適時跑DRC測試規則容許的size/spacing/overlap/extension
 - 有些DRC violation不必馬上解掉



Lab 5

- Laker & Calibre DRC/LVS操作
 - New cell: inv
 - 呼叫所需PMOS/NMOS並且依照schematic接線，補上body
 - 適時跑DRC測試規則容許的size/spacing/overlap/extension
 - 解完所有DRC/LVS issue



- Calibre PEX操作
 - 抽取INV的寄生參數，輸出inv.pex.spi以及其附屬檔案
 - C+CC (不含metal wire電阻)
 - R+C+CC (包含metal wire電阻)
- HSPICE操作
 - 修改presim用到的.sp檔：include PEX轉出inv.pex.spi
 - 將.sp檔中理想subckt換成PEX抽出來的subckt
 - 使用Custom Explorer (wv&)對比pre-sim與post-sim波型

Laboratory for
Reliable **C**omputing



Signal **S**ensing and
Application **L**aboratory



Thank you !!

