

10920EECS101001 Logic Design
期末考

評分標準

1.

Price 2.5%

Speed 2.5%

速度方面若無特別標明(快 -> 慢)，只使用>符號表示，則默認以傳輸速率來看，也就是越大越快。

2.

(4.5%) Why DRAM need refresh cycle?

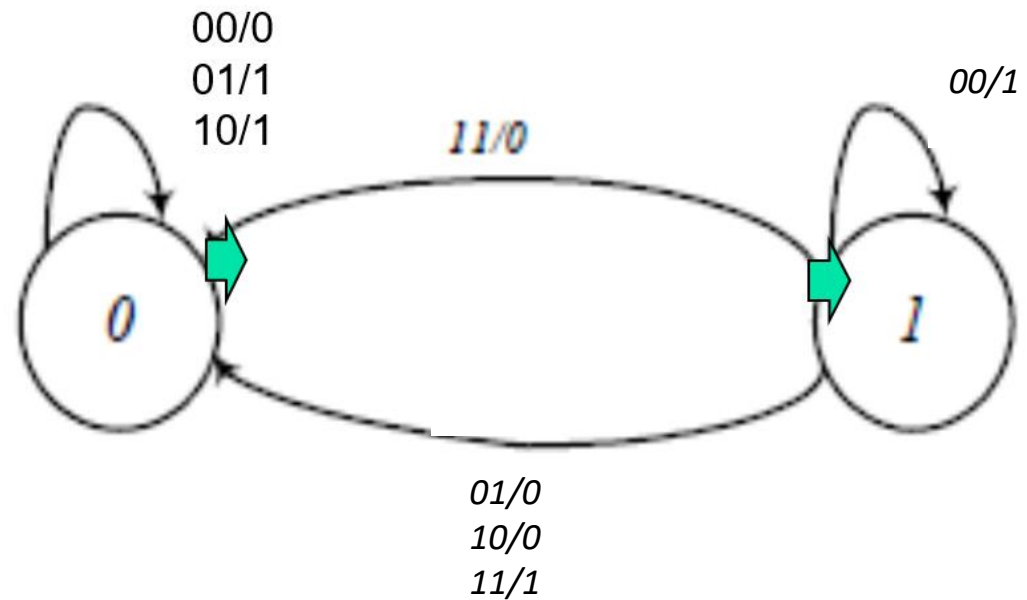
(4.5%) What dose nonvolatile memory mean?

3.

此題因大家解法都不同，不同的state數、edge數，很難判定兩個不同畫法錯的地方哪個嚴重要酌扣多少，故只要有case錯誤就會算答錯，不部份給分，答錯者都會在評語附上錯誤的case。

4.

Present state	Inputs		Next state	Output
Q	x	y	Q	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	0
1	1	1	0	1



給分標準：

1. Table :5分, state diagram:4分
2. Table錯一列扣1分扣到歸0
3. state diagram錯一個edge扣1分扣到歸0

5.

給分標準：

1. 老師上課只有提到state之input,output皆相同的化簡方法，但是這題按照這個方法是無法化簡的。因此若直接寫出和題目一樣的state table以及其對應的state diagram的一樣會給予滿分9分。
2. 有化簡成正確答案(4個state)的給予bonus 1分。
3. Table :5分, state diagram:4分
4. Table錯一列扣1分扣到歸0
5. state diagram沒寫output扣2分,此外錯一個edge扣1分

6.

給分標準：

1. 題目中每個statement, i.e. $E \leq A \mid Q$; $Q \leq E \ \& \ C$; $A \leq E \ \& \ Q$; 各佔3分
2. 應該要使用三個DFF, 少一個扣三分
3. 除了C這個訊號之外所有and gate, or gate之input都應該由DFF的output接上去, 直接拉額外訊號的就算錯

7.

給分標準：

1.state tranfer:+4分

2.output:+4分

3.synchronous reset:+1分 (以上三項意思有到就給分)

4.零星的錯誤：每多一個少加1分

8.

給分標準：

- 1.墨水分數：+3分
- 2.「畫成ripple counter」和「JK接收正確input」:+2分
- 3.positive-edge clk:+2分 (第二個jk的clk接第一個jk的Q + not gate不扣分)
- 4.count up:+2分 (以上兩項必須要先達成「畫成ripple counter」和「JK接收正確input」才給分)
- 5.零星的錯誤：每多一個少加1分

9.

給分標準：

- 1.墨水分數：+1分
- 2.一份code的rst訊號:+2分 (兩份code都對 = $2*2 = 4$)
- 3.一份code的其餘訊號:+2分 (兩份code都對 = $2*2 = 4$) (以上兩項意思有到就給分)
- 4.零星的錯誤：每多一個少加1分

10.

- 只寫出第6次shift後結果，得4分
- 本題答案應有六項，錯一項-3分
- NA=No answer, WA=Wrong answer

六次shift後分別為：

1011

0101

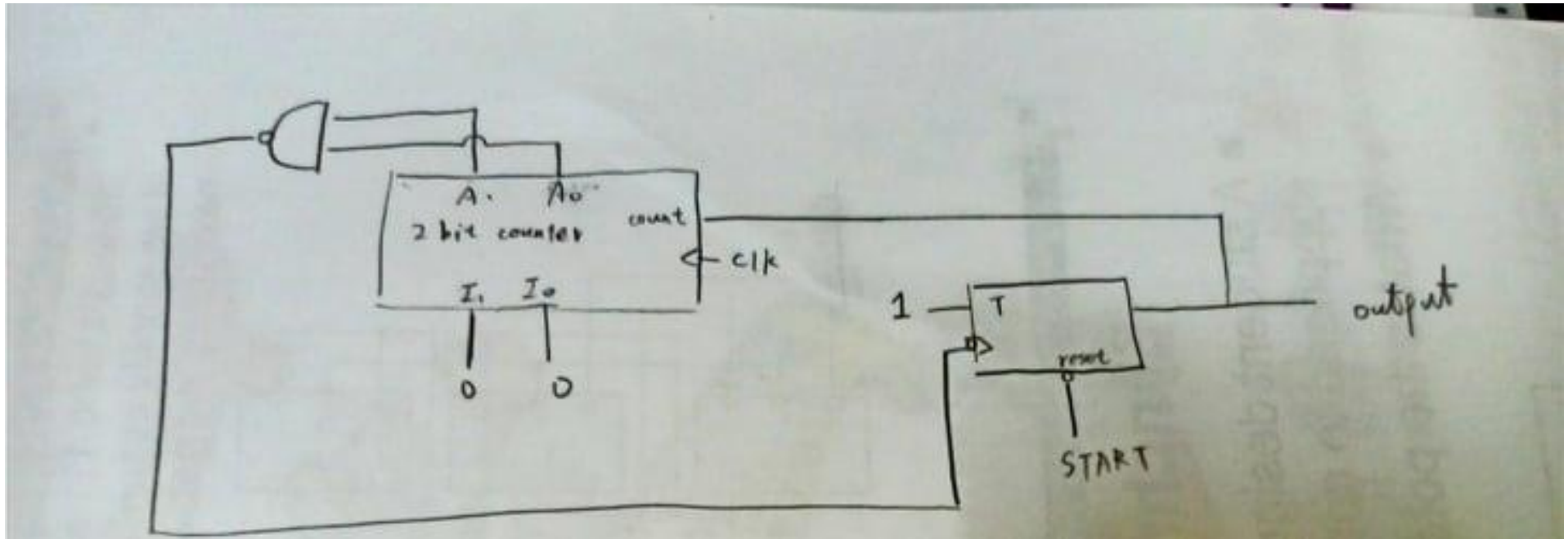
1010

1101

1110

0111

11.



11.

- Counter 無法得知何時開始計數 -5分
- Start未reset flip flop導致某些case會有小錯誤 -2分
- Can't find your output -9分
- missing too much detail for counter
 - 勉強看懂-5分
 - 看不懂 -9分
- Wrong behavior -9分
- 如果覺得你的答案也可以但被改錯，[請來信](mailto:wxejmm5408@gmail.com)
wxejmm5408@gmail.com，解釋你的想法並附上波形圖(須包含START, counter I/O, Output, FF input,以及其他對解釋有幫助的Signal)

12.

Latch & DFF:

對一個4分，全對得9分。