

Homework 1 Report

114062584 王子銓

September 25, 2025

1. Introduction

本次作業的目標是使用 Cadence Innovus 完成標準電路的 Place and Route (P&R) 流程，並透過調整 Clock Period 與 Core Utilization 參數，觀察並分析對 Slack、DRC Violations、Chip Area 與 Wire Length 的影響。最後從多組實驗結果中，挑選出最佳配置，確保 Slack ≥ 0 且無 DRC 違規。

2. Experimental Results and Analysis

2.1 測試配置數據

在第一次用 GUI 拿到.tcl 檔後，分別在 Core Utilization 從 0.5 到 0.73 以及 Clock Period 在 1810 到 1870 嘗試了 1556 筆，最終僅有 124 筆是合法的，因為數量太多的原因便不放在這邊了，詳細參數檔案會在後方連結，分別有[全部的參數](#)以及[合法的參數](#)。

執行結果：

```
1 [tswang24@ic21 ~/HW1]$ python to_csv.py
2 完成寫入！總共有 1556 筆，合法共有 124 筆 -> ./results_compliance_summary.csv
```

下表列出幾個有代表性的不同配置 (Clock Period 與 Core Utilization 的搭配)，並記錄對應的結果：

Table 1: 固定 Clock Period 操作 Core Utilization

Core Utilization	Clock Period	DRC Violations	Slack (ns)	Chip Area (μm^2)	Wire Length (μm)
0.50	1850	0	0.50	41107.357	208818.26
0.53	1850	0	0.40	38918.382	209240.00
0.57	1850	0	0.00	36348.96	207449.20
0.64	1850	0	0.30	32633.44	205565.97
0.66	1850	1	0.00	31729.56	200559.21

可以看到，當 Clock Period 固定在 1850 時，隨著 Core Utilization 從 0.50 提高到 0.66，晶片面積與繞線長度都有明顯下降，顯示資源利用率提升能有效壓縮設計成本。然而，過高的 Core Utilization (如 0.66) 會使設計過於緊密，導致 DRC 違規或 Slack 無法維持正值，顯示設計的可行性受到限制。

Table 2: 固定 Core Utilization 操作 Clock Period

Core Utilization	Clock Period	DRC Violations	Slack (ns)	Chip Area (μm^2)	Wire Length (μm)
0.50	1830	2	-0.40	41107.35	211932.82
0.50	1835	0	0.10	36348.96	209485.07
0.50	1840	0	0.00	32633.44	209355.36
0.50	1845	0	0.00	31729.56	208051.35
0.50	1850	0	0.50	41107.357	208818.26

當 **Core Utilization** 固定在 **0.50** 時，**Chip Area** 維持不變，調整 **Clock Period** 會直接影響 Slack 與 DRC。當 Clock Period 偏短（如 1830），Slack 變為負值且伴隨 DRC 違規，而當 Clock Period 放寬至 1850 時，Slack 能達到正值且 DRC=0，顯示 timing constraint 在此時較容易滿足。這說明 Clock Period 在影響 timing feasibility 上扮演了關鍵角色。

Table 3: 調整 Placement 參數

Setting	Core Utilization	Clock Period	DRC Violations	Slack (ns)	Chip Area (μm^2)	Wire Length (μm)
default	0.72	1847	3	0.10	29265.11	190669.36
tuned	0.72	1847	0	0.00	29265.11	198837.20
default	0.71	1848	2	-5.40	29635.89	197075.15
tuned	0.71	1848	0	0.10	29635.89	196161.21

在相同 Core Utilization 與 Clock Period 下，若使用 **default** 設定，設計容易出現 DRC 違規甚至 timing violation，導致無法順利收斂。當額外加入以下參數：

```

1 setPlaceMode -place_global_cong_effort high
2 setPlaceMode -place_global_max_density 0.85
3 setPlaceMode -place_max_pin_density 0.35

```

結果顯示在 **tuned** 模式下能成功消除 DRC，並將 Slack 修正至非負值，雖然 Wire Length 略有增加，但確保了設計能完成繞線。這說明適度調整 placement 模式能有效改善擁擠度，讓原本「繞不出來」的設計成功完成。

2.2 分析

- **Clock Period (CP):** 縮短 CP (例如從 1850 \rightarrow 1800) 會加嚴 timing 要求，容易造成 **Slack** < 0 ，導致 timing violation。拉長 CP (例如 1900) 可以放鬆 timing constraint，Slack 變得更正，DRC 通常也較穩定，但可能會增加 timing。
- **Core Utilization (CU):** 提高 CU (0.70) 能有效降低晶片面積，但在同樣的 Clock Period 下較容易產生 DRC。降低 CU (0.5) 雖然面積較大，但能降低 routing 擁擠度，DRC 較容易控制，在同等的 Clock Period 下更容易有合法的電路。

3. Purpose of Well Tap Cell

在先進製程中，**Well Tap Cell** 用於將 P-well 接 VSS、N-well 接 VDD，以固定井電位、避免 latch-up 並降低雜訊，提升電路可靠性。

4. Best Result

在多組實驗結果中，最佳配置如下表所示：

Table 4: 最佳配置數據

Parameter	Value
Core Utilization	0.72
Clock Period	1847
Slack	0.00 (≥ 0)
DRC Violations	0
Chip Area	29265.111 μm^2
Wire Length	198837.196 μm

此外，在最佳化過程中，爲了降低佈局擁擠並提升可布線性，額外調整了 **placement** 策略參數如下：

- `setPlaceMode -place_global_cong_effort high`：提高 global placement 的擁擠度考慮，使工具在初期就優化佈局分布。
- `setPlaceMode -place_global_max_density 0.85`：將最大全域密度限制爲 85%，避免過度壓縮造成 DRC 問題。
- `setPlaceMode -place_max_pin_density 0.35`：將 pin density 上限設爲 0.35，以減少 I/O 區域過度集中，提升 routability。

需要特別注意的是，上述 `setPlaceMode` 指令必須在 `place_opt_design` 之前設定，因爲這些參數會影響 placement 演算法的初始配置與最佳化策略。若在 `place_opt_design` 之後才下指令，工具不會重新執行 placement，因此設定將不會生效。

這些額外的設定，使得在滿足 **timing constraint** 與 **DRC=0** 的前提下，能進一步優化設計之晶片面積與繞線長度，最終獲得如圖所示的結果。

```
--- Summary of the Current Result ---
Slack Time:                0.000
DRC Violations:            0
Clock Period:              1847.000
Total area of chip: 29265.111
Total wire length: 198837.1960
-----
```

Figure 1: 執行 `$ innovus -init eval.tcl` 之後的結果

5. Final Chip Layout

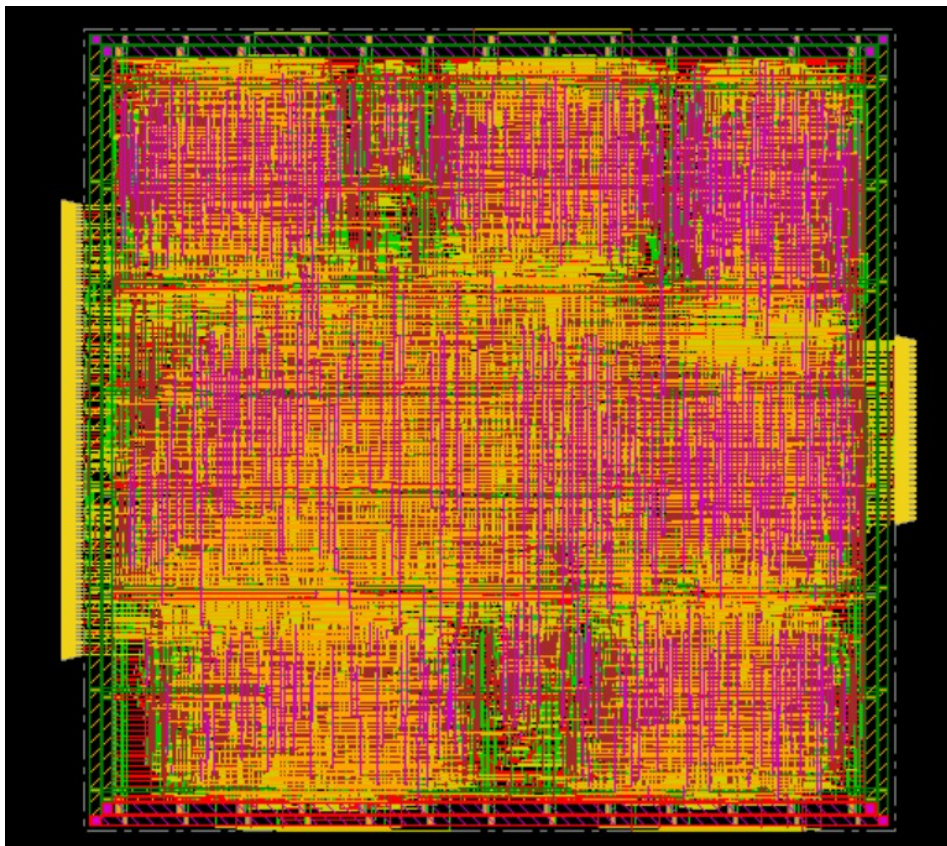


Figure 2: 上圖為 Innovus 生成的最終晶片 Layout

6. Conclusion

本次作業透過實驗不同的 Clock Period 與 Core Utilization，觀察對 Slack、DRC、Chip Area 與 Wire Length 的影響。最終選擇在 $CU=0.72$ 、 $CP=1847$ 時取得最佳結果，達成 $Slack \geq 0$ 與 $DRC=0$ 的要求，並在面積與線長之間達到平衡。

此外，在設計流程中也適度調整了部分 placement 策略參數（如 congestion effort 與 density 限制），進一步提升了 routability 與設計品質，確保結果更趨近最佳化。

7. Project Repository

專案相關的 script、配置檔與完整實驗結果已整理於 GitHub：[Project Repository](#)