



LAN8720A/LAN8720AI

Bộ thu phát Ethernet RMII 10/100 có dấu chân nhỏ với hỗ trợ HP Auto-MDIX

Điểm nổi bật

- Bộ thu phát lớp vật lý Ethernet một chip (PHY)
- flexPWR toàn diện® Công nghệ
 - Kiến trúc quản lý nguồn linh hoạt
 - Dải điện áp I/O có thể thay đổi LVCMOS: +1.6V đến +3.6V
 - Tích hợp bộ điều chỉnh 1.2V
- Hỗ trợ HP Auto-MDIX
- Các gói tuân thủ RoHS không chì QFN/SQFN cỡ nhỏ 24 chân (4 x 4mm).

Ứng dụng mục tiêu

- Hộp set-top
- Máy in và Máy chủ được nối mạng
- Thiết bị kiểm tra
- Mạng LAN trên bo mạch chủ
- Ứng dụng viễn thông nhúng
- Hệ thống Ghi/Phát lại Video
- Modem/Bộ định tuyến cáp
- Modem/Bộ định tuyến DSL
- Đầu ghi hình kỹ thuật số
- Điện thoại IP và Video
- Điểm truy cập không dây
- Tivi kỹ thuật số
- Bộ điều hợp phương tiện kỹ thuật số/Máy chủ
- Máy chơi game
- Ứng dụng POE (Tham khảo Lưu ý ứng dụng 17.18)

Lợi ích chính

- Bộ thu phát Ethernet 10/100 hiệu suất cao
 - Tương thích với IEEE802.3/802.3u (Ethernet nhanh)
 - Tương thích với ISO 802-3/IEEE 802.3 (10BASE-T)
 - Chế độ lặp lại
 - Tự động đàm phán
 - Tự động phát hiện và hiệu chỉnh phân cực
 - Phát hiện đánh thức thay đổi trạng thái liên kết
 - Chức năng đăng ký cụ thể của nhà cung cấp
 - Hỗ trợ giao diện RMII giảm số lượng pin
- Nguồn và I/O
 - Các chế độ năng lượng thấp khác nhau
 - Tích hợp mạch khởi động lại nguồn
 - Hai đầu ra LED trạng thái
 - Hiệu suất Latch-Up Vượt quá 150mA mỗi EIA/JESD 78, Loại II
 - Có thể được sử dụng với một nguồn cung cấp 3,3V
- Tính năng bổ sung
 - Khả năng sử dụng tinh thể 25Mhz chi phí thấp để giảm BOM
- Bao bì
 - Gói tuân thủ RoHS không chì 24 chân QFN/SQFN (4x4 mm) với RMII
- Thuộc về môi trường
 - Dải nhiệt độ thương mại mở rộng - (0°C đến +85°C)
 - Có sẵn phiên bản dải nhiệt độ công nghiệp (-40°C đến +85°C)

GỬI QUÝ KHÁCH HÀNG

Mục đích của chúng tôi là cung cấp cho các khách hàng quan trọng của mình tài liệu tốt nhất có thể để đảm bảo việc sử dụng thành công các sản phẩm Microchip của bạn. Để đạt được điều này, chúng tôi sẽ tiếp tục cải thiện các ấn phẩm của mình để phù hợp hơn với nhu cầu của bạn. Các ấn phẩm của chúng tôi sẽ được tinh chỉnh và nâng cao khi các tập và bản cập nhật mới được giới thiệu.

Nếu bạn có bất kỳ câu hỏi hoặc nhận xét nào về ấn phẩm này, vui lòng liên hệ với Phòng Truyền thông Tiếp thị qua E-mail tại docerrors@microchip.com. Chúng tôi hoan nghênh phản hồi của bạn.

Bảng dữ liệu mới nhất

Để có phiên bản cập nhật nhất của bảng dữ liệu này, vui lòng đăng ký tại trang web Toàn cầu của chúng tôi tại:

<http://www.microchip.com>

Bạn có thể xác định phiên bản của bảng dữ liệu bằng cách kiểm tra số tài liệu của nó được tìm thấy ở góc dưới cùng bên ngoài của bất kỳ trang nào. Ký tự cuối cùng của số tài liệu là số phiên bản, (ví dụ: DS30000000A là phiên bản A của tài liệu DS30000000).

sai sót

Một bảng lỗi, mô tả những khác biệt nhỏ về hoạt động so với bảng dữ liệu và các giải pháp thay thế được đề xuất, có thể tồn tại cho các thiết bị hiện tại. Khi các vấn đề về thiết bị/tài liệu được chúng tôi biết đến, chúng tôi sẽ xuất bản một trang tính có lỗi. Lỗi in sẽ chỉ định việc sửa đổi silicon và sửa đổi tài liệu mà nó áp dụng.

Để xác định xem có tồn tại trang tính lỗi cho một thiết bị cụ thể hay không, vui lòng kiểm tra bảng một trong các cách sau:

- Trang web toàn cầu của Microchip;<http://www.microchip.com>

• Văn phòng bán hàng Microchip tại địa phương của bạn (xem trang cuối)

Khi liên hệ với văn phòng bán hàng, vui lòng chỉ định thiết bị bị lỗi, bản sửa đổi silicon và bảng dữ liệu (bao gồm số văn bản) bạn đang sử dụng.

Hệ thống thông báo khách hàng

Đăng ký trên trang web của chúng tôi tại www.microchip.com để nhận thông tin mới nhất về tất cả các sản phẩm của chúng tôi.

LAN8720A/LAN8720AI

Mục lục

1.0 Giới thiệu	4
2.0 Mô tả và cấu hình chân cắm	6
3.0 Mô tả chức năng	14
4.0 Mô tả thanh ghi	41
5.0 Đặc điểm hoạt động	52
6.0 Thông tin gói hàng	66
7.0 Ghi chú Ứng dụng	71
Phụ lục A: Lịch sử sửa đổi bảng dữ liệu	73
Trang web Microchip	74
Dịch vụ thông báo thay đổi khách hàng	74
Hỗ trợ khách hàng	74
Hệ thống nhận dạng sản phẩm	75

LAN8720A/LAN8720AI

1.0 GIỚI THIỆU

1.1 Điều khoản và Quy ước chung

Sau đây là danh sách các thuật ngữ chung được sử dụng xuyên suốt tài liệu này:

BYTE	8 bit
FIFO	bộ đệm First In First Out; thường được sử dụng cho đệm đàm hối
MAC	Bộ điều khiển truy cập phương tiện
RMII™	Giảm giao diện truyền thông độc lập™
<small>không áp dụng</small>	Không áp dụng
X	Cho biết trạng thái logic là "không quan tâm" hoặc không xác định.
KÍN ĐÁO	Đề cập đến một trường bit hoặc địa chỉ dành riêng. Trừ khi có ghi chú khác, các bit dành riêng phải luôn bằng 0 cho các thao tác ghi. Trừ khi có ghi chú khác, các giá trị không được đảm bảo khi đọc các bit dành riêng. Trừ khi có ghi chú khác, không đọc hoặc ghi vào các địa chỉ dành riêng.
SMI	Giao diện quản lý nối tiếp

1.2 Mô tả chung

LAN8720A/LAN8720Ai là bộ thu phát lớp vật lý (PHY) 10BASE-T/100BASE-TX công suất thấp với điện áp I/O thay đổi tuân theo các tiêu chuẩn IEEE 802.3-2005.

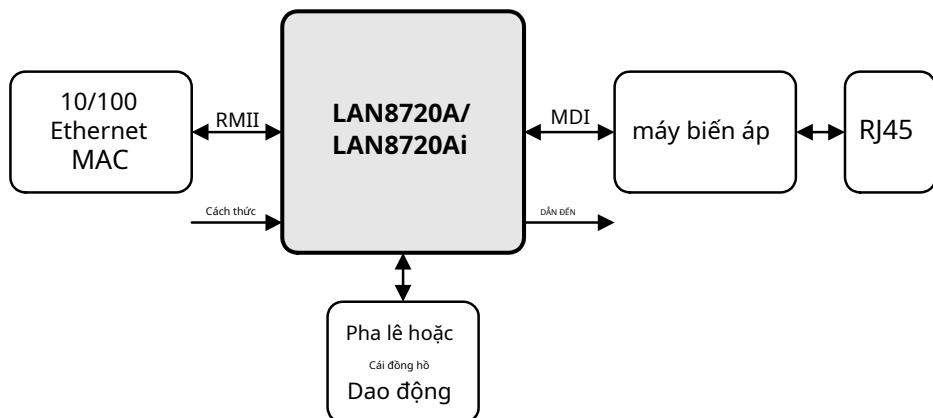
LAN8720A/LAN8720Ai hỗ trợ giao tiếp với Ethernet MAC thông qua giao diện RMII tiêu chuẩn. Nó chứa bộ thu phát song công 10-BASE-T/100BASE-TX và hỗ trợ hoạt động 10Mbps (10BASE-T) và 100Mbps (100BASE-TX). LAN8720A/LAN8720Ai thực hiện tự động đàm phán để tự động xác định tốc độ tốt nhất có thể và chế độ hoạt động song công. Hỗ trợ HP Auto-MDIX cho phép sử dụng cáp LAN kết nối trực tiếp hoặc chéo.

LAN8720A/LAN8720Ai hỗ trợ cả chức năng đăng ký theo nhà cung cấp và tuân thủ theo chuẩn IEEE 802.3-2005. Tuy nhiên, không cần truy cập đăng ký để hoạt động. Cấu hình ban đầu có thể được chọn thông qua các chân cấu hình như được mô tả trong [Mục 3.7, "Đây đeo Cấu hình," trên trang 29](#). Các tùy chọn cấu hình có thể đăng ký có thể được sử dụng để xác định thêm chức năng của bộ thu phát.

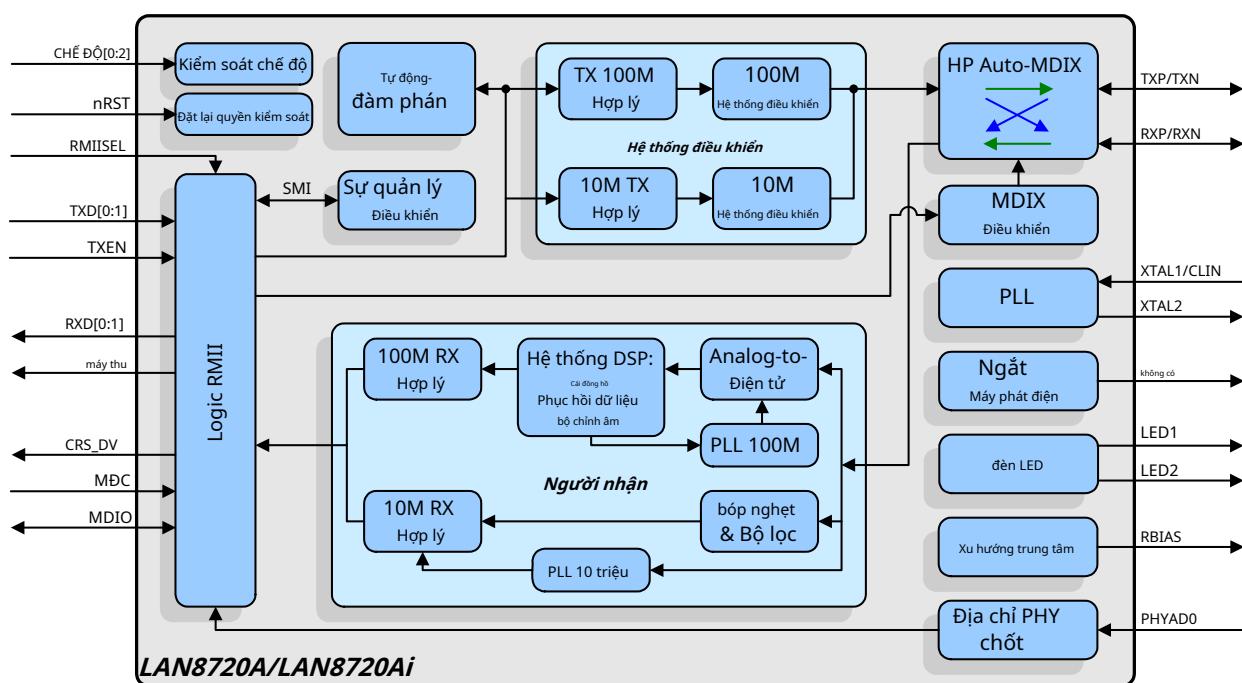
Theo tiêu chuẩn IEEE 802.3-2005, tất cả các chân giao diện kỹ thuật số đều chịu được điện áp 3,6V. Thiết bị có thể được cấu hình để hoạt động trên một nguồn cung cấp 3,3V duy nhất bằng cách sử dụng bộ điều chỉnh tuyến tính 3,3V đến 1,2V tích hợp. Bộ điều chỉnh tuyến tính có thể bị vô hiệu hóa tùy chọn, cho phép sử dụng bộ điều chỉnh bên ngoài hiệu quả cao để tiêu hao năng lượng hệ thống thấp hơn.

LAN8720A/LAN8720Ai có sẵn ở cả hai phiên bản phạm vi nhiệt độ thương mại và công nghiệp mở rộng. Một ứng dụng hệ thống điển hình được hiển thị trong [Hình 1-1](#).

HÌNH 1-1: SƠ ĐỒ KHỐI HỆ THỐNG



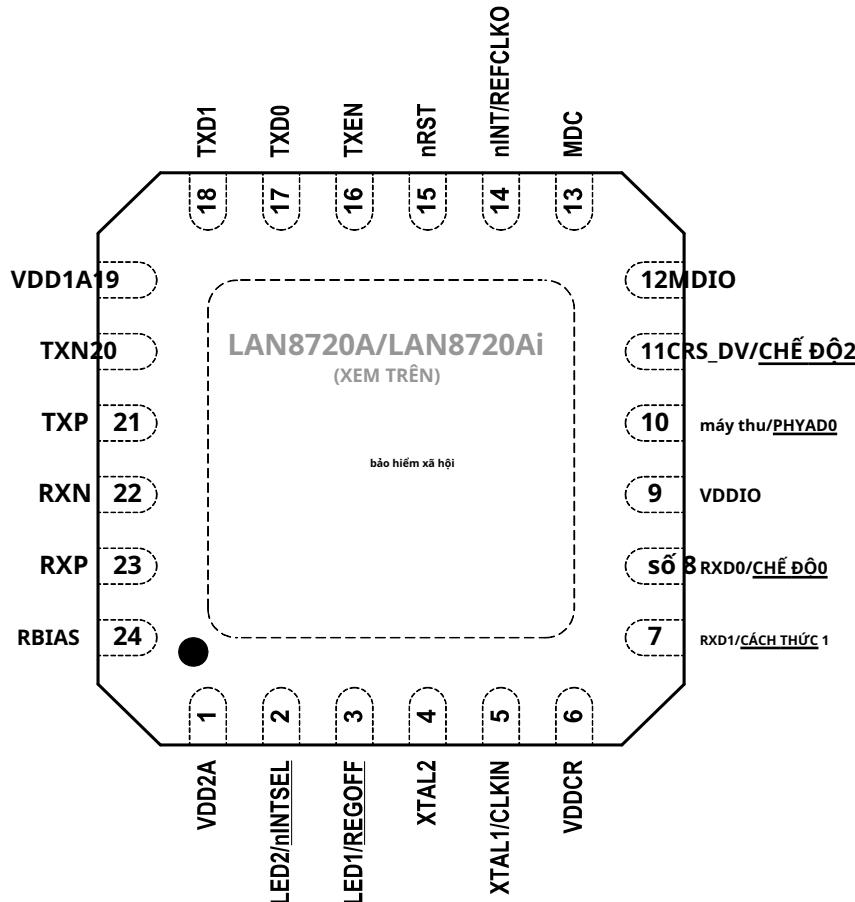
HÌNH 1-2: TỔNG QUAN KIẾN TRÚC



LAN8720A/LAN8720Ai

2.0 MÔ TẢ VÀ CẤU HÌNH PIN

HÌNH 2-1: CHỈ ĐỊNH PIN 24-QFN/SQFN (XEM TRÊN)



GHI CHÚ:Tấm tiếp xúc (VSS) ở dưới cùng của gói phải được kết nối với mặt đất

- Lưu ý 2-1** Khi chữ thường "n" được sử dụng ở đầu tên tín hiệu, nó cho biết tín hiệu đang hoạt động ở mức thấp. Ví dụ: nRST chỉ ra rằng tín hiệu đặt lại đang hoạt động ở mức thấp.
- Lưu ý 2-2** Loại đếm cho mỗi tín hiệu được chỉ định trong cột LOẠI ĐỆM. Một mô tả về các loại bộ đếm được cung cấp trong [Mục 2.2](#).

LAN8720A/LAN8720AI

BẢNG 2-1: TÍN HIỆU RMII

Số chân	Tên	Biểu tượng	Đệm Kiểu	Sự miêu tả
1	Chuyển giao Dữ liệu 0	TXD0	VIS	MAC truyền dữ liệu đến bộ thu phát bằng tín hiệu này.
1	Chuyển giao Dữ liệu 1	TXD1	VIS	MAC truyền dữ liệu đến bộ thu phát bằng tín hiệu này.
1	Chuyển giao Cho phép	TXEN	VIS (PD)	Cho biết rằng dữ liệu truyền hợp lệ có trên TXD[1:0].
1	Nhận được Dữ liệu 0	RXD0	VO8	Bit 0 trong số 2 bit dữ liệu được gửi bởi bộ thu phát trên đường nhận.
	Điều hành PHY- vào Chế độ 0 Cấu hình Dây đeo	CHẾ ĐỘ0	VIS (PU)	Kết hợp với MODE1 và MODE2, dây đeo cấu hình này đặt chế độ PHY mặc định. Nhìn thấy Lưu ý 2-3 để biết thêm thông tin về dây đeo cấu hình. Ghi chú: tham khảo Mục 3.7.2, "MODE[2:0]: Cấu hình chế độ," trên trang 30 để biết thêm chi tiết.
1	Nhận được Dữ liệu 1	RXD1	VO8	Bit 1 trong số 2 bit dữ liệu được gửi bởi bộ thu phát trên đường nhận.
	Điều hành PHY- vào Chế độ 1 Cấu hình Dây đeo	CHẾ ĐỘ1	VIS (PU)	Kết hợp với MODE0 và MODE2, dây đeo cấu hình này đặt chế độ PHY mặc định. Nhìn thấy Lưu ý 2-3 để biết thêm thông tin về dây đeo cấu hình. Ghi chú: tham khảo Mục 3.7.2, "MODE[2:0]: Cấu hình chế độ," trên trang 30 để biết thêm chi tiết.
1	Nhận lỗi	máy thu	VO8	Tín hiệu này được xác nhận để chỉ ra rằng một lỗi đã được phát hiện ở đâu đó trong khung hiện đang được truyền từ bộ thu phát.
	Địa chỉ PHY 0 Cấu hình Dây đeo	PHYAD0	VIS (PD)	Dây đeo cấu hình này đặt địa chỉ SMI của bộ thu phát. Nhìn thấy Lưu ý 2-3 để biết thêm thông tin về dây đeo cấu hình. Ghi chú: tham khảo Mục 3.7.1, "PHYAD[0]: Cấu hình địa chỉ PHY," trên trang 26 Để biết thêm thông tin chi tiết.

LAN8720A/LAN8720AI

BẢNG 2-1: TÍN HIỆU RMII (TIẾP THEO)

Số chân	Tên	Biểu tượng	Đệm Kiểu	Sự miêu tả
1	Người vận chuyển / Nhận được Dữ liệu hợp lệ	CRS_DV	VO8	<p>Tín hiệu này được xác nhận để cho biết phương tiện nhận không ở chế độ chờ. Khi nhận được gói 10BASE-T, CRS_DV được xác nhận, nhưng RXD[1:0] được giữ ở mức thấp cho đến khi nhận được byte SFD (10101011).</p> <p>Ghi chú: Theo tiêu chuẩn RMII, dữ liệu được truyền không bị lặp lại trên các chân dữ liệu nhận ở chế độ bán song công 10BASE-T.</p>
	Điều hành PHY- vào Chế độ 2 Cấu hình Dây đeo	CHẾ ĐỘ2	VIS (PU)	<p>Kết hợp với MODE0 và MODE1, dây đeo cấu hình này đặt chế độ PHY mặc định.</p> <p>Nhìn thấy Lưu ý 2-3 để biết thêm thông tin về dây đeo cấu hình.</p> <p>Ghi chú: tham khảo Mục 3.7.2, "MODE[2:0]: Cấu hình chế độ," trên trang 27 để biết thêm chi tiết.</p>

Lưu ý 2-3 Các giá trị dây đeo cấu hình được chốt khi đặt lại nguồn và đặt lại hệ thống. Dây đai cấu hình được xác định bằng tên biểu tượng được gạch chân. Các tín hiệu có chức năng như dây đai cấu hình phải được tăng cường bằng một điện trở bên ngoài khi kết nối với tải. tham khảo [Mục 3.7, "Dây đeo Cấu hình,"](#) trên trang 29 Để biết thêm thông tin chi tiết.

BẢNG 2-2: PIN LED

NUM PIN	TÊN	BIỂU TƯỢNG	ĐÈM KIỂU	SỰ MIÊU TẢ
1	đèn LED 1 Tắt bộ điều chỉnh Cấu hình Dây đeo	LED1 <u>ĐĂNG KÝ</u>	O12 LÀ (PD)	<p>Chỉ báo đèn LED hoạt động liên kết. Chân này được điều khiển hoạt động khi phát hiện một liên kết hợp lệ và nhấp nháy khi phát hiện hoạt động.</p> <p>Ghi chú: tham khảo Mục 3.8.1, "Đèn LED," trên trang 32 để biết thêm thông tin về đèn LED.</p> <p>Dây đeo cấu hình này được sử dụng để tắt bộ điều chỉnh 1,2V bên trong. Khi bộ điều chỉnh bị tắt, 1,2V bên ngoài phải được cung cấp cho VDDCR.</p> <ul style="list-style-type: none"> Khi REGOFF <u>được kéo</u> cao đến VDD2A bằng một điện trở bên ngoài, bộ điều chỉnh bên trong sẽ bị vô hiệu hóa. Khi <u>ĐĂNG KÝ</u> nổi hoặc kéo xuống thấp, bộ điều chỉnh bên trong được bật (mặc định). <p>Nhìn thấy Lưu ý 2-4 để biết thêm thông tin về dây đeo cấu hình.</p> <p>Ghi chú: tham khảo Mục 3.7.4, "REGOFF: Cấu hình bộ điều chỉnh +1.2V bên trong," trên trang 32 để biết thêm chi tiết.</p>

LAN8720A/LAN8720AI

BẢNG 2-2: CHÂN LED (TIẾP THEO)

NUM PIN	TÊN	BIỂU TƯỢNG	ĐỆM KIỂU	SỰ MIÊU TẢ
	đèn LED 2	LED2	O12	<p>Chỉ báo đèn LED tốc độ liên kết. Chân này được điều khiển hoạt động khi tốc độ hoạt động là 100Mbps. Nó không hoạt động khi tốc độ hoạt động là 10Mbps hoặc trong khi cách ly đường truyền.</p> <p>Ghi chú: tham khảo Mục 3.8.1, "Đèn LED," trên trang 32 để biết thêm thông tin về đèn LED.</p>
1	nINT/ GIỚI THIỆU Chức năng Lựa chọn Cấu hình Dây đeo	<u>INTSEL</u>	LÀ (PU)	<p>Dây đeo cấu hình này chọn chế độ của chân nINT/REFCLKO.</p> <ul style="list-style-type: none"> Khi <u>INTSEL</u> được thả nổi hoặc kéo đến VDD2A, nINT được chọn để hoạt động trên chân nINT/REFCLKO (mặc định). Khi <u>INTSEL</u> được kéo xuống thấp đến VSS, REFCLKO được chọn để hoạt động trên chân nINT/REFCLKO. <p>Nhìn thấy Lưu ý 2-4 để biết thêm thông tin về dây đeo cấu hình.</p> <p>Ghi chú: Tham khảo Xem Mục 3.8.1.2, "Lựa chọn phân cực nINTSEL và LED2," trên trang 33 Để biết thêm thông tin chi tiết.</p>

Lưu ý 2-4

Các giá trị dây đeo cấu hình được chốt khi đặt lại bật nguồn và đặt lại hệ thống. Dây đai cấu hình được xác định bằng tên biểu tượng được gạch chân. Các tín hiệu có chức năng như dây đai cấu hình phải được tăng cường bằng một điện trở bên ngoài khi kết nối với tải. tham khảo [Mục 3.7, "Dây đeo Cấu hình,"](#) trên trang 29 Để biết thêm thông tin chi tiết.

BẢNG 2-3: PIN GIAO DIỆN QUẢN LÝ NỐI TIẾP (SMI)

Số mã PIN	TÊN	BIỂU TƯỢNG	ĐỆM KIỂU	SỰ MIÊU TẢ
1	Dữ liệu SMI Đầu ra đầu vào	MDIO	VIS/ VOD8	Nhập/xuất dữ liệu giao diện quản lý nối tiếp
1	Đồng hồ SMI	MDC	VIS	Đồng hồ giao diện quản lý nối tiếp

BẢNG 2-4: MÃ PIN ETHERNET

Số mã PIN	TÊN	BIỂU TƯỢNG	ĐỆM KIỂU	SỰ MIÊU TẢ
1	Ethernet TX/ RX tích cực kênh 1	TXP	AIO	Truyền/Nhận Tích Cực Kênh 1
1	Ethernet TX/ RX âm tính kênh 1	TXN	AIO	Truyền/Nhận Âm Kênh 1

LAN8720A/LAN8720AI

BẢNG 2-4: MÃ PIN ETHERNET (TIẾP THEO)

SỐ MÃ PIN	TÊN	BIỂU TƯỢNG	ĐỆM KIỂU	SỰ MIÊU TẢ
1	Ethernet TX/ RX tích cực Kênh 2	RXP	AIO	Truyền/Nhận Tích Cực Kênh 2
1	Ethernet TX/ RX âm tính Kênh 2	RXN	AIO	Truyền/Nhận Âm Kênh 2

BẢNG 2-5: CÁC MÃ PIN KHÁC

SỐ MÃ PIN	TÊN	BIỂU TƯỢNG	ĐỆM KIỂU	SỰ MIÊU TẢ
1	Bên ngoài Pha lê Đầu vào	XTAL1	ICLK	đầu vào tinh thể bên ngoài
	Bên ngoài Đầu vào đồng hồ	CLKIN	ICLK	Đầu vào dao động đồng hồ một đầu. Ghi chú: Khi sử dụng một bộ tạo dao động đồng hồ kết thúc đơn, không nên kết nối XTAL2.
1	Bên ngoài Crystal Out- đặt	XTAL2	OCLK	đầu ra tinh thể bên ngoài
1	Bên ngoài Cài lại	nRST	VIS (PU)	Thiết lập lại hệ thống. Tín hiệu này đang hoạt động ở mức thấp.
1	Ngắt ngoài- đặt	không có	VOD8 (PU)	Đầu ra ngắt hoạt động ở mức thấp. Đặt một điện trở bên ngoài kéo lên VDDIO. Ghi chú: tham khảo Mục 3.6, "Quản lý ngắt," trên trang 24 để biết thêm chi tiết về ngắt thiết bị. Ghi chú: tham khảo Mục 3.8.1.2, "Lựa chọn phân cực nINTSEL và LED2," trên trang 32 để biết chi tiết về cách <u>nINTSEL</u> dây đeo cấu hình được sử dụng để xác định chức năng của chân này.
	Thảm quyền giải quyết Đầu ra đồng hồ	GIỚI THIỆU	VO8	Đầu ra xung nhịp 50 MHz tùy chọn này được lấy từ bộ tạo dao động tinh thể 25 MHz. REFCLK0 có thể lựa chọn thông qua <u>nINTSEL</u> dây đeo cấu hình. Ghi chú: Tham khảo Mục 3.7.4.2, "Chế độ đầu ra REF_CLK," trên trang 29 để biết thêm chi tiết. Ghi chú: tham khảo Mục 3.8.1.2, "Lựa chọn phân cực nINTSEL và LED2," trên trang 32 để biết chi tiết về cách <u>nINTSEL</u> dây đeo cấu hình được sử dụng để xác định chức năng của chân này.

BẢNG 2-6: PIN THAM KHẢO ANALOG

SỐ MÃ PIN	TÊN	BIỂU TƯƠNG	ĐỆM KIỀU	SỰ MIÊU TẢ
1	Bên ngoài 1% Điện trở phân cực Đầu vào	RBIAS	trí tuệ nhân tạo	<p>Chân này yêu cầu kết nối điện trở 12,1k ohm (1%) với đất.</p> <p>Tham khảo sơ đồ tham chiếu LAN8720A/LAN8720Ai để biết thông tin kết nối.</p> <p>Ghi chú: Điện áp danh định là 1,2V và điện trở sê tiêu hao khoảng 1mW điện năng.</p>

BẢNG 2-7: PIN ĐIỆN

SỐ MÃ PIN	TÊN	BIỂU TƯƠNG	ĐỆM KIỀU	SỰ MIÊU TẢ
1	+ 1.6V đến + Biến thế 3.6V- có thể I/O Quyền lực	VDDIO	P	<p>+ Nguồn I/O biến thiên 1.6V đến +3.6V</p> <p>Tham khảo sơ đồ tham chiếu LAN8720A/LAN8720Ai để biết thông tin kết nối.</p>
1	+ Kỹ thuật số 1.2V Sức mạnh cốt lõi Cung cấp	VDDCR	P	<p>Được cung cấp bởi bộ điều chỉnh trên chip trừ khi được cấu hình cho chế độ tắt bộ điều chỉnh thông qua <u>ĐĂNG KÝ</u> dây đeo cấu hình.</p> <p>Tham khảo sơ đồ tham chiếu LAN8720A/LAN8720Ai để biết thông tin kết nối.</p> <p>Ghi chú: Nên sử dụng các tụ tách rời 1 uF và 470 pF song song với mặt đất trên chân này.</p>
1	+ Chân 3.3V-nel 1 Analog Cảng điện	VDD1A	P	<p>+ Cấp nguồn cổng Analog 3.3V cho kênh 1</p> <p>Tham khảo sơ đồ tham chiếu LAN8720A/LAN8720Ai để biết thông tin kết nối.</p>
1	+ Chân 3.3V-không dây 2 Tương tự Cảng điện	VDD2A	P	<p>+ Cấp nguồn cổng Analog 3.3V cho Kênh 2 và bộ điều chỉnh bên trong.</p> <p>Tham khảo sơ đồ tham chiếu LAN8720A/LAN8720Ai để biết thông tin kết nối.</p>
1	Đất	bảo hiểm xã hội	P	Mặt băng chung. Tấm đệm tiếp xúc này phải được kết nối với mặt đất bằng một mảng thông qua.

2.1 Gán chốt

LAN8720A/LAN8720AI

BẢNG 2-8: CHỈ ĐỊNH PIN GÓI 24-QFN

Ghim NUM	Tên ghim	Ghim NUM	Tên ghim
1	VDD2A	13	MDC
2	LED2/ <u>INTSEL</u>	14	nINT/REFCLKO
3	LED1/ <u>ĐĂNG KÝ</u>	15	nRST
4	XTAL2	16	TXEN
5	XTAL1/CLIN	17	TXD0
6	VDDCR	18	TXD1
7	RXD1/ <u>CHẾ ĐÔI</u>	19	VDD1A
số 8	RXD0/ <u>CHẾ ĐÔÔ</u>	20	TXN
9	VDDIO	21	TXP
10	máy thu/ <u>PHYAD0</u>	22	RXN
11	CRS_DV/ <u>CHẾ ĐÔ2</u>	23	RXP
12	MDIO	24	RBIAS

2.2 Các loại đệm

BẢNG 2-9: CÁC LOẠI ĐỆM

LOẠI ĐỆM	SỰ MIÊU TẢ
LÀ	đầu vào kích hoạt Schmitt
O12	Đầu ra với nguồn 12mA và nguồn 12mA
VIS	Đầu vào kích hoạt Schmitt điện áp thay đổi
VO8	Đầu ra điện áp thay đổi với nguồn 8mA và nguồn 8mA
VOD8	Đầu ra cống mở điện áp thay đổi với mức chìm 8mA
PU	Kéo lên bên trong 50uA (điển hình). Trừ khi có ghi chú khác trong mô tả chân cắm, pullup bên trong luôn được bật. Ghi chú: Các điện trở kéo lên bên trong ngăn các đầu vào không được kết nối. Không dựa vào điện trở bên trong để điều khiển tín hiệu bên ngoài thiết bị. Khi kết nối với tải phải kéo cao, phải thêm một điện trở bên ngoài.
PĐ	Kéo xuống bên trong 50uA (điển hình). Trừ khi có ghi chú khác trong mô tả chân cắm, tính năng kéo xuống bên trong luôn được bật. Ghi chú: Các điện trở kéo xuống bên trong ngăn các đầu vào không được kết nối. Không dựa vào điện trở bên trong để điều khiển tín hiệu bên ngoài thiết bị. Khi kết nối với tải phải được kéo xuống thấp, phải thêm một điện trở bên ngoài.
trí tuệ nhân tạo	Đầu vào analog
<td>Tương tự hai chiều</td>	Tương tự hai chiều
ICLK	Chân đầu vào bộ tạo dao động tinh thể

LAN8720A/LAN8720AI

BẢNG 2-9: CÁC LOẠI ĐỆM (TIẾP THEO)

LOẠI ĐỆM	SỰ MIÊU TẢ
OCLK	Chân đầu ra bộ dao động tinh thể
P	chốt nguồn

Lưu ý 2-5 Các tín hiệu kỹ thuật số không chịu được 5V. tham khảo[Mục 5.1, "Xếp hạng tối đa tuyệt đối*",](#) trên [trang 54](#) để biết thêm thông tin bộ đệm.

Lưu ý 2-6 Khả năng chìm và nguồn phụ thuộc vào điện áp VDDIO. tham khảo[Mục 5.1, "Xếp hạng tối đa tuyệt đối*",](#) trên [trang 54](#) Để biết thêm thông tin chi tiết.

LAN8720A/LAN8720AI

3.0 MÔ TẢ CHỨC NĂNG

Chương này cung cấp các mô tả chức năng của các tính năng khác nhau của thiết bị. Các tính năng này đã được phân loại thành các phần sau:

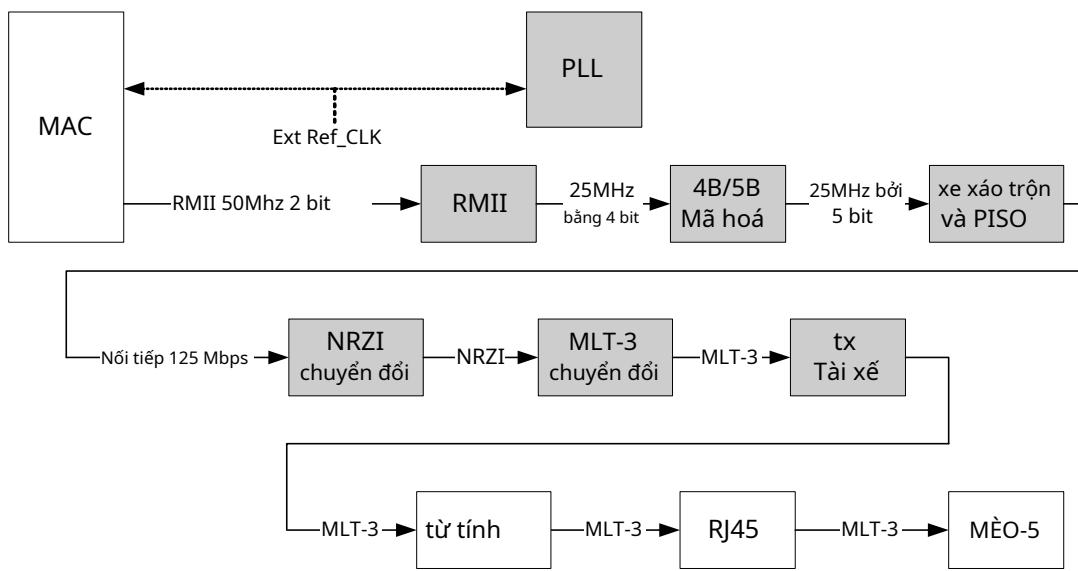
- [máy thu phát](#)
- [Tự động đàm phán](#)
- [Hỗ trợ HP Auto-MDIX](#)
- [Giao diện MAC](#)
- [Giao diện quản lý nối tiếp \(SMI\)](#)
- [Quản lý ngắt](#)
- [Dây đeo cấu hình](#)
- [Chức năng khác](#)
- [sơ đồ ứng dụng](#)

3.1 Bộ thu phát

3.1.1 TRUYỀN 100BASE-TX

Đường dẫn dữ liệu truyền 100BASE-TX được hiển thị trong [Hình 3-1](#). Mỗi khối chính được giải thích trong các tiểu mục sau.

HÌNH 3-1: ĐƯỜNG DỮ LIỆU TRUYỀN 100BASE-TX



3.1.1.1 100BASE-TX Truyền dữ liệu qua giao diện RMII

Bộ điều khiển MAC điều khiển truyền dữ liệu lên bus TXD và xác nhận TXEN để biểu thị dữ liệu hợp lệ. Dữ liệu được chốt bởi khối RMII của bộ thu phát trên sườn lên của REF_CLK. Dữ liệu ở dạng dữ liệu 2 bit rộng 50 MHz.

3.1.1.2 Mã hóa 4B/5B

Dữ liệu truyền đi từ khối RMII đến bộ mã hóa 4B/5B. Khối này mã hóa dữ liệu từ các ký hiệu 4 bit sang các ký hiệu 5 bit (được gọi là "nhóm mã") theo [Bảng 3-1](#). Mỗi bit dữ liệu 4 bit được ánh xạ tới 16 trong số 32 nhóm mã có thể. 16 nhóm mã còn lại hoặc được sử dụng cho thông tin kiểm soát hoặc không hợp lệ.

16 nhóm mã đầu tiên được tham chiếu bằng các giá trị thập lục phân của các mảnh dữ liệu tương ứng của chúng, từ 0 đến F. Các nhóm mã còn lại được ký hiệu bằng chữ cái với dấu gạch chéo ở hai bên. Ví dụ: nhóm mã IDLE là /I/, nhóm mã lỗi truyền là /H/, v.v.

BẢNG 3-1: BẢNG MÃ SỐ 4B/5B

MÃ SỐ NHÓM	SYM	NGƯỜI NHẬN DIỄN DỊCH				HỆ THỐNG ĐIỀU KHIỂN DIỄN DỊCH		
		0000	DỮ LIỆU	0	0000	DỮ LIỆU		
11110	0	0	0000	DỮ LIỆU	0	0000	DỮ LIỆU	
01001	1	1	0001	—	1	0001	—	
10100	2	2	0010	—	2	0010	—	
10101	3	3	0011	—	3	0011	—	
01010	4	4	0100	—	4	0100	—	
01011	5	5	0101	—	5	0101	—	
01110	6	6	0110	—	6	0110	—	
01111	7	7	0111	—	7	0111	—	
10010	số 8	số 8	1000	—	số 8	1000	—	
10011	9	9	1001	—	9	1001	—	
10110	MỘT	MỘT	1010	—	MỘT	1010	—	
10111	b	b	1011	—	b	1011	—	
11010	C	C	1100	—	C	1100	—	
11011	Đ.	Đ.	1101	—	Đ.	1101	—	
11100	e	e	1110	—	e	1110	—	
11101	F	F	1111	—	F	1111	—	
11111	TÔI	nhàn rỗi			Gửi sau /T/R cho đến TXEN			
11000	J	Lần đầu tiên sử dụng SSD, được dịch thành "0101" sau IDLE, nếu không thì RXER			Đã gửi để tăng TXEN			
10001	K	Lần thứ hai của SSD, được dịch thành "0101" sau J, khác RXER			Đã gửi để tăng TXEN			
01101	t	Đầu tiên nhảm nháp ESD, gây hủy xác nhận CRS nếu theo sau là /R/, nếu không thì xác nhận RXER			Đã gửi cho TXEN giảm			
00111	r	Lần cắn thứ hai của ESD, gây ra sự hủy xác nhận CRS nếu theo sau /T/, nếu không thì xác nhận RXER			Đã gửi cho TXEN giảm			
00100	h	Biểu tượng lỗi truyền			Đã gửi để tăng TXER			
00110	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			
11001	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			
00000	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			
00001	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			
00010	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			
00011	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV			KHÔNG HỢP LỆ			

LAN8720A/LAN8720AI

BẢNG 3-1: BẢNG MÃ SỐ 4B/5B (TIẾP THEO)

MÃ SỐ NHÓM	SYM	NGƯỜI NHẬN DIỄN DỊCH	HỆ THỐNG ĐIỀU KHIỂN DIỄN DỊCH
00101	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV	KHÔNG HỢP LỆ
01000	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV	KHÔNG HỢP LỆ
01100	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV	KHÔNG HỢP LỆ
10000	V	KHÔNG HỢP LỆ, RXER nếu trong RXDV	KHÔNG HỢP LỆ

3.1.1.3 tranh giành

Các mẫu dữ liệu lặp lại (đặc biệt là nhóm mã IDLE) có thể có mật độ phổ công suất với các đỉnh dải hẹp lớn. Xáo trộn dữ liệu giúp loại bỏ các đỉnh này và phân bổ công suất tín hiệu đồng đều hơn trên toàn bộ băng thông của kênh. Mật độ phổ đồng nhất này là bắt buộc theo quy định của FCC để ngăn EMI quá mức phát ra từ hệ thống dây vật lý.

Hạt giống cho bộ mã hóa được tạo ra từ địa chỉ bộ thu phát, [PHYAD](#), đảm bảo rằng trong các ứng dụng nhiều bộ thu phát, chẳng hạn như bộ lặp hoặc bộ chuyển mạch, mỗi bộ thu phát sẽ có trình tự đĩa mã hóa riêng.

Bộ mã hóa cũng thực hiện chuyển đổi Parallel In Serial Out (PISO) của dữ liệu.

3.1.1.4 Mã hóa NRZI và MLT-3

Khối đĩa mã hóa truyền dữ liệu song song rộng 5 bit tới bộ chuyển đổi NRZI, nơi nó trở thành luồng dữ liệu NRZI 125MHz nối tiếp. NRZI được mã hóa thành MLT-3. MLT-3 là mã ba cấp trong đó sự thay đổi ở mức logic biểu thị bit mã "1" và đầu ra logic còn lại ở cùng mức biểu thị bit mã "0".

3.1.1.5 Trình điều khiển truyền 100M

Sau đó, dữ liệu MLT3 được chuyển đến bộ phát tương tự, bộ truyền này điều khiển tín hiệu MLT-3 vi sai, trên các đầu ra TXP và TXN, đến phương tiện truyền thông xoắn đôi qua một biến áp cách ly tỷ lệ 1:1. Các tín hiệu 10BASE-T và 100BASE-TX đi qua cùng một máy biến áp để có thể sử dụng "từ tính" chung cho cả hai. Máy phát truyền vào trở kháng 100 của cáp CAT-5. Kết thúc cáp và kết hợp trở kháng yêu cầu các thành phần bên ngoài.

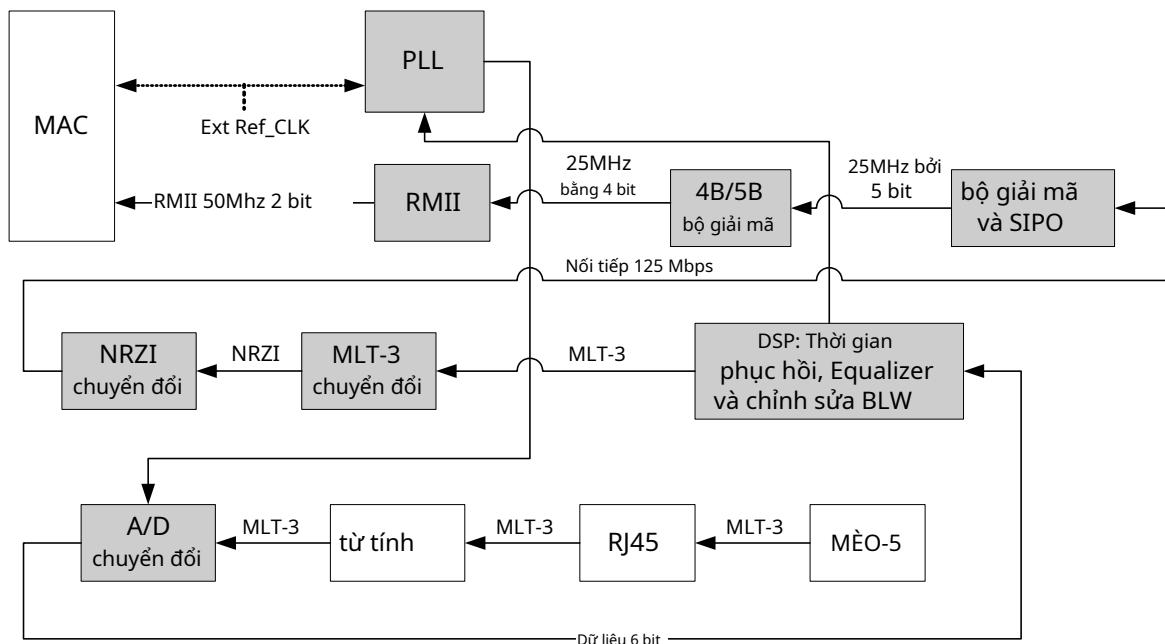
3.1.1.6 Vòng khóa pha 100M (PLL)

PLL 100M khóa vào đồng hồ tham chiếu và tạo ra đồng hồ 125 MHz được sử dụng để điều khiển logic 125 MHz và bộ phát 100BASE-TX.

3.1.2 NHẬN 100BASE-TX

Đường dẫn dữ liệu nhận 100BASE-TX được hiển thị trong [Hình 3-2](#). Mỗi khối chính được giải thích trong các tiểu mục sau.

HÌNH 3-2: ĐƯỜNG DỮ LIỆU NHẬN 100BASE-TX



3.1.2.1 Đầu vào nhận 100M

MLT-3 từ cáp được đưa vào bộ thu phát (trên đầu vào RXP và RXN) thông qua máy biến áp tỷ lệ 1:1. ADC lấy mẫu tín hiệu vi sai đầu vào với tốc độ 125M mẫu mỗi giây. Sử dụng bộ định lượng 64 cấp, nó tạo ra 6 bit kỹ thuật số để biểu diễn từng mẫu. DSP điều chỉnh mức tăng của ADC theo các mức tín hiệu được quan sát sao cho có thể sử dụng toàn bộ dải động của ADC.

3.1.2.2 Equalizer, Baseline Wander Correction, Đồng hồ và Phục hồi dữ liệu

6 bit từ ADC được đưa vào khối DSP. Bộ cân bằng trong phần DSP bù méo pha và biên độ gây ra bởi kênh vật lý bao gồm tử tính, đầu nối và cáp CAT-5. Bộ cân bằng có thể khôi phục tín hiệu cho bất kỳ cáp CAT-5 chất lượng tốt nào trong khoảng từ 1m đến 150m.

Nếu nội dung DC của tín hiệu sao cho các thành phần tần số thấp nằm dưới cực tần số thấp của máy biến áp cách ly, thì đặc tính sụt áp của máy biến áp sẽ trở nên đáng kể và Độ lệch đường cơ sở (BLW) trên tín hiệu nhận được sẽ xuất hiện. Để tránh làm hỏng dữ liệu đã nhận, bộ thu phát sẽ hiệu chỉnh cho BLW và có thể nhận "gói sát thủ" ANSI X3.263-1995 FDDI TP-PMD được xác định mà không có lỗi bit.

PLL 100M tạo ra nhiều giai đoạn của xung nhịp 125MHz. Bộ ghép kênh, được điều khiển bởi bộ định thời của DSP, chọn pha tối ưu để lấy mẫu dữ liệu. Điều này được sử dụng làm đồng hồ phục hồi nhận được. Đồng hồ này được sử dụng để trích xuất dữ liệu nối tiếp từ tín hiệu nhận được.

3.1.2.3 Giải mã NRZI và MLT-3

DSP tạo ra các mức phục hồi MLT-3 được đưa đến bộ chuyển đổi MLT-3. MLT-3 sau đó được chuyển đổi thành luồng dữ liệu NRZI.

3.1.2.4 Giải mã

Bộ giải mã thực hiện một chức năng nghịch đảo với bộ mã hóa trong máy phát và cũng thực hiện chuyển đổi dữ liệu từ nối tiếp sang song song (SIPO).

Trong khi nhận các biểu tượng IDLE (/I), bộ giải xáo trộn đồng bộ hóa khóa giải mã của nó với luồng đến. Sau khi đạt được đồng bộ hóa, bộ giải mã khóa trên khóa này và có thể giải mã dữ liệu đến.

LAN8720A/LAN8720AI

Logic đặc biệt trong bộ giải mã đảm bảo đồng bộ hóa với bộ thu phát từ xa bằng cách tìm kiếm các ký hiệu IDLE trong một cửa sổ 4000 byte (40us). Cửa sổ này đảm bảo rằng kích thước gói tối đa là 1514 byte, được cho phép bởi tiêu chuẩn IEEE 802.3, có thể được nhận mà không bị nhiễu. Nếu không có biểu tượng IDLE nào được phát hiện trong khoảng thời gian này, thao tác nhận sẽ bị hủy bỏ và bộ giải mã sẽ bắt đầu lại quá trình đồng bộ hóa.

3.1.2.5 Căn chỉnh

Sau đó, tín hiệu giải xáo trộn được căn chỉnh thành các nhóm mã 5 bit bằng cách nhận ra cặp /J/K/ Dấu phân cách bắt đầu luồng (SSD) ở đầu gói. Sau khi căn chỉnh từ mã được xác định, nó sẽ được lưu trữ và sử dụng cho đến khi bắt đầu khung tiếp theo.

3.1.2.6 Giải mã 5B/4B

Các nhóm mã 5-bit được dịch thành các mảnh dữ liệu 4-bit theo bảng 4B/5B. Dữ liệu đã dịch được trình bày trên các đường tín hiệu RXD[1:0]. SSD, /J/K, được dịch thành "0101 0101" là 2 phần đầu tiên của phần mở đầu MAC. Việc nhận SSD làm cho bộ thu phát xác nhận tín hiệu hợp lệ của dữ liệu nhận, cho biết rằng dữ liệu hợp lệ có sẵn trên xe buýt RXD. Các nhóm mã hợp lệ liên tiếp được dịch sang các mảnh dữ liệu. Việc nhận Dấu phân cách cuối luồng (ESD) bao gồm các ký hiệu /T/R/ hoặc ít nhất hai ký hiệu /I/ làm cho bộ thu phát hủy xác nhận sóng mang và nhận các tín hiệu hợp lệ của dữ liệu.

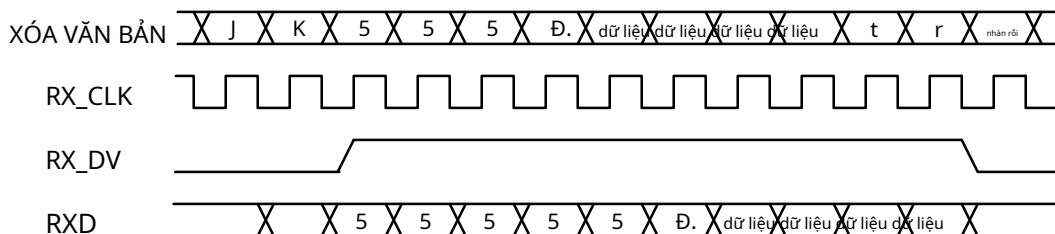
Ghi chú: Những biểu tượng này không được dịch thành dữ liệu.

3.1.2.7 Nhận tín hiệu hợp lệ dữ liệu

Tín hiệu Nhận dữ liệu hợp lệ (RXDV) cho biết rằng các đoạn mã được khôi phục và giải mã đang được hiển thị trên các đầu ra RXD[1:0] đồng bộ với RXCLK. RXDV sẽ hoạt động sau khi dấu phân cách /J/K/ đã được nhận dạng và RXD được căn chỉnh theo các ranh giới nhỏ. Nó vẫn hoạt động cho đến khi dấu phân cách /T/R/ được nhận ra hoặc kiểm tra liên kết cho thấy lỗi hoặc SIGDET trở thành sai.

RXDV được xác nhận khi đoạn đầu tiên của /J/K/ đã dịch sẵn sàng để truyền qua Giao diện độc lập phương tiện (chế độ MII).

HÌNH 3-3: MỐI QUAN HỆ GIỮA DỮ LIỆU NHẬN ĐƯỢC VÀ TÍN HIỆU MII CỤ THỂ



3.1.2.8 Lỗi máy thu

Trong một khung, các nhóm mã không mong muốn được coi là lỗi nhận. Các nhóm mã dự kiến là bộ DATA (0 đến F) và cặp ký hiệu /T/R/ (ESD). Khi xảy ra lỗi nhận, tín hiệu RXER được xác nhận và dữ liệu tùy ý được đưa vào các đường RXD[1:0]. Nếu một lỗi được phát hiện trong thời gian mà dấu phân cách /J/K/ đang được giải mã (lỗi SSD xấu), RXER được khẳng định là đúng và giá trị '1110' được đưa vào các dòng RXD[1:0]. Lưu ý rằng tín hiệu Dữ liệu hợp lệ vẫn chưa được xác nhận khi lỗi SSD xảy ra.

3.1.2.9 100 triệu dữ liệu nhận qua giao diện RMII

Các nibble dữ liệu 2 bit được gửi đến khối RMII. Các gói dữ liệu này được đặt xung nhịp cho bộ điều khiển ở tốc độ 50 MHz. Bộ điều khiển lấy mẫu dữ liệu trên cạnh lên của XTAL1/CLKIN (REF_CLK). Để đảm bảo rằng các yêu cầu thiết lập và lưu giữ được đáp ứng, các ngòi nổ được đặt ngoài bộ thu phát trên cạnh xuống của XTAL1/CLKIN (REF_CLK).

3.1.3 TRUYỀN 10BASE-T

Dữ liệu được truyền đến từ bộ điều khiển lớp MAC. Bộ phát 10BASE-T nhận các đoạn mã 4 bit từ MII với tốc độ 2,5 MHz và chuyển đổi chúng thành luồng dữ liệu nối tiếp 10Mbps. Luồng dữ liệu sau đó được mã hóa Manchester và gửi đến bộ phát tương tự, bộ phát này truyền tín hiệu vào cặp xoắn thông qua từ tính bên ngoài.

Máy phát 10M sử dụng các khối sau:

- MII (kỹ thuật số)
- TX 10M (kỹ thuật số)
- Máy phát 10M (tương tự)
- 10M PLL (tương tự)

3.1.3.1 10 triệu dữ liệu truyền qua giao diện RMII

Bộ điều khiển MAC điều khiển truyền dữ liệu lên bus TXD. TXD[1:0] sẽ chuyển đổi đồng bộ đối với REF_CLK. Khi TXEN được xác nhận, TXD[1:0] được thiết bị chấp nhận để truyền. TXD[1:0] sẽ là "00" để biểu thị không hoạt động khi TXEN được xác nhận lại. Các giá trị của TXD[1:0] khác với "00" khi TXEN được xác nhận lại được dành riêng cho báo hiệu ngoài băng tần (sẽ được xác định). Các giá trị khác "00" trên TXD[1:0] trong khi TXEN được xác nhận lại sẽ bị thiết bị bỏ qua. TXD[1:0] sẽ cung cấp dữ liệu hợp lệ cho từng khoảng thời gian REF_CLK trong khi TXEN được xác nhận.

Để tuân thủ các Bộ điều khiển/MAC 10BASE-T kế thừa, ở chế độ bán song công, bộ thu phát lặp lại dữ liệu được truyền trên đường dẫn nhận. Điều này không gây nhầm lẫn cho MAC/Bộ điều khiển vì tín hiệu COL không được xác nhận trong thời gian này. Bộ thu phát cũng hỗ trợ tín hiệu SQE (Nhịp tim).

3.1.3.2 Mã hóa Manchester

Dữ liệu rộng 4 bit được gửi đến khối TX 10M. Các nibble được chuyển đổi thành luồng dữ liệu NRZI nối tiếp 10Mbps. PLL 10M khóa vào đồng hồ bên ngoài hoặc bộ tạo dao động bên trong và tạo ra đồng hồ 20 MHz. Điều này được sử dụng để Manchester mã hóa luồng dữ liệu NRZ. Khi không có dữ liệu nào được truyền (TXEN ở mức thấp), khối 10M TX sẽ xuất các Xung liên kết thông thường (NLP) để duy trì liên lạc với đối tác liên kết từ xa.

3.1.3.3 Trình điều khiển truyền 10M

Dữ liệu được mã hóa Manchester được gửi đến bộ phát tương tự nơi nó được định hình và lọc trước khi được đưa ra dưới dạng tín hiệu vi sai qua các đầu ra TXP và TXN.

3.1.4 NHẬN 10BASE-T

Bộ thu 10BASE-T nhận tín hiệu tương tự được mã hóa Manchester từ cáp thông qua từ tính. Nó khôi phục đồng hồ nhận từ tín hiệu và sử dụng đồng hồ này để khôi phục luồng dữ liệu NRZI. Dữ liệu nối tiếp 10M này được chuyển đổi thành các gói dữ liệu 4 bit được truyền tới bộ điều khiển thông qua MII với tốc độ 2,5 MHz.

Bộ thu 10M này sử dụng các khối sau:

- Bộ lọc và SQUELCH (tương tự)
- 10M PLL (tương tự)
- RX 10M (kỹ thuật số)
- MII (kỹ thuật số)

3.1.4.1 10M Nhận đầu vào và Squelch

Tín hiệu Manchester từ cáp được đưa vào bộ thu phát (trên đầu vào RXP và RXN) qua nam châm tỷ lệ 1:1. Đầu tiên, nó được lọc để giảm bất kỳ tiếng ồn ngoài dải nào. Sau đó nó đi qua một mạch SQUELCH. SQUELCH là một tập hợp các bộ so sánh thời gian và biên độ thường loại bỏ các mức điện áp chênh lệch dưới 300mV và phát hiện cũng như nhận biết các điện áp chênh lệch trên 585mV.

3.1.4.2 giải mã manchester

Đầu ra của SQUELCH đi đến khối 10M RX nơi nó được xác thực là dữ liệu được mã hóa Manchester. Cực tính của tín hiệu cũng được kiểm tra. Nếu phân cực bị đảo ngược (RXP cực bộ được kết nối với RXN của đối tác từ xa và ngược lại), tình trạng này sẽ được xác định và khắc phục. Điều kiện đảo ngược được biểu thị bằng **XPOL** một chút của **Kiểm soát đặc biệt/Chỉ báo trạng thái Đăng ký**. PLL 10M được khóa vào tín hiệu Manchester nhận được, từ tín hiệu này, già trống 20MHz được tạo ra. Sử dụng đồng hồ này, dữ liệu mã hóa Manchester được trích xuất và chuyển đổi thành luồng dữ liệu NRZI 10 MHz. Sau đó, nó được chuyển đổi từ dữ liệu nối tiếp sang dữ liệu song song rộng 4 bit.

Khối 10M RX cũng phát hiện các tín hiệu IDLE 10Base-T hợp lệ - Xung liên kết thông thường (NLP) - để duy trì liên kết.

3.1.4.3 10 triệu dữ liệu nhận qua giao diện RMII

Các nibble dữ liệu 2 bit được gửi đến khối RMII. Các phần dữ liệu này hợp lệ trên cạnh tăng của RMII REF_CLK.

LAN8720A/LAN8720AI

3.1.4.4 Phát hiện Jabber

Jabber là tình trạng trong đó một trạm truyền trong một khoảng thời gian dài hơn độ dài gói tối đa cho phép, thường là do tình trạng lỗi, dẫn đến việc giữ đầu vào TXEN trong một thời gian dài. Logic đặc biệt được sử dụng để phát hiện trạng thái jabber và hủy bỏ quá trình truyền tới đường truyền trong vòng 45 mili giây. Khi TXEN được xác nhận lại, logic sẽ đặt lại điều kiện jabber.

Như thể hiện trong Mục 4.2.2, "Thanh ghi trạng thái cơ bản," trên trang 45, các [Phát hiện Jabber](#) bit chỉ ra rằng một tình trạng jabber đã được phát hiện.

3.2 Tự động đàm phán

Mục đích của chức năng tự động đàm phán là tự động định cấu hình bộ thu phát thành các tham số liên kết tối ưu dựa trên khả năng của đối tác liên kết của nó. Auto-negotiation là cơ chế trao đổi thông tin cấu hình giữa hai đối tác liên kết và tự động chọn chế độ hoạt động có hiệu suất cao nhất được cả hai bên hỗ trợ. Auto-negotiation được định nghĩa đầy đủ trong khoản 28 của đặc tả IEEE 802.3.

Khi quá trình tự động đàm phán hoàn tất, thông tin về liên kết đã giải quyết có thể được chuyển trả lại bộ điều khiển thông qua Giao diện quản lý nối tiếp (SMI). Kết quả của quá trình đàm phán được phản ánh trong [Chỉ báo tốc độ](#) bit của [Kiểm soát đặc biệt/Thanh ghi trạng thái PHY](#), cũng như trong [Tự động đàm phán Liên kết](#) [Khả năng đối tác Đăng ký](#). Giao thức tự động đàm phán là một hoạt động lớp lý thuần túy và tiến hành độc lập với bộ điều khiển MAC.

Các khả năng được quảng cáo của bộ thu phát được lưu trữ trong [Đàm phán tự động Quảng cáo Đăng ký](#). Mặc định được quảng cáo bởi bộ thu phát được xác định bởi các tùy chọn tín hiệu trên chip do người dùng xác định.

Các khối sau được kích hoạt trong phiên Tự động đàm phán:

- Tự động đàm phán (kỹ thuật số)
- 100M ADC (tương tự)
- 100M PLL (tương tự)
- Bộ chỉnh âm 100M/BLW/phục hồi đồng hồ (DSP)
- 10M SQUELCH (tương tự)
- 10M PLL (tương tự)
- Máy phát 10M (tương tự)

Khi được bật, tính năng tự động đàm phán được bắt đầu khi xảy ra một trong các sự kiện sau:

- Đặt lại phần cứng
- Đặt lại phần mềm
- Đặt lại khi tắt nguồn
- Tình trạng link down
- Cài đặt [Khởi động lại tự động đàm phán](#) một chút của [Thanh ghi điều khiển cơ bản](#)

Khi phát hiện một trong những sự kiện này, bộ thu phát bắt đầu tự động thương lượng bằng cách truyền các đợt Xung liên kết nhanh (FLP), là các đợt xung liên kết từ bộ phát 10M. Chúng có hình dạng như các Xung liên kết thông thường và có thể truyền xuống cáp CAT-3 hoặc CAT-5 không bị hỏng. Một Burst xung liên kết nhanh bao gồm tối đa 33 xung, 17 xung được đánh số lẻ, luôn có mặt, tạo khung cho chùm FLP. 16 xung được đánh số chẵn, có thể có hoặc không có, chứa dữ liệu được truyền. Sự hiện diện của xung dữ liệu biểu thị "1", trong khi sự vắng mặt biểu thị "0".

Dữ liệu được truyền bởi cụm FLP được gọi là "Từ mã liên kết". Chúng được định nghĩa đầy đủ trong điều khoản 28 của IEEE 802.3. Tóm lại, bộ thu phát quảng cáo tuân thủ 802.3 trong trường bộ chọn của nó (5 bit đầu tiên của Từ mã liên kết). Nó quảng cáo khả năng công nghệ của mình theo các bit được đặt trong [Đàm phán tự động Quảng cáo Đăng ký](#).

Có 4 khả năng phù hợp của các khả năng công nghệ. Theo thứ tự ưu tiên đó là:

- 100M Full Duplex (Ưu tiên cao nhất)
- Bán song công 100M
- Song công hoàn toàn 10M
- Bán song công 10M (Ưu tiên thấp nhất)

Nếu toàn bộ khả năng của bộ thu phát được quảng cáo (100M, Full Duplex) và nếu đối tác liên kết có khả năng 10M và 100M, thì tính năng tự động đàm phán sẽ chọn 100M làm chế độ hiệu suất cao nhất. Nếu đối tác liên kết có khả năng ở chế độ song công một nửa và toàn phần, thì tính năng tự động đàm phán sẽ chọn song công hoàn toàn là hoạt động có hiệu suất cao nhất.

Khi khả năng phù hợp đã được xác định, các từ mã liên kết được lặp lại với bộ bit xác nhận. Bất kỳ sự khác biệt nào trong nội dung chính của các từ mã liên kết tại thời điểm này sẽ khiến quá trình tự động thương lượng bắt đầu lại. Tự động đàm phán cũng sẽ bắt đầu lại nếu không nhận được tất cả các cụm FLP cần thiết.

Các khả năng được quảng cáo trong quá trình thương lượng tự động bởi bộ thu phát ban đầu được xác định bởi các mức logic được chốt trên dây đai cấu hình MODE[2:0] sau khi quá trình đặt lại hoàn tất. Các dây đai cấu hình này cũng có thể được sử dụng để tắt tính năng tự động đàm phán khi bật nguồn. tham khảo [Mục 3.7.2, "MODE\[2:0\]: Cấu hình chế độ,"](#) trên trang 30 Để biết thêm thông tin chi tiết.

Viết các bit từ 8 đến 5 của [Đàm phán tự động Quảng cáo Đăng ký](#) cho phép phần mềm kiểm soát các khả năng được quảng cáo bởi bộ thu phát. viết các [Đàm phán tự động Quảng cáo Đăng ký](#) không tự động bắt đầu lại quá trình tự thương lượng. Các [Khởi động lại tự động đàm phán](#) một chút của [Thanh ghi điều khiển cơ bản](#) phải được thiết lập trước khi các khả năng mới được quảng cáo. Tự động đàm phán cũng có thể bị vô hiệu hóa thông qua phần mềm bằng cách xóa [Tự động đàm phán Kích hoạt](#) một chút của [Thanh ghi điều khiển cơ bản](#).

Ghi chú: Thiết bị không hỗ trợ khả năng "Trang tiếp theo".

3.2.1 PHÁT HIỆN SONG SONG

Nếu LAN8720A/LAN8720Ai được kết nối với một thiết bị thiếu khả năng tự động thương lượng (ví dụ: không phát hiện thấy FLP nào), thiết bị có thể xác định tốc độ của liên kết dựa trên 100M ký hiệu MLT-3 hoặc 10M Xung liên kết thông thường . Trong trường hợp này, liên kết được coi là bán song công theo tiêu chuẩn IEEE. Khả năng này được gọi là "Phát hiện song song." Tính năng này đảm bảo khả năng tương tác với các đối tác liên kết kế thừa. Nếu một liên kết được hình thành thông qua phát hiện song song, thì [Liên kết đối tác tự động đàm phán có thể](#) một chút của [Mở rộng đàm phán tự động Đăng ký](#) bị xóa để cho biết rằng Đối tác liên kết không có khả năng tự động thương lượng. Bộ điều khiển có quyền truy cập vào thông tin này thông qua giao diện quản lý. Nếu một lỗi xảy ra trong quá trình phát hiện song song, [Lỗi phát hiện song song](#) một chút [Liên kết đối tác tự động đàm phán có thể](#) được thiết lập.

[Tự động đàm phán Liên kết Khả năng đối tác Đăng ký](#) được sử dụng để lưu trữ thông tin về khả năng của đối tác liên kết, được mã hóa trong các FLP nhận được. Nếu đối tác liên kết không có khả năng tự động đàm phán, thì [Tự động đàm phán Liên kết Khả năng đối tác Đăng ký](#) được cập nhật sau khi hoàn thành phát hiện song song để phản ánh khả năng tốc độ của đối tác liên kết.

3.2.2 KHỞI ĐỘNG LẠI TỰ ĐỘNG ĐÀM PHÁN

Tự động đàm phán có thể được bắt đầu lại bất cứ lúc nào bằng cách cài đặt [Khởi động lại tự động đàm phán](#) một chút của [Thanh ghi điều khiển cơ bản](#). Tự động đàm phán cũng sẽ khởi động lại nếu liên kết bị hỏng bất cứ lúc nào. Một liên kết bị hỏng là do mất tín hiệu. Điều này có thể xảy ra do đứt cáp hoặc do tín hiệu được truyền bởi đối tác liên kết bị gián đoạn. Quá trình tự động đàm phán sẽ tiếp tục trong nỗ lực xác định cấu hình liên kết mới.

Nếu thực thể quản lý bắt đầu lại tự động đàm phán bằng cách đặt [Khởi động lại tự động đàm phán](#) một chút của [Thanh ghi điều khiển cơ bản](#), LAN8720A/LAN8720Ai sẽ phản hồi bằng cách dừng mọi hoạt động truyền/nhận. Khi bộ đếm thời gian [break_link](#)_hoàn thành trong máy trạng thái Tự động đàm phán (khoảng 1200 mili giây), quá trình tự động đàm phán sẽ bắt đầu lại. Trong trường hợp này, đối tác liên kết cũng sẽ hủy liên kết do thiếu tín hiệu nhận được, do đó, nó cũng sẽ tiếp tục tự động thương lượng.

3.2.3 TẮT TỰ ĐỘNG ĐÀM PHÁN

Tự động đàm phán có thể bị vô hiệu hóa bằng cách đặt [Tự động đàm phán Kích hoạt](#) một chút của [Thanh ghi điều khiển cơ bản](#) về không. Sau đó, thiết bị sẽ buộc tốc độ hoạt động của nó phản ánh thông tin trong [Thanh ghi điều khiển cơ bản](#) ([Chọn tốc độ bit và Chế độ song công](#)chút). Các bit này nên được bỏ qua khi bật tính năng tự động đàm phán.

3.2.4 NỬA VS. FULL DUPLEX

Hoạt động bán song công dựa trên giao thức CSMA/CD (Carrier Sense Multiple Access / Collision Detect) để xử lý lưu lượng mạng và xung đột. Trong chế độ này, tín hiệu cảm nhận sóng mang, CRS, phản hồi cả hoạt động truyền và nhận. Nếu dữ liệu được nhận trong khi bộ thu phát đang truyền, sẽ xảy ra xung đột.

Ở chế độ song công hoàn toàn, bộ thu phát có thể truyền và nhận dữ liệu đồng thời. Trong chế độ này, CRS chỉ phản hồi để nhận hoạt động. Giao thức CSMA/CD không áp dụng và tính năng phát hiện va chạm bị tắt.

3.3 Hỗ trợ HP Auto-MDIX

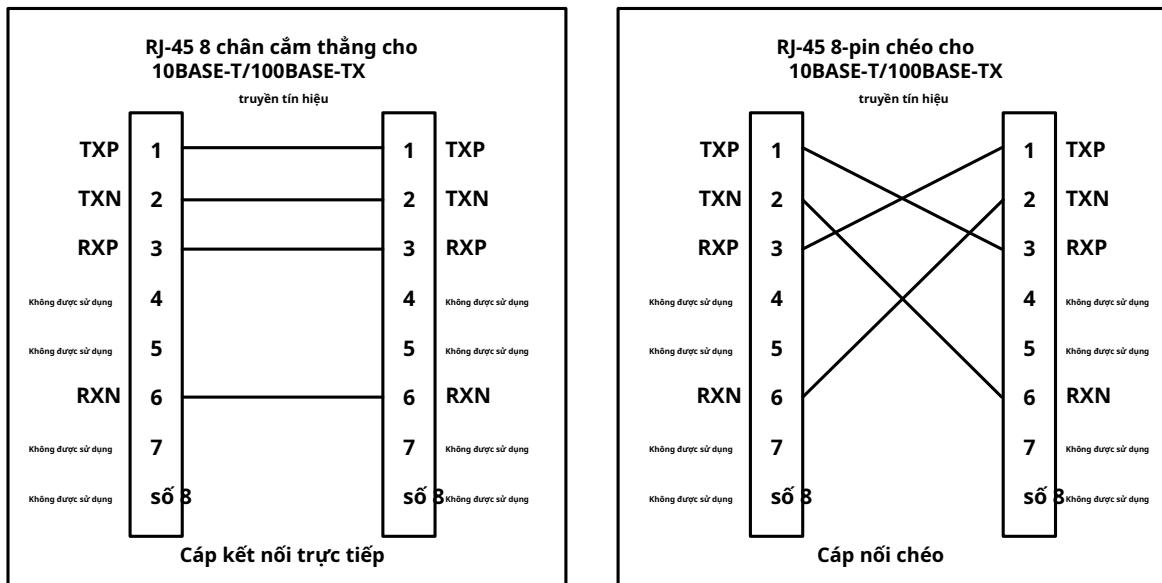
HP Auto-MDIX tạo điều kiện thuận lợi cho việc sử dụng cáp kết nối UTP đa phương tiện CAT-3 (10BASE-T) hoặc CAT-5 (100BASE-T) mà không cần xem xét sơ đồ nối dây giao diện. Nếu người dùng cắm cáp LAN kết nối trực tiếp hoặc cáp vá chéo, như minh họa trong [Hình 3-4](#), bộ thu phát Auto-MDIX của thiết bị có khả năng định cấu hình các chân TXP/TXN và RXP/RXN để bộ thu phát hoạt động chính xác.

LAN8720A/LAN8720AI

Logic bên trong của thiết bị phát hiện các chân TX và RX của thiết bị kết nối. Vì các cặp đường dây RX và TX có thể hoán đổi cho nhau nên cần cân nhắc thiết kế PCB đặc biệt để phù hợp với tính đối xứng và chấm dứt thiết kế Auto-MDIX.

Có thể tắt chức năng Auto-MDIX thông qua [AMDIXCTRL](#) một chút trong [Kiểm soát đặc biệt/Chỉ báo trạng thái Đăng ký](#).

HÌNH 3-4: KẾT NỐI CÁP TRỰC TIẾP VS. KẾT NỐI CÁP CHÉO



3.4 Giao diện MAC

3.4.1 RMII

Thiết bị hỗ trợ Giao diện độc lập phương tiện giảm số lượng chân thấp (RMII) được thiết kế để sử dụng giữa bộ thu phát Ethernet và ASIC chuyển đổi. Theo IEEE 802.3, một MII bao gồm 16 chân cho dữ liệu và điều khiển được xác định. Trong các thiết bị kết hợp nhiều MAC hoặc giao diện thu phát chẵng hạn như bộ chuyển mạch, số lượng chân cắm có thể tăng thêm chi phí đáng kể khi số lượng cổng tăng lên. RMII giảm số lượng chân này trong khi vẫn giữ giao diện quản lý (MDIO/MDC) giống với MII.

Giao diện RMII có các đặc điểm sau:

- Nó có khả năng hỗ trợ tốc độ dữ liệu 10Mbps và 100Mbps
- Một tham chiếu đồng hồ duy nhất được sử dụng cho cả truyền và nhận
- Nó cung cấp các đường dẫn dữ liệu truyền và nhận rộng 2 bit (di-bit) độc lập
- Nó sử dụng các mức tín hiệu LVCMOS, tương thích với các quy trình ASIC CMOS kỹ thuật số phổ biến

RMII bao gồm các tín hiệu giao diện sau (1 tùy chọn):

- truyền dữ liệu - TxD[1:0]
- nhấp nháy truyền - TXEN
- nhận dữ liệu - RxD[1:0]
- nhận lỗi - RXER (Tùy chọn)
- ý nghĩa sóng mang - CRS_DV
- Đồng hồ tham chiếu - (Các tham chiếu RMII thường xác định tín hiệu này là REF_CLK)

3.4.1.1 CRS_DV - Nhận biết nhà cung cấp dịch vụ/Nhận dữ liệu hợp lệ

CRS_DV được xác nhận bởi thiết bị khi phương tiện nhận không ở chế độ chờ. CRS_DV được xác nhận không đồng bộ khi phát hiện sóng mang do các tiêu chí liên quan đến chế độ hoạt động. Ở chế độ 10BASE-T khi squelch được thông qua hoặc ở chế độ 100BASE-X khi 2 số 0 không liền kề trong 10 bit được phát hiện, sóng mang được cho là đã được phát hiện.

Việc mất sóng mang sẽ dẫn đến việc xác nhận lại CRS_DV đồng bộ với chu kỳ REF_CLK, chu trình này biểu thị di-bit đầu tiên của một đường viền trên RXD[1:0] (ví dụ: CRS_DV chỉ được xác nhận lại trên các ranh giới của đường viền). Nếu thiết bị có các bit bổ sung được hiển thị trên RXD[1:0] sau lần xác nhận lại CRS_DV ban đầu, thì thiết bị sẽ xác nhận CRS_DV theo các chu kỳ của REF_CLK, hiển thị di-bit thứ hai của mỗi lần gãm nhãm và hủy xác nhận CRS_DV theo các chu kỳ trong số REF_CLK trình bày bit đầu tiên của một nibble. Kết quả là, bắt đầu từ các ranh giới nhỏ, CRS_DV chuyển đổi ở tốc độ 25 MHz ở chế độ 100Mbps và 2,5 MHz ở chế độ 10Mbps khi CRS kết thúc trước RXDV (ví dụ: FIFO vẫn có bit để truyền khi sự kiện của nhà cung cấp dịch vụ kết thúc). Do đó, MAC có thể khôi phục chính xác RXDV và CRS.

Trong một sự kiện sóng mang sai, CRS_DV sẽ vẫn được xác nhận trong suốt thời gian hoạt động của sóng mang. Dữ liệu trên RXD[1:0] được coi là hợp lệ sau khi CRS_DV được xác nhận. Tuy nhiên, do xác nhận CRS_DV không đồng bộ so với REF_CLK, nên dữ liệu trên RXD[1:0] sẽ là "00" cho đến khi quá trình giải mã tín hiệu nhận thích hợp diễn ra.

3.4.1.2 Đồng hồ tham chiếu (REF_CLK)

RMII REF_CLK là đồng hồ liên tục cung cấp tham chiếu thời gian cho CRS_DV, RXD[1:0], TXEN, TXD[1:0] và RXER. Thiết bị sử dụng REF_CLK làm đồng hồ mạng sao cho không cần đệm trên đường truyền dữ liệu. Tuy nhiên, trên đường dẫn dữ liệu nhận, bộ thu sẽ khôi phục đồng hồ từ luồng dữ liệu đến và thiết bị sử dụng bộ đệm đòn hồi để phù hợp với sự khác biệt giữa đồng hồ được khôi phục và REF_CLK cục bộ.

3.5 Giao diện quản lý nối tiếp (SMI)

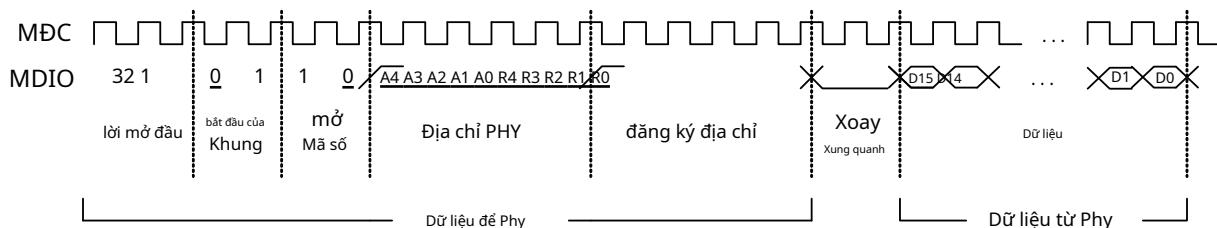
Giao diện quản lý nối tiếp được sử dụng để điều khiển thiết bị và nhận trạng thái của thiết bị. Giao diện này hỗ trợ các thanh ghi từ 0 đến 6 theo yêu cầu của Điều 22 của tiêu chuẩn 802.3, cũng như các thanh ghi "dành riêng cho nhà cung cấp" từ 16 đến 31 được thông số kỹ thuật cho phép. Các thanh ghi không được hỗ trợ (chẳng hạn như 7 đến 15) sẽ được đọc dưới dạng thập lục phân "FFFF". Thanh ghi thiết bị được trình bày chi tiết trong [Mục 4.0, "Đăng ký mô tả,"](#) trên trang 43.

Ở cấp độ hệ thống, SMI cung cấp 2 tín hiệu: MDIO và MDC. Tín hiệu MDC là một đồng hồ định kỳ được cung cấp bởi bộ điều khiển quản lý trạm (SMC). MDIO là tín hiệu đầu vào/đầu ra SMI dữ liệu hai chiều nhận dữ liệu nối tiếp (lệnh) từ bộ điều khiển SMC và gửi dữ liệu nối tiếp (trạng thái) đến SMC. Thời gian tối thiểu giữa các cạnh của MDC là 160 ns. Không có thời gian tối đa giữa các cạnh. Thời gian chu kỳ tối thiểu (thời gian giữa hai cạnh tăng liên tiếp hoặc hai cạnh giảm liên tiếp) là 400 ns. Các yêu cầu thời gian khiêm tốn này cho phép giao diện này dễ dàng được điều khiển bởi cổng I/O của vi điều khiển.

Dữ liệu trên đường MDIO được chốt trên sườn lên của MDC. Cấu trúc khung và thời gian của dữ liệu được hiển thị trong [Hình 3-5](#) và [Hình 3-6](#). Các mối quan hệ thời gian của các tín hiệu MDIO được mô tả thêm trong [Mục 5.5.6, "Thời gian SMI,"](#) trên trang 64.

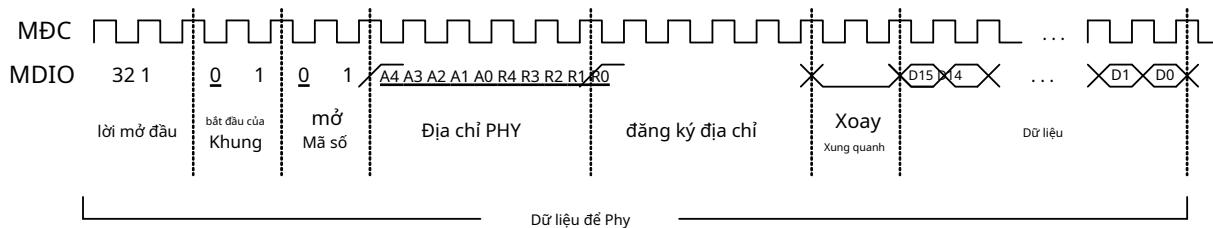
HÌNH 3-5: CẤU TRÚC KHUNG VÀ THỜI GIAN MDIO - CHU KỲ ĐỌC

đọc chu kỳ



LAN8720A/LAN8720AI

HÌNH 3-6: CẤU TRÚC KHUNG VÀ THỜI GIAN MDIO - CHU KỲ VIẾT
viết chu kỳ



3.6 Quản lý ngắt

Giao diện quản lý thiết bị hỗ trợ khả năng ngắt không phải là một phần của đặc tả IEEE 802.3. Khả năng ngắt này tạo ra tín hiệu ngắt không đồng bộ thấp đang hoạt động trên đầu ra nINT bất cứ khi nào một số sự kiện nhất định được phát hiện khi thiết lập bởi [Đăng ký mặt nạ ngắt](#).

Hệ thống ngắt của thiết bị cung cấp hai chế độ, chế độ Ngắt chính và chế độ ngắt thay thế. Cả hai hệ thống sẽ khảng định chân nINT ở mức thấp khi bit mặt nạ tương ứng được đặt. Các chế độ này chỉ khác nhau ở cách chúng xác nhận lại đầu ra ngắt nINT. Các chế độ này được trình bày chi tiết trong các tiêu mục sau.

Ghi chú: Chế độ ngắt chính là chế độ ngắt mặc định sau khi bật nguồn hoặc khởi động lại cứng. Chế độ ngắt thay thế yêu cầu thiết lập sau khi bật nguồn hoặc thiết lập lại cứng.

3.6.1 HỆ THỐNG NGẮT CHÍNH

Hệ thống ngắt chính là chế độ ngắt mặc định ([THAY ĐỔI](#) một chút của [Kiểm soát chế độ/Thanh ghi trạng thái](#) là "0"). Hệ thống ngắt chính luôn được chọn sau khi bật nguồn hoặc thiết lập lại cứng. Trong chế độ này, để thiết lập ngắt, thiết lập bit mặt nạ tương ứng trong [Đăng ký mặt nạ ngắt](#) (nhìn thấy [Bảng 3-3](#)). Sau đó, khi sự kiện xác nhận nINT là đúng, đầu ra nINT sẽ được xác nhận. Khi sự kiện tương ứng để hủy xác nhận nINT là đúng, thì nINT sẽ bị hủy xác nhận.

BẢNG 3-2: BẢNG QUẢN LÝ GIÁN ĐOẠN

Mặt nạ	Cờ nguồn ngắt		Nguồn ngắt		Sự kiện để khảng định không có	sự kiện để Hủy khảng định nINT
30.7	29.7	NĂNG LƯỢNG	17.1	NĂNG LƯỢNG	Tăng 17,1 (Lưu ý 3-3)	Giảm 17,1 hoặc Thanh ghi đọc 29
30.6	29.6	Tự động đàm phán hoàn thành	1,5	Tự động đàm phán Hoàn thành	Tăng 1,5	Giảm 1,5 hoặc Thanh ghi đọc 29

BẢNG 3-2: BẢNG QUẢN LÝ GIÁN ĐOẠN

30,5	29,5	Lỗi từ xa phát hiện	1.4	Lỗi từ xa	Tăng 1,4	Giảm 1,4, hoặc Thanh ghi đọc 1 hoặc Thanh ghi đọc 29
30.4	29.4	liên kết xuống	1.2	Trạng thái liên kết	Giảm 1,2	Thanh ghi đọc 1 hoặc Thanh ghi đọc 29
30.3	29.3	Tự động đàm phán LP công nhận	5.14	Thùa nhận	Tăng 5,14	Giảm 5,14 hoặc Đọc thanh ghi 29
30.2	29.2	Phát hiện song song Lỗi	6.4	Phát hiện song song-Lỗi	Tăng 6,4	Giảm 6,4 hoặc Thanh ghi đọc 6, hoặc Thanh ghi đọc 29 hoặc Tự động đàm phán lại hoặc liên kết xuống
30.1	29.1	Tự động đàm phán Trang đã nhận	6.1	Trang đã nhận	Tăng 6,1	Falling 6.1 hoặc Reading register 6, hoặc Reading register 29 Tự động thương lượng lại, hoặc Liên kết xuống.

Lưu ý 3-1 Nếu bit mặt nạ được bật và nINT đã được hủy xác nhận trong khi ENERGYON vẫn ở mức cao, nINT sẽ xác nhận trong 256 mili giây, khoảng một giây sau khi ENERGYON xuống thấp khi rút Cáp. Để ngăn xác nhận không mong muốn của nINT, mặt nạ ngắt ENERGYON phải luôn được xóa như một phần của quy trình dịch vụ ngắt ENERGYON.

Ghi chú: Các **NĂNG LƯỢNG**một chút trong **Kiểm soát chế độ/Thanh ghi trạng thái**được mặc định là '1' khi bắt đầu quá trình thu thập tín hiệu, do đó **INT7**một chút trong **Đăng ký mặt nạ ngắt**cũng sẽ đọc là '1' khi bật nguồn. Nếu không có tín hiệu thì cả hai**NĂNG LƯỢNG**và**INT7**sẽ xóa trong vòng vài mili giây.

3.6.2 HỆ THỐNG NGẮT THAY ĐỔI

Hệ thống ngắt luân phiên được kích hoạt bằng cách cài đặt**THAY ĐỔI**một chút của**Kiểm soát chế độ/Thanh ghi trạng thái**đến 1". Trong chế độ này, để đặt ngắt, hãy đặt bit tương ứng của thanh ghi mặt nạ 30, (xem **Bảng 3-4**). Để xóa một ngắt, xóa bit tương ứng trong**Đăng ký mặt nạ ngắt**để xác nhận lại đầu ra nINT hoặc xóa nguồn ngắt và ghi '1' vào Cờ nguồn ngắt tương ứng. Ghi '1' vào Cờ nguồn ngắt sẽ khiến máy trạng thái kiểm tra Nguồn ngắt để xác định xem Cờ nguồn ngắt sẽ xóa hay giữ nguyên là '1'. Nếu Điều kiện để xác nhận lại là đúng, thì Cờ nguồn ngắt sẽ bị xóa và nINT cũng được xác nhận lại. Nếu Điều kiện để hủy xác nhận là sai, thì Cờ nguồn ngắt vẫn được đặt và nINT vẫn được xác nhận.

LAN8720A/LAN8720AI

Ví dụ, thiết lập các [INT7](#) một chút trong [Đăng ký mặt nạ ngắt](#) để kích hoạt ngắt ENERGYON. Sau khi cắm cáp, [NĂNG LƯỢNG](#) một chút trong [Kiểm soát chế độ/Thanh ghi trạng thái](#) hoạt động và nINT sẽ được khẳng định ở mức thấp. Để xác nhận lại điều này, hãy xóa [NĂNG LƯỢNG](#) một chút trong [Kiểm soát chế độ/Thanh ghi trạng thái](#) bằng cách tháo cáp và sau đó viết '1' vào [INT7](#) một chút trong [Đăng ký mặt nạ ngắt](#), [HOẶC](#) xóa mặt nạ INT7 (bit 7 của [Đăng ký mặt nạ ngắt](#)).

BẢNG 3-3: BẢNG QUẢN LÝ HỆ THỐNG GIÁN ĐOẠN THAY THẾ

Mặt nạ	Còn nguồn ngắt	Nguồn ngắt		sự kiện để Xác nhận nINT	điều kiện để Xác nhận lại	Bit để Thông thường không có	
30.7	29.7	NĂNG LƯỢNG	17.1	NĂNG LƯỢNG	Tăng 17,1	17,1 thấp	29.7
30.6	29,6	Tự động đàm phán hoàn thành	1,5	Tự động đàm phán Hoàn thành	Tăng 1,5	1,5 thấp	29,6
30,5	29,5	Lỗi từ xa phát hiện	1.4	Lỗi từ xa	Tăng 1,4	1,4 thấp	29,5
30.4	29.4	liên kết xuống	1.2	Trạng thái liên kết	Giảm 1,2	cao 1,2	29.4
30.3	29.3	Tự động đàm phán LP công nhận	5.14	Thùa nhận	Tăng 5,14	5,14 thấp	29.3
30.2	29.2	Phát hiện song song-lỗi	6.4	Phát hiện song song-lỗi	Tăng 6,4	6,4 thấp	29.2
30.1	29.1	Tự động đàm phán Trang đã nhận	6.1	Trang đã nhận	Tăng 6,1	6,1 thấp	29.1

Ghi chú: Các [NĂNG LƯỢNG](#) một chút trong [Kiểm soát chế độ/Thanh ghi trạng thái](#) được mặc định là '1' khi bắt đầu quá trình thu thập tín hiệu, do đó [INT7](#) một chút trong [Đăng ký mặt nạ ngắt](#) cũng sẽ đọc là '1' khi bật nguồn. Nếu không có tín hiệu thì cả hai [NĂNG LƯỢNG](#) và [INT7](#) sẽ xóa trong vòng vài mili giây.

3.7 Dây đai cấu hình

Dây đai cấu hình cho phép các tính năng khác nhau của thiết bị được tự động cấu hình theo các giá trị do người dùng xác định. Dây đai cấu hình được chốt khi Đặt lại khi bật nguồn (POR) và đặt lại chân cắm (nRST). Dây đai cấu hình bao gồm các điện trở bên trong để ngăn tín hiệu nối khi không được kết nối. Nếu một dây đeo có cấu hình cụ thể được kết nối với tải, thì nên sử dụng điện trở kéo lên hoặc kéo xuống bên ngoài để tăng điện trở bên trong nhằm đảm bảo rằng nó đạt đến mức điện áp cần thiết trước khi chốt. Điện trở bên trong cũng có thể được ghi đè bằng cách thêm một điện trở bên ngoài.

Lưu ý 3-2 Người thiết kế hệ thống phải đảm bảo rằng các chốt dây đeo cấu hình đáp ứng các yêu cầu về thời gian được chỉ định trong [Mục 5.5.3, "Thời gian nRST bật nguồn & dây đeo cấu hình,"](#) trên trang 59. Nếu các chốt của dây đeo cấu hình không ở mức điện áp chính xác trước khi được chốt, thiết bị có thể thu được các giá trị dây đeo không chính xác.

Lưu ý 3-3 Khi kéo dây đai cấu hình từ bên ngoài lên cao, dây đeo phải được buộc vào VDDIO, ngoại trừ [ĐĂNG KÝ](#) và [INTSEL](#) nên được gắn với VDD2A.

3.7.1 PHYAD[0] : CẤU HÌNH ĐỊA CHỈ PHY

Bit PHYAD0 được điều khiển cao hoặc thấp để cung cấp cho mỗi PHY một địa chỉ duy nhất. Địa chỉ này được chốt vào một thanh ghi bên trong khi kết thúc thiết lập lại phần cứng (mặc định = 0b). Trong ứng dụng nhiều PHY (chẳng hạn như bộ lặp), bộ điều khiển có thể quản lý từng PHY thông qua địa chỉ duy nhất. Mỗi PHY kiểm tra từng khung dữ liệu quản lý để tìm địa chỉ phù hợp trong các bit có liên quan. Khi một trận đấu được nhận dạng, PHY sẽ phản hồi khung cụ thể đó. Địa chỉ PHY cũng được sử dụng để khởi tạo địa mã hóa. Trong ứng dụng nhiều PHY, điều này đảm bảo rằng các địa mã hóa không đồng bộ và phân tán bức xạ điện từ trên phổ tần số.

Địa chỉ SMI của thiết bị có thể được định cấu hình bằng cách sử dụng cấu hình phần cứng thành giá trị 0 hoặc 1. Người dùng có thể định cấu hình địa chỉ PHY bằng Cấu hình phần mềm nếu địa chỉ lớn hơn 1 là bắt buộc. Địa chỉ PHY có thể được viết (sau khi giao tiếp SMI tại một số địa chỉ được thiết lập) bằng cách sử dụng [PHYADbit](#) của [Đăng ký chế độ đặc biệt](#). Các [PHYAD0](#) dây đeo cấu hình phần cứng được ghép với chân RXER.

3.7.2 CHẾ ĐỘ[2:0] : CẤU HÌNH CHẾ ĐỘ

Các CHẾ ĐỘ[2:0] dây đai cấu hình kiểm soát cấu hình của khối kỹ thuật số 10/100. Khi chân nRST được xác nhận lại, các giá trị bit của thanh ghi được tải theo CHẾ ĐỘ[2:0] dây đai cấu hình. Khối kỹ thuật số 10/100 sau đó được cấu hình bởi các giá trị bit của thanh ghi. Khi thiết lập lại mềm xảy ra thông qua [Đặt lại mềm](#) một chút của [Thanh ghi điều khiển cơ bản](#), cấu hình của khối kỹ thuật số 10/100 được điều khiển bởi các giá trị bit của thanh ghi và CHẾ ĐỘ[2:0] dây đai cấu hình không có ảnh hưởng.

Chế độ của thiết bị có thể được định cấu hình bằng cách sử dụng dây đai cấu hình phần cứng như được tóm tắt trong [Bảng 3-6](#). Người dùng có thể định cấu hình chế độ thu phát bằng cách ghi các thanh ghi SMI.

BẢNG 3-4: CHẾ ĐỘ[2:0] XE BUÝT

CHẾ ĐỘ[2:0]	Định nghĩa chế độ	Giá trị bit thanh ghi mặc định	
		đăng ký 0	Đăng ký 4
		[13,12,10,8]	[8,7,6,5]
000	10Base-T bán song công. Tự động đàm phán bị vô hiệu hóa.	0000	không áp dụng
001	10Base-T song công hoàn toàn. Tự động đàm phán bị vô hiệu hóa.	0001	không áp dụng
010	100Base-TX bán song công. Tự động đàm phán bị vô hiệu hóa. CRS đang hoạt động trong khi Truyền và Nhận.	1000	không áp dụng
011	100Base-TX song công hoàn toàn. Tự động đàm phán bị vô hiệu hóa. CRS đang hoạt động trong khi Nhận.	1001	không áp dụng
100	100Base-TX Half Duplex được quảng cáo. Đã bật tự động đàm phán. CRS đang hoạt động trong khi Truyền và Nhận.	1100	0100
101	Chế độ lặp. Đã bật tự động đàm phán. 100Base-TX Half Duplex được quảng cáo. CRS đang hoạt động trong khi Nhận.	1100	0100
110	Chế độ tắt nguồn. Ở chế độ này, bộ thu phát sẽ khởi động ở chế độ Tắt nguồn. Không thể sử dụng bộ thu phát khi các bit MODE[2:0] được đặt ở chế độ này. Để thoát khỏi chế độ này, các bit MODE trong Thanh ghi 18.7:5 (xem Mục 4.2.9, "Đăng ký Chế độ Đặc biệt," trên trang 50) phải được định cấu hình thành một số giá trị khác và thiết lập lại mềm phải được thực hiện.	không áp dụng	không áp dụng
111	Tất cả đều có khả năng. Đã bật tự động đàm phán.	X10X	1111

Các chân cấu hình phần cứng MODE[2:0] được ghép kên với các tín hiệu khác như minh họa trong [Bảng 3-5](#).

BẢNG 3-5: TÊN PIN CHO CHẾ ĐỘ BIT

CHẾ ĐỘ bit	Tên ghim
CHẾ ĐỘ[0]	RXD0/ <u>CHẾ ĐỘ0</u>
CHẾ ĐỘ[1]	RXD1/ <u>CHẾ ĐỘ1</u>

LAN8720A/LAN8720AI

BẢNG 3-5: TÊN PIN CHO CHẾ ĐỘ BIT

CHẾ ĐỘ bit	Tên ghim
CHẾ ĐỘ[2]	CRS_DV/ <u>CHẾ ĐỘ2</u>

3.7.3 ĐĂNG KÝ: CẤU HÌNH BỘ ĐIỀU CHỈNH +1.2V NỘI BỘ

Sự kết hợp của công nghệ flexPWR cung cấp khả năng vô hiệu hóa bộ điều chỉnh +1.2V bên trong. Khi bộ điều chỉnh bị tắt, nguồn +1.2V bên ngoài phải được cung cấp cho chân VDDCR. Việc tắt bộ điều chỉnh +1,2V bên trong giúp giảm tổng công suất hệ thống, vì bộ điều chỉnh chuyển mạch bên ngoài có hiệu suất cao hơn (so với bộ điều chỉnh tuyến tính bên trong) có thể được sử dụng để cung cấp +1,2V cho mạch thu phát.

Ghi chú: Bởi vì ĐĂNG KÝ dây đeo cấu hình chia sẻ chức năng với chân LED1, nên cũng phải xem xét thích hợp đối với cực của đèn LED. tham khảo [Mục 3.8.1.1, "REGOFF và lựa chọn phân cực LED1,"](#) trên trang 33 để biết thêm thông tin về mối quan hệ giữa ĐĂNG KÝ và cực LED1.

3.7.3.1 Vô hiệu hóa Bộ điều chỉnh +1.2V bên trong

Để vô hiệu hóa bộ điều chỉnh bên trong +1,2V, nên kết nối một điện trở dây đai kéo lên từ ĐĂNG KÝ dây đeo cấu hình sang VDD2A. Khi bật nguồn, sau khi cả VDDIO và VDD2A đều nằm trong thông số kỹ thuật, bộ thu phát sẽ lấy mẫu ĐĂNG KÝ để xác định xem bộ điều chỉnh bên trong có nên bật hay không. Nếu pin được lấy mẫu ở điện áp lớn hơn V_{IH}, thì bộ điều chỉnh bên trong bị vô hiệu hóa và hệ thống phải cung cấp +1,2V cho chân VDDCR. Điện áp VDDIO ít nhất phải bằng 80% mức điện áp hoạt động (1,44V khi hoạt động ở 1,8V, 2,0V khi hoạt động ở 2,5V, 2,64V khi hoạt động ở 3,3V) trước khi cấp điện áp cho VDDCR. Như được mô tả trong [Mục 3.7.4.2](#), khi ĐĂNG KÝ được thả nổi hoặc kết nối với VSS, bộ điều chỉnh bên trong được bật và hệ thống không bắt buộc phải cung cấp +1,2V cho chân VDDCR.

3.7.3.2 Kích hoạt Bộ điều chỉnh +1.2V bên trong

+1,2V cho VDDCR được cung cấp bởi bộ điều chỉnh trên chip trừ khi bộ thu phát được cấu hình cho chế độ tắt bộ điều chỉnh bằng cách sử dụng ĐĂNG KÝ dây đeo cấu hình như được mô tả trong [Mục 3.7.4.1](#). Theo mặc định, bộ điều chỉnh +1.2V bên trong được bật khi ĐĂNG KÝ nổi (do điện trở kéo xuống bên trong). Trong quá trình bật nguồn, nếu ĐĂNG KÝ được lấy mẫu bên dưới V_{IL}, thì bộ điều chỉnh +1.2V bên trong sẽ bật và hoạt động với nguồn điện từ chân VDD2A.

3.7.4 NINTSEL: CẤU HÌNH NINT/REFCLKO

Các NINTSEL dây đeo cấu hình được sử dụng để chọn giữa một trong hai chế độ khả dụng: Chế độ trong REF_CLK (nINT) và Chế độ ngoài REF_CLK. Chế độ được cấu hình xác định chức năng của chân nINT/REFCLKO. Các NINTSEL dây đeo cấu hình được chốt tại POR và trên cạnh tăng của nRST. Theo mặc định, NINTSEL được cấu hình cho chế độ nINT thông qua điện trở kéo lên bên trong.

BẢNG 3-6: CẤU HÌNH NINTSEL

Giá trị dây đeo	Cách thức	mô tả REF_CLK
<u>NINTSEL</u> =0	Chế độ tắt REF_CLK	nINT/REFCLKO là nguồn của REF_CLK.
<u>NINTSEL</u> =1	REF_CLK ở chế độ	nINT/REFCLKO là đầu ra ngắt hoạt động ở mức thấp. - REF_CLK được cấp nguồn bên ngoài và phải được điều khiển trên chân XTAL1/CLKIN.

RMII REF_CLK là đồng hồ liên tục cung cấp tham chiếu thời gian cho CRS_DV, RXD[1:0], TXEN, TXD[1:0] và RXER. Thiết bị sử dụng REF_CLK làm đồng hồ mạng sao cho không cần đệm trên đường truyền dữ liệu. Tuy nhiên, trên đường dẫn dữ liệu nhận, máy thu sẽ khôi phục đồng hồ từ luồng dữ liệu đến. Thiết bị sử dụng bộ đệm đòn hồi để phù hợp với sự khác biệt giữa đồng hồ đã khôi phục và REF_CLK cục bộ.

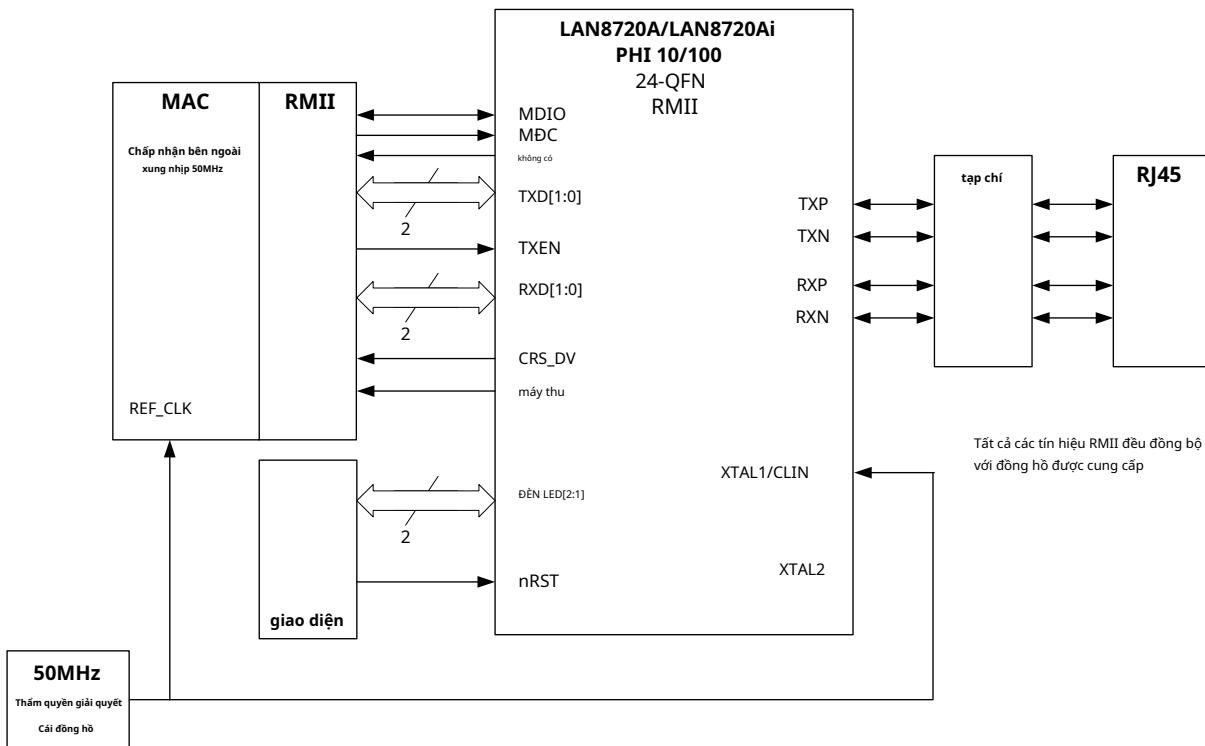
Ở chế độ REF_CLK In, REF_CLK 50MHz được điều khiển trên chân XTAL1/CLKIN. Đây là cấu hình hệ thống truyền thống khi sử dụng RMII và được mô tả trong [Mục 3.7.4.1](#). Khi được định cấu hình cho Chế độ đầu ra REF_CLK, thiết bị sẽ tạo RMII REF_CLK 50 MHz và ngắt nINT không khả dụng. REF_CLK Out Mode cho phép sử dụng tần số 25 MHz chi phí thấp làm tham chiếu cho REF_CLK. Cấu hình này có thể giúp giảm chi phí hệ thống và được mô tả trong [Mục 3.7.4.2](#).

Ghi chú: Bởi vì INTSEL dây đeo cấu hình chia sẻ chức năng với chân LED2, cũng phải xem xét thích hợp đối với cực của đèn LED. tham khảo [Mục 3.8.1.2, "Lựa chọn phân cực nINTSEL và LED2,"](#) trên trang 33 để biết thêm thông tin về mối quan hệ giữa INTSEL và cực LED2.

3.7.4.1 REF_CLK ở chế độ

Ở chế độ REF_CLK In, REF_CLK 50MHz được điều khiển trên chân XTAL1/CLKIN. Nguồn 50 MHz cho REF_CLK phải có sẵn bên ngoài thiết bị khi sử dụng chế độ này. Đồng hồ được điều khiển cho cả MAC và PHY như trong [Hình 3-7](#).

HÌNH 3-7: NGUỒN ĐỒNG HỒ 50MHZ BÊN NGOÀI REF_CLK



3.7.4.2 Chế độ tắt REF_CLK

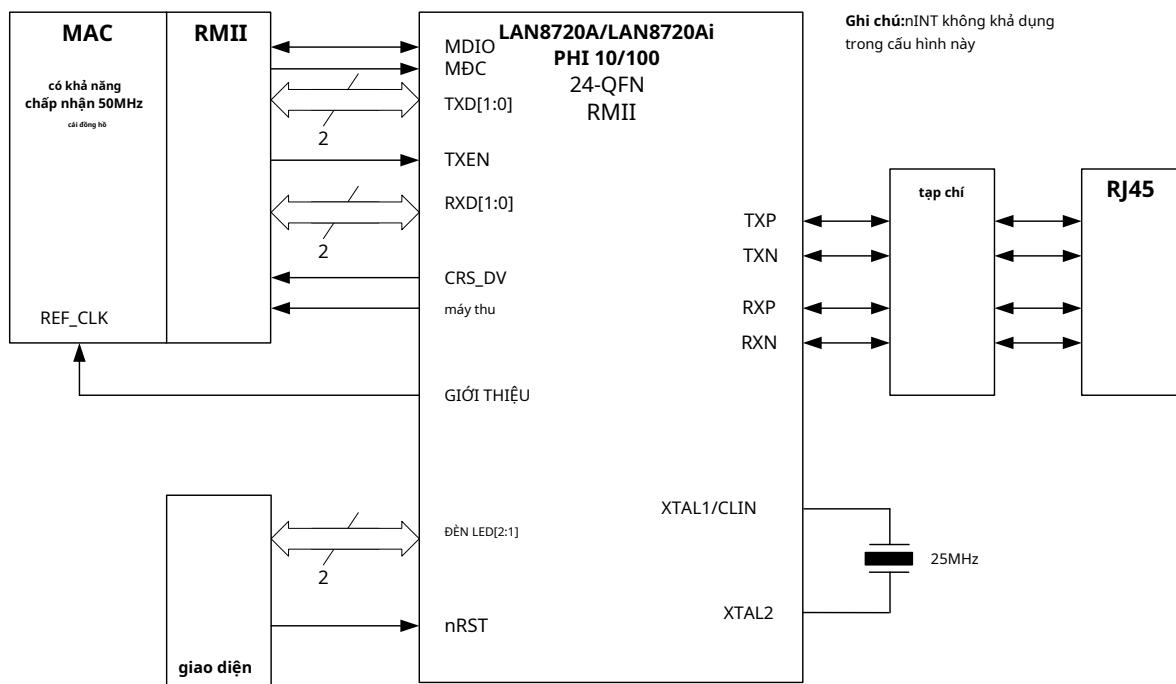
Để giảm chi phí BOM, thiết bị bao gồm một tính năng để tạo tín hiệu RMII REF_CLK từ tinh thể cơ bản 25 MHz chi phí thấp. Loại tinh thể này không đắt so với 3 tinh thể âm bội thường được yêu cầu cho 50 MHz. MAC phải có khả năng hoạt động với đồng hồ bên ngoài để tận dụng tính năng này như trong [Hình 3-8](#).

Để tối ưu hóa kích thước và chi phí gói hàng, chân REFCLKO được ghép kêt với chân nINT. Trong chế độ REF_CLK Out, chức năng nINT bị vô hiệu hóa để phù hợp với việc sử dụng REFCLKO dưới dạng đồng hồ 50 MHz cho MAC.

Ghi chú: Chế độ đầu ra REF_CLK không phải là một phần của Thông số kỹ thuật RMII. Thời gian trong chế độ này không tuân thủ thông số kỹ thuật của RMII. Để đảm bảo hệ thống hoạt động tốt, phải thực hiện phân tích thời gian của MAC và LAN8720.

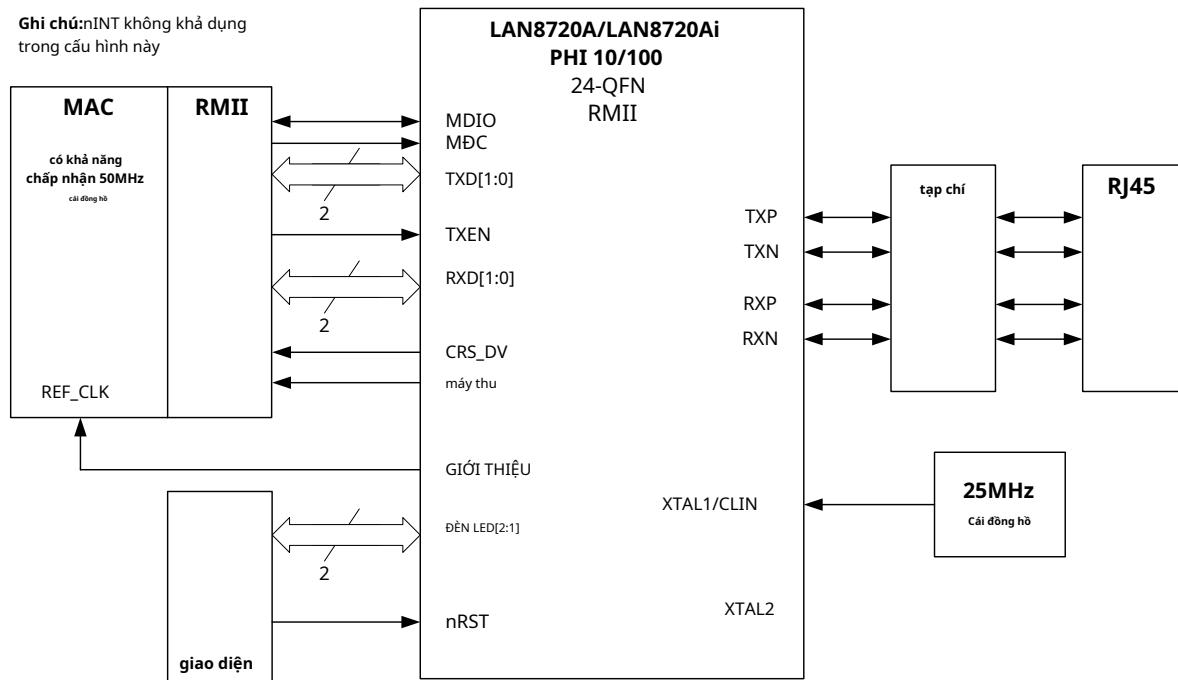
LAN8720A/LAN8720AI

HÌNH 3-8: NGUỒN REF_CLK TỪ PHA LÊ 25MHZ



Trong một số kiến trúc hệ thống, có sẵn nguồn xung nhịp 25 MHz. Thiết bị có thể được sử dụng để tạo REF_CLK cho MAC như trong [HÌNH 3-9](#). Điều quan trọng cần lưu ý là trong ví dụ cụ thể này, chỉ có thể sử dụng đồng hồ 25 MHz (đồng hồ không thể là 50 MHz). Tương tự như chế độ tinh thể 25MHz, chức năng nINT bị tắt.

HÌNH 3-9: NGUỒN REF_CLK TỪ NGUỒN 25MHZ BÊN NGOÀI



3.8 Các chức năng khác

3.8.1 ĐÈN LED

Hai tín hiệu LED được cung cấp như một phương tiện thuận tiện để xác định chế độ hoạt động của bộ thu phát. Tất cả các tín hiệu đèn LED đều ở mức hoạt động cao hoặc hoạt động thấp như được mô tả trong [Mục 3.8.1.2, "Lựa chọn phân cực nINTSEL và LED2"](#) và [Mục 3.8.1.1, "REGOFF và lựa chọn phân cực LED1,"](#) trên trang 33.

Đầu ra LED1 được điều khiển hoạt động bất cứ khi nào thiết bị phát hiện một liên kết hợp lệ và nhấp nháy khi CRS đang hoạt động (cao) cho biết hoạt động.

Đầu ra LED2 được điều khiển hoạt động khi tốc độ hoạt động là 100Mbps. Đèn LED này sẽ không hoạt động khi tốc độ hoạt động là 10Mb/giây hoặc trong khi cách ly đường truyền.

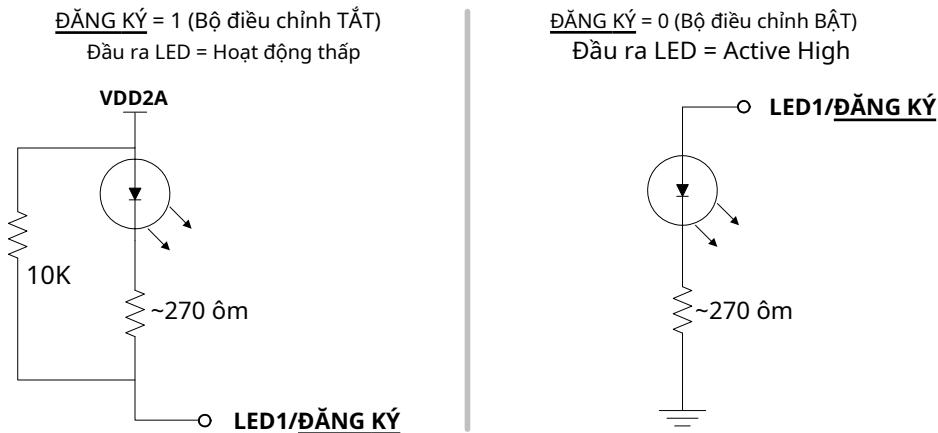
Ghi chú: Khi kéo chân LED1 và LED2 lên cao thì phải buộc vào VDD2A, **KHÔNG** VDDIO.

LAN8720A/LAN8720AI

3.8.1.1 ĐĂNG KÝ và lựa chọn phân cực LED1

Các ĐĂNG KÝ dây đeo cấu hình được chia sẻ với chân LED1. Đầu ra LED1 sẽ tự động thay đổi cực dựa trên sự hiện diện của điện trở kéo lên bên ngoài. Nếu chân LED1 được kéo lên mức cao VDD2A bằng một điện trở kéo lên bên ngoài để chọn mức logic cao cho REGOF F, thì đầu ra LED1 sẽ hoạt động ở mức thấp. Nếu chân LED1 được kéo xuống thấp bởi một điện trở kéo xuống bên trong để chọn mức logic thấp cho REGOF F, khi đó đầu ra LED1 sẽ là đầu ra cao hoạt động. [Hình 3-7](#) chi tiết phân cực LED1 cho mỗi ĐĂNG KÝ cấu hình.

HÌNH 3-10: LED1/ĐĂNG KÝ CẤU HÌNH PHÂN TÍCH

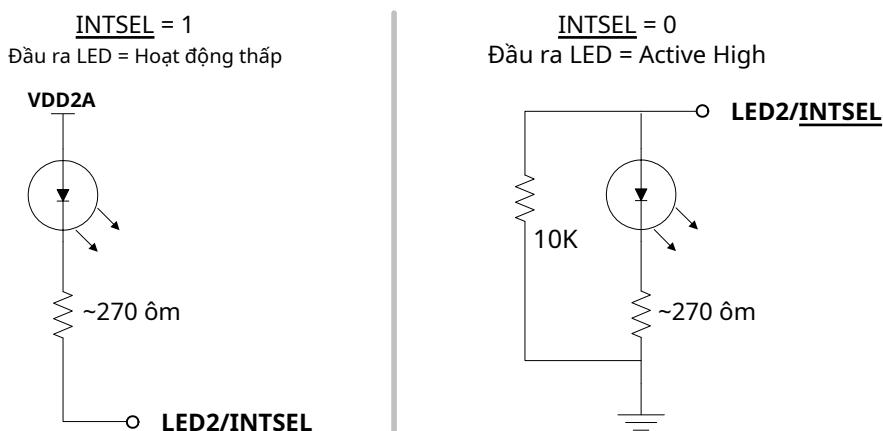


Ghi chú: tham khảo [Mục 3.7.4, "REGOFF: Cấu hình bộ điều chỉnh +1.2V bên trong,"](#) trên trang 32 để biết thêm thông tin về ĐĂNG KÝ dây đeo cấu hình.

3.8.1.2 INTSEL và lựa chọn phân cực LED2

Các INTSEL dây đeo cấu hình được chia sẻ với chân LED2. Đầu ra LED2 sẽ tự động thay đổi cực tính dựa trên sự hiện diện của điện trở kéo xuống bên ngoài. Nếu chân LED2 được kéo lên mức cao VDD2A để chọn mức logic cao cho INTSEL, thì đầu ra LED2 sẽ hoạt động ở mức thấp. Nếu chân LED2 bị kéo xuống thấp bởi một điện trở kéo xuống bên ngoài để chọn mức logic thấp cho INTSEL, thì đầu ra LED2 khi đó sẽ là đầu ra cao hoạt động. [Hình 3-8](#) chi tiết phân cực LED2 cho mỗi INTSEL cấu hình.

HÌNH 3-11: LED2/NINTSEL CẤU HÌNH PHÂN TÍCH



Ghi chú: tham khảo [Mục 3.7.5, "Cấu hình nINTSEL: nINT/TXER/TXD4,"](#) trên trang 32 để biết thêm thông tin về INTSEL dây đeo cấu hình.

3.8.2 BIẾN ÁP I/O

Các chân I/O kỹ thuật số của thiết bị có điện áp thay đổi, cho phép chúng tận dụng khả năng tiết kiệm điện năng thấp từ các công nghệ thu nhỏ. Các chân này có thể hoạt động từ điện áp I/O thấp +1,62V đến +3,6V. Điện áp I/O được áp dụng phải duy trì giá trị của nó với sai số $\pm 10\%$. Việc thay đổi điện áp lên hoặc xuống sau khi bộ thu phát đã hoàn tất thiết lập lại bật nguồn có thể gây ra lỗi trong hoạt động của bộ thu phát. tham khảo [Mục 5.0, "Đặc điểm hoạt động,"](#) trên trang 54 Để biết thêm thông tin chi tiết.

Ghi chú: Tín hiệu đầu vào không được tăng cao trước khi cấp nguồn cho thiết bị.

3.8.3 CHẾ ĐỘ TẮT NGUỒN

Có hai chế độ tắt nguồn thiết bị: Chế độ tắt nguồn chung và Chế độ tắt nguồn phát hiện năng lượng. Các chế độ này được mô tả trong các tiểu mục sau.

3.8.3.1 Tắt nguồn chung

Chế độ tắt nguồn này được điều khiển thông qua [Tắt nguồn](#) một chút của [Thanh ghi điều khiển cơ bản](#). Trong chế độ này, toàn bộ bộ thu phát (ngoại trừ giao diện quản lý) được tắt nguồn và vẫn ở chế độ này miễn là [Tắt nguồn](#) bit là "1". Khi mà [Tắt nguồn](#) bit bị xóa, bộ thu phát bật nguồn và tự động đặt lại.

3.8.3.2 Năng lượng phát hiện Power-Down

Chế độ tắt nguồn này được kích hoạt bằng cách cài đặt [EDPWRDOWN](#) một chút của [Kiểm soát chế độ/Thanh ghi trạng thái](#). Ở chế độ này, khi không có năng lượng trên đường dây, bộ thu phát bị tắt nguồn (ngoại trừ giao diện quản lý, mạch SQUELCH và logic ENERGYON). Logic ENERGYON được sử dụng để phát hiện sự hiện diện của năng lượng hợp lệ từ các tín hiệu 100BASE-TX, 10BASE-T hoặc Tự động thương lượng.

Ở chế độ này, khi [NĂNG LƯỢNG](#) một chút của [Kiểm soát chế độ/Thanh ghi trạng thái](#) ở mức thấp, bộ thu phát bị tắt nguồn và không có gì được truyền đi. Khi năng lượng được nhận thông qua các xung hoặc gói liên kết, [NĂNG LƯỢNG](#) bit tăng cao và bộ thu phát bật nguồn. Thiết bị sẽ tự động đặt lại trạng thái trước khi tắt nguồn và xác nhận ngắt nINT nếu ngắt ENERGYON được bật trong [Đăng ký mặt nạ ngắt](#). Gói đầu tiên và có thể là gói thứ hai để kích hoạt ENERGYON có thể bị mất.

Khi mà [EDPWRDOWN](#) một chút của [Kiểm soát chế độ/Thanh ghi trạng thái](#) thấp, tắt nguồn phát hiện năng lượng bị vô hiệu hóa.

3.8.4 CHẾ ĐỘ CÔ LẬP

Đường dẫn dữ liệu của thiết bị có thể được cách điện khỏi giao diện RMII bằng cách đặt [cô lập](#) một chút của [Thanh ghi điều khiển cơ bản](#) đến "1". Ở chế độ cách ly, bộ thu phát không phản hồi với các đầu vào TXD, TXEN và TXER, nhưng phản hồi với các giao dịch quản lý.

Cách ly cung cấp một phương tiện để nhiều bộ thu phát được kết nối với cùng một giao diện RMII mà không có tranh chấp. Theo mặc định, bộ thu phát không bị cô lập (khi bật nguồn ([cô lập](#)=0)).

3.8.5 ĐẶT LẠI

Thiết bị cung cấp hai hình thức thiết lập lại: Phần cứng và Phần mềm. Các thanh ghi thiết bị được đặt lại bằng cách đặt lại cả Phần cứng và Phần mềm. Các bit thanh ghi chọn lọc, được biểu thị là "NASR" trong định nghĩa thanh ghi, không bị xóa khi đặt lại Phần mềm. Các thanh ghi không được đặt lại bởi các chế độ tắt nguồn được mô tả trong [Mục 3.8.3](#).

Ghi chú: Đổi với 16us đầu tiên sau khi thoát khỏi thiết lập lại, giao diện RMII sẽ chạy ở 2,5 MHz. Sau thời gian này, nó sẽ chuyển sang 25 MHz nếu bật tính năng tự động thương lượng.

3.8.5.1 Đặt lại phần cứng

Thiết lập lại phần cứng được xác nhận bằng cách điều khiển chân đầu vào nRST ở mức thấp. Khi được điều khiển, nRST phải được giữ ở mức thấp trong thời gian tối thiểu được nêu chi tiết trong [Mục 5.5.3, "Thời gian nRST bật nguồn & dây đeo cấu hình,"](#) trên trang 59 để đảm bảo thiết lập lại bộ thu phát thích hợp. Trong quá trình thiết lập lại phần cứng, đồng hồ bên ngoài [phải](#) được cung cấp cho tín hiệu XTAL1/CLKIN.

Ghi chú: Cần thiết lập lại phần cứng (xác nhận nRST) sau khi bật nguồn. tham khảo [Mục 5.5.3, "Thời gian nRST bật nguồn & dây đeo cấu hình,"](#) trên trang 59 Để biết thêm thông tin chi tiết.

3.8.5.2 Đặt lại phần mềm

Đặt lại phần mềm được kích hoạt bằng cách cài đặt [Đặt lại mềm](#) một chút của [Thanh ghi điều khiển cơ bản](#) đến 1". Tất cả các bit thanh ghi, ngoại trừ những bit được chỉ định là "NASR" trong định nghĩa thanh ghi, sẽ bị xóa bằng cách đặt lại Phần mềm. Các [Đặt lại mềm](#) bit là tự xóa. Theo tiêu chuẩn IEEE 802.3u, khoản 22 (22.2.4.1.1), quá trình thiết lập lại sẽ được hoàn thành trong vòng 0,5 giây kể từ khi thiết lập bit này.

LAN8720A/LAN8720AI

3.8.6 CẢM GIÁC VẬN CHUYỂN

Cảm biến sóng mang (CRS) được xuất ra trên chân CRS_DV. CRS là tín hiệu được xác định bởi đặc tả MII trong tiêu chuẩn IEEE 802.3u. Thiết bị xác nhận CRS chỉ dựa trên hoạt động nhận bất cứ khi nào bộ thu phát ở chế độ lặp lại hoặc chế độ song công hoàn toàn. Mặt khác, bộ thu phát xác nhận CRS dựa trên hoạt động truyền hoặc nhận.

Logic cảm biến của sóng mang sử dụng dữ liệu được mã hóa, chưa được xắp xếp lại để xác định trạng thái hoạt động của sóng mang. Nó kích hoạt cảm biến sóng mang với việc phát hiện 2 số 0 không liền kề trong bất kỳ khoảng 10 bit nào. Cảm giác sóng mang chấm dứt nếu một khoảng 10 sóng liên tiếp được phát hiện trước cặp /J/K/ Dấu tách dòng bắt đầu. Nếu một cặp SSD được phát hiện, ý nghĩa của sóng mang sẽ được khẳng định cho đến khi cặp /T/R/ Dấu phân cách cuối luồng hoặc một cặp ký hiệu IDLE được phát hiện. Sóng mang bị phủ định sau ký hiệu /T/ hoặc IDLE đầu tiên. Nếu /T/ không được theo sau bởi /R/, thì sóng mang được duy trì. Nhà cung cấp dịch vụ được đổi xử tương tự đối với IDLE theo sau bởi một số biểu tượng không phải IDLE.

3.8.7 KIỂM TRA SỰ TÍCH HỢP LIÊN KẾT

Thiết bị thực hiện kiểm tra tính toàn vẹn của liên kết như được nêu trong sơ đồ trạng thái Giám sát liên kết IEEE 802.3u (Khoản 24-15). Trạng thái liên kết được ghép với trạng thái liên kết 10Mbps để tạo thành **Trang thái liên kết** một chút trong **Đăng ký trạng thái cơ bản** và để điều khiển đèn LED LINK (LED1).

DSP biểu thị dạng sóng MLT-3 hợp lệ có trên các tín hiệu RXP và RXN như được xác định bởi tiêu chuẩn ANSI X3.263 TP-PMD, cho máy trạng thái Link Monitor, sử dụng tín hiệu DATA_VALID bên trong. Khi DATA_VALID được xác nhận, logic điều khiển sẽ chuyển sang trạng thái Sẵn sàng liên kết và đợi kích hoạt từ khối tự động thương lượng. Khi được nhận, trạng thái Liên kết được nhập và các khối logic Truyền và Nhận sẽ hoạt động. Nếu tính năng tự động thương lượng bị tắt, logic toàn vẹn của liên kết sẽ chuyển sang trạng thái Liên kết khi DATA_VALID được xác nhận.

Để cho phép đường dây ổn định, logic toàn vẹn liên kết sẽ đợi tối thiểu 330 giây kể từ thời điểm DATA_VALID được xác nhận cho đến khi trạng thái Sẵn sàng liên kết được nhập. Nếu đầu vào DATA_VALID bị phủ định bất cứ lúc nào, logic này sẽ ngay lập tức phủ định tín hiệu Liên kết và chuyển sang trạng thái Liên kết xuống.

Khi khối kỹ thuật số 10/100 ở chế độ 10BASE-T, trạng thái liên kết được lấy từ logic máy thu 10BASE-T.

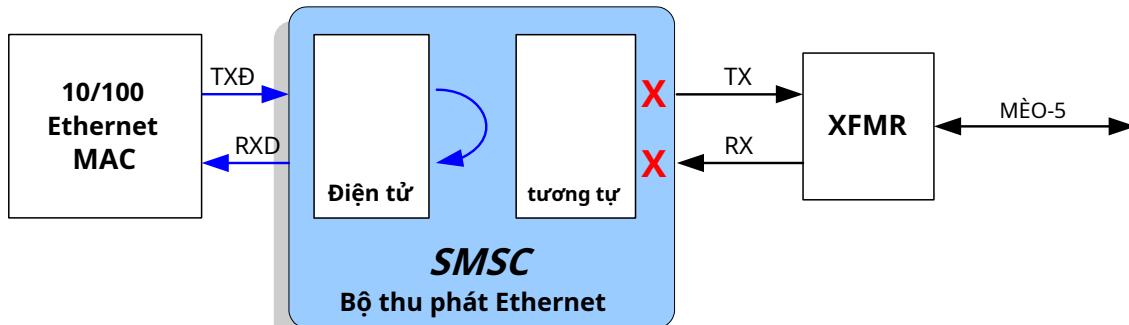
3.8.8 VẬN HÀNH QUAY LẠI

Thiết bị có thể được cấu hình cho vòng lặp gần cuối và vòng lặp xa. Các chế độ lặp lại này được trình bày chi tiết trong các tiểu mục sau.

3.8.8.1 Loopback gần cuối

Chế độ vòng lặp gần cuối gửi dữ liệu truyền kỹ thuật số trở lại tín hiệu dữ liệu nhận cho mục đích thử nghiệm, như được biểu thị bằng mũi tên màu xanh lam trong **Hình 3-9**. Chế độ loopback gần kết thúc được kích hoạt bằng cách cài đặt **lặp lại** một chút của **Thanh ghi điều khiển cơ bản** đến 1". Một tỷ lệ lớn mạch kỹ thuật số đang hoạt động ở chế độ vòng lặp gần cuối vì dữ liệu được định tuyến qua các lớp PCS và PMA vào lớp con PMD trước khi nó được lặp lại. Các máy phát bị tắt nguồn bất kể trạng thái của TXEN.

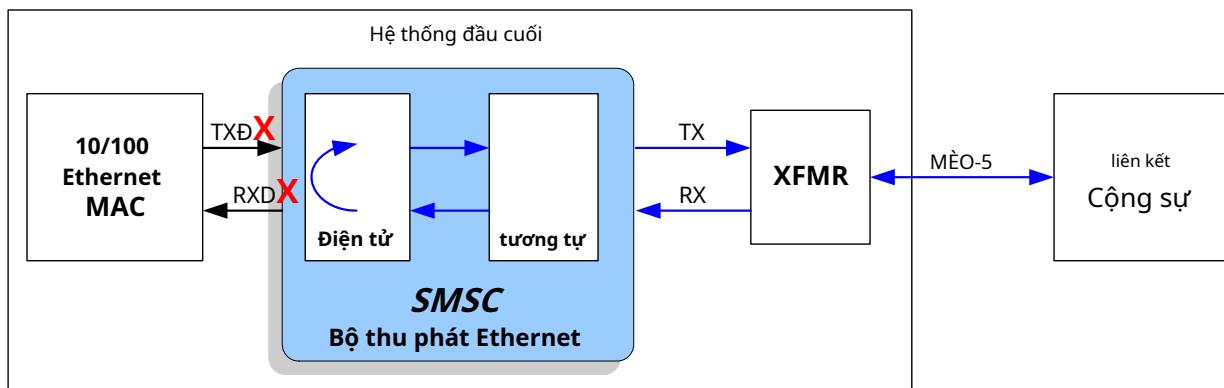
HÌNH 3-12: SƠ ĐỒ KHỐI LOOPBACK GẦN CUỐI



3.8.8.2 Vòng lặp xa

Vòng lặp xa là một chế độ kiểm tra đặc biệt cho vòng lặp MDI (analog) như được biểu thị bằng các mũi tên màu xanh lam trong [Hình 3-11](#). Chế độ loopback xa được kích hoạt bằng cách cài đặt **LAI LAI** một chút của **Kiểm soát chế độ/Thanh ghi trạng thái** đến 1". Trong chế độ này, dữ liệu nhận được từ đối tác liên kết trên MDI được lặp lại cho đối tác liên kết. Các tín hiệu giao diện kỹ thuật số trên giao diện MAC cục bộ được cách ly.

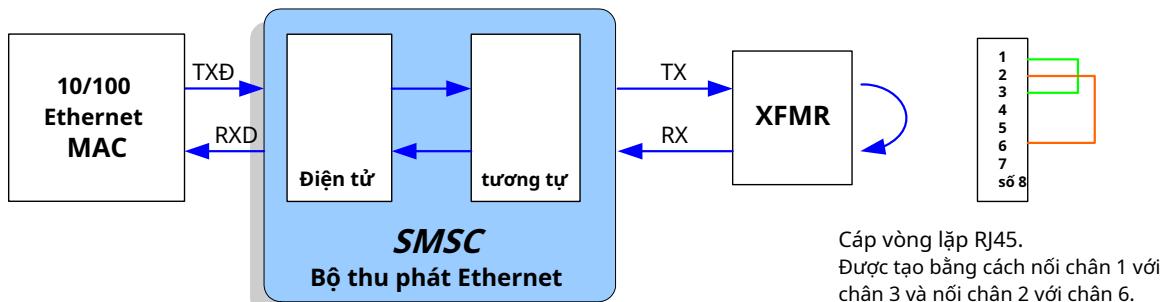
HÌNH 3-13: SƠ ĐỒ KHỐI QUAY LẠI XA



3.8.8.3 Vòng lặp kết nối

Thiết bị này duy trì đường truyền đáng tin cậy qua các dây cáp rất ngắn và có thể được thử nghiệm trong một vòng nối ngược của đầu nối như minh họa trong [Hình 3-11](#). Cáp vòng lặp RJ45 có thể được sử dụng để định tuyến tín hiệu truyền từ đầu ra của máy biến áp trở lại đầu vào máy thu và vòng lặp này sẽ hoạt động ở cả 10 và 100.

HÌNH 3-14: SƠ ĐỒ KHỐI LOOPBACK KẾT NỐI



3.9 Sơ đồ ứng dụng

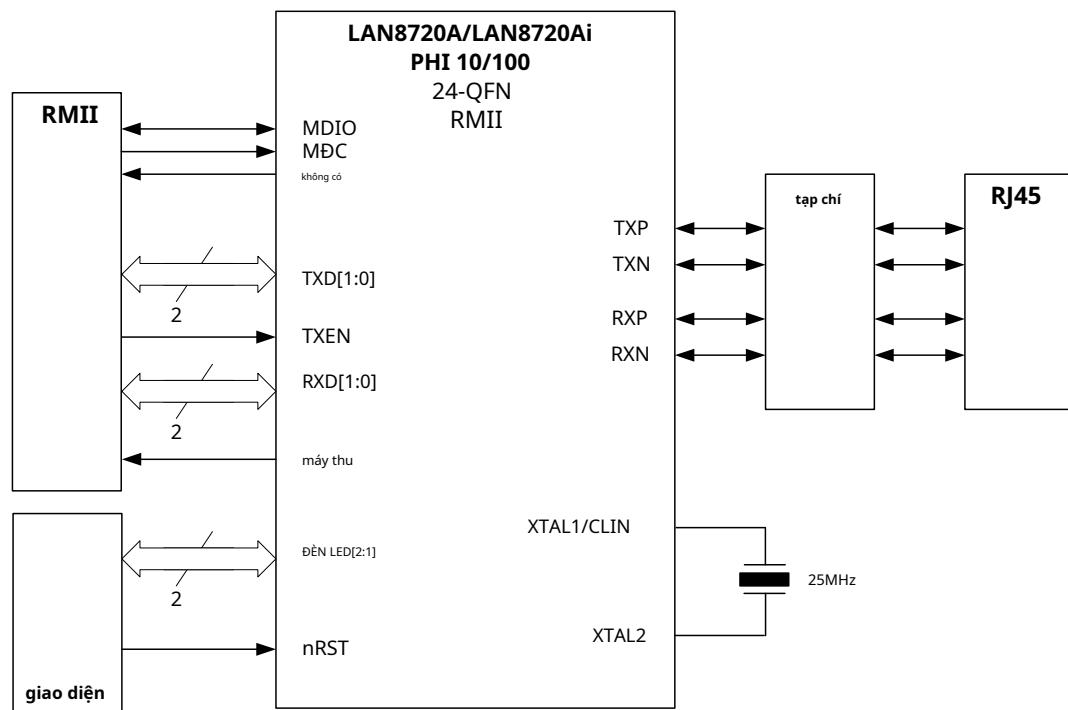
Phần này cung cấp các sơ đồ ứng dụng điển hình cho các mục sau:

- **Sơ đồ ứng dụng cấp hệ thống đơn giản hóa**
 - **Sơ đồ nguồn điện (1,2V được cung cấp bởi Bộ điều chỉnh bên trong)**
 - **Sơ đồ cấp nguồn (1,2V được cung cấp bởi nguồn bên ngoài)**
 - **Sơ đồ giao diện xoắn đôi (Bộ nguồn đơn)**
 - **Sơ đồ giao diện xoắn đôi (Nguồn điện kép)**

LAN8720A/LAN8720AI

3.9.1 SƠ ĐỒ ỨNG DỤNG CẤP HỆ THỐNG ĐƠN GIẢN HÓA

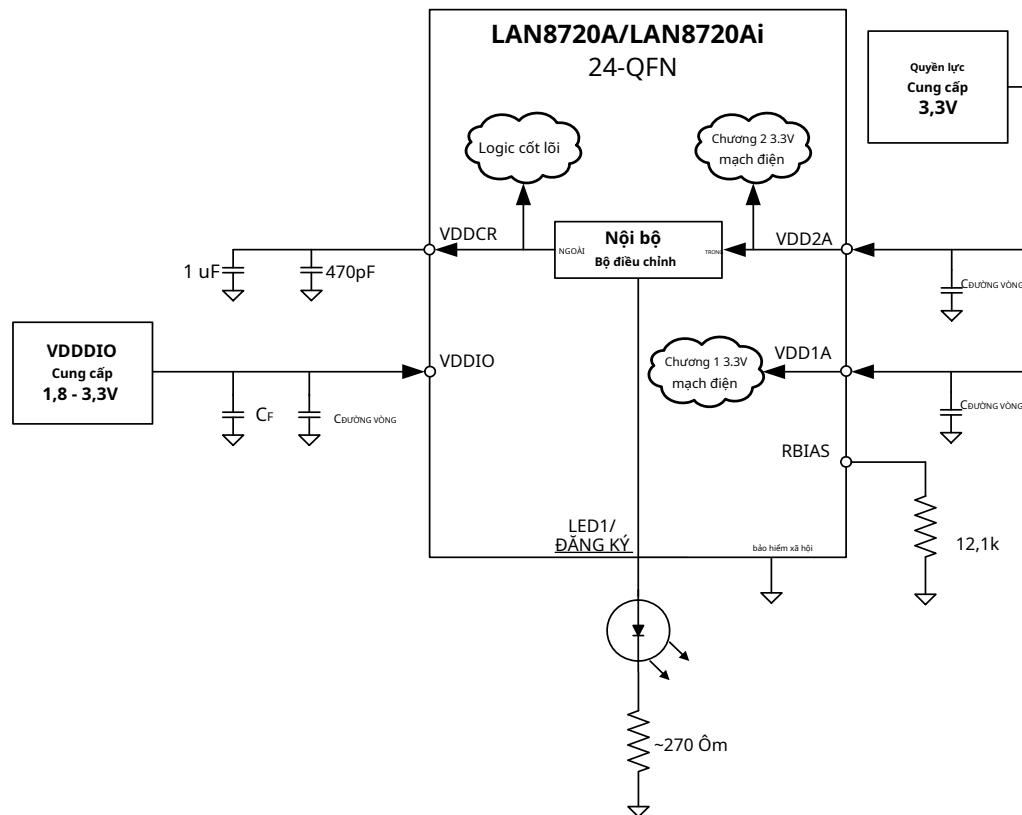
HÌNH 3-15: SƠ ĐỒ ỨNG DỤNG CẤP HỆ THỐNG ĐƠN GIẢN HÓA



LAN8720A/LAN8720AI

3.9.2 SƠ ĐỒ CẤP NGUỒN (1.2V ĐƯỢC CẤP BẰNG BỘ ĐIỀU HÒA TRONG)

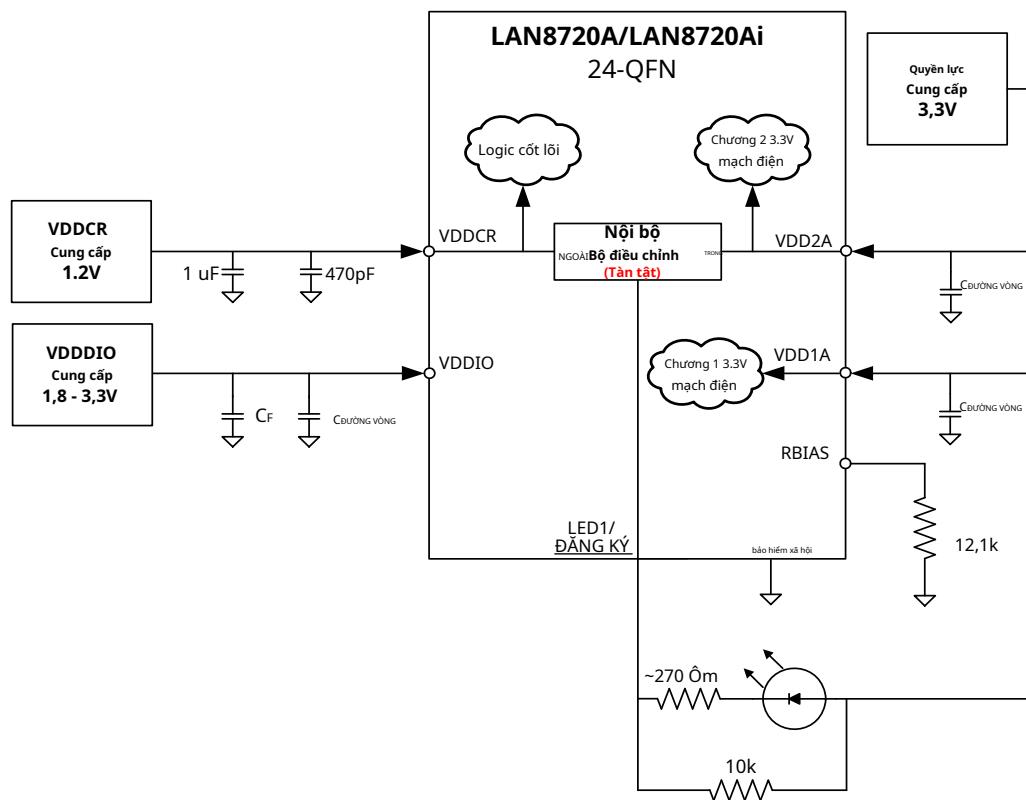
HÌNH 3-16: SƠ ĐỒ CẤP NGUỒN (1.2V ĐƯỢC CẤP BẰNG BỘ ĐIỀU HÒA TRONG)



LAN8720A/LAN8720AI

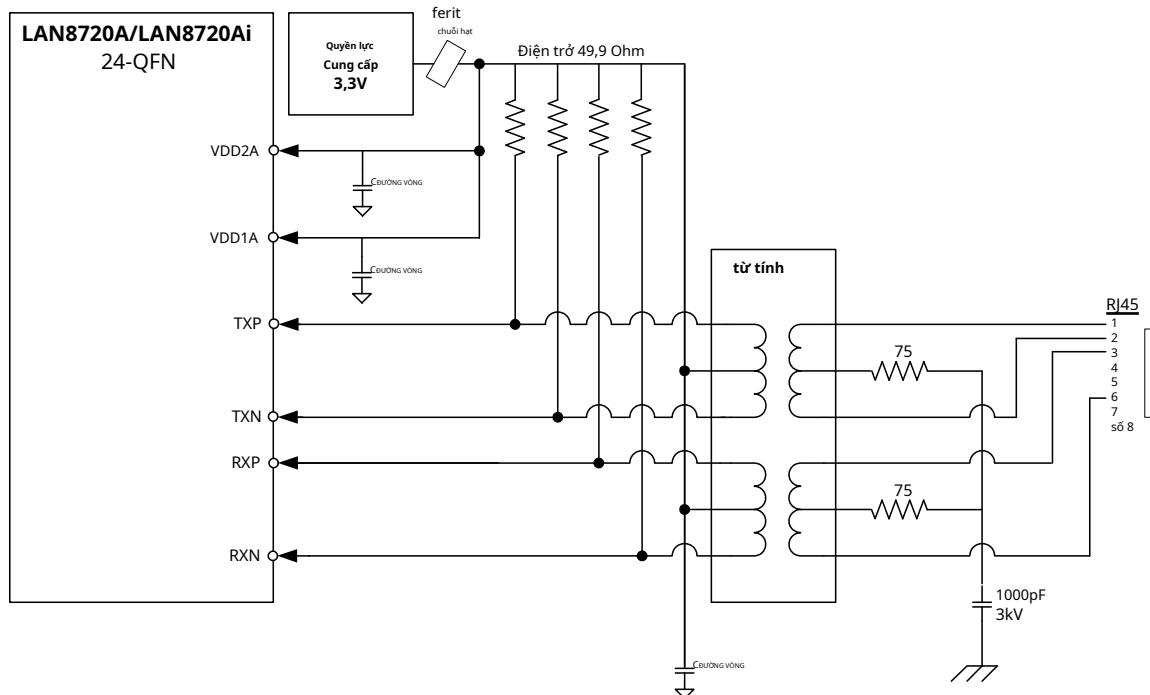
3.9.3 SƠ ĐỒ CẤP NGUỒN (1.2V ĐƯỢC CẤP BẰNG NGUỒN BÊN NGOÀI)

HÌNH 3-17: SƠ ĐỒ CẤP NGUỒN (1.2V ĐƯỢC CẤP BẰNG NGUỒN BÊN NGOÀI)



3.9.4 SƠ ĐỒ GIAO DIỆN XOAY ĐÔI (CUNG CẤP ĐIỆN ĐƠN)

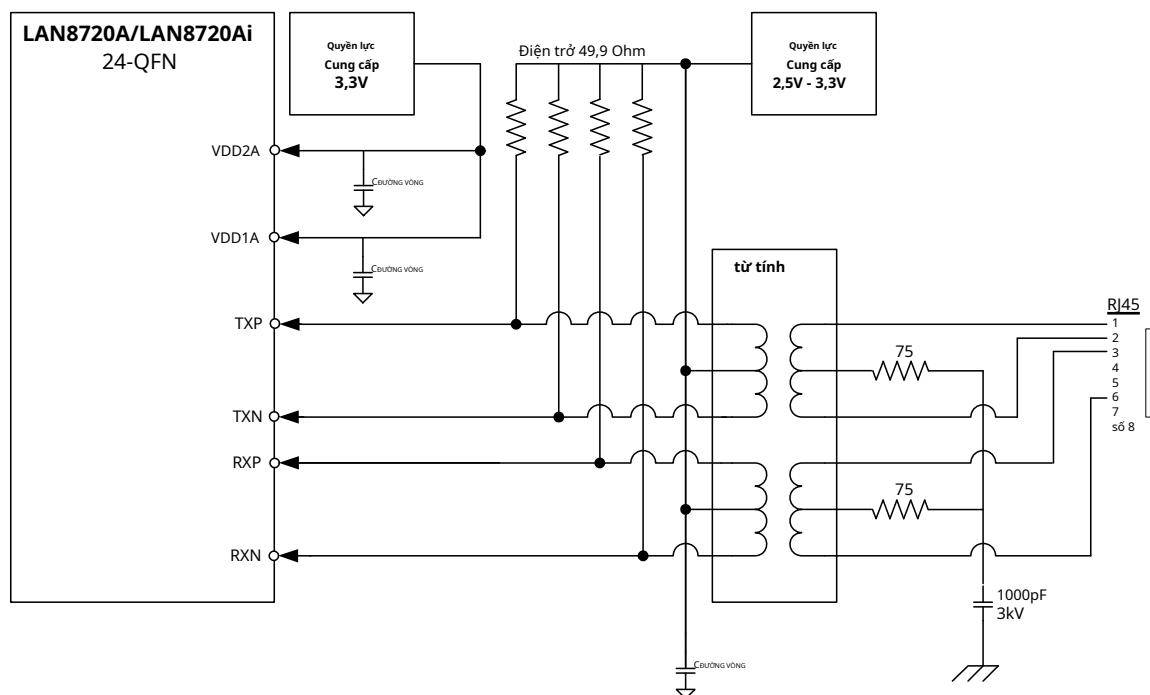
HÌNH 3-18: SƠ ĐỒ GIAO DIỆN XOAY ĐÔI (CUNG CẤP ĐIỆN ĐƠN)



LAN8720A/LAN8720AI

3.9.5 SƠ ĐỒ GIAO DIỆN CĂP XOAY (NGUỒN CẤP ĐIỆN KÉP)

HÌNH 3-19: SƠ ĐỒ GIAO DIỆN CĂP XOAY (NGUỒN CẤP ĐIỆN KÉP)



4.0 ĐĂNG KÝ MÔ TẢ

Chương này mô tả các thanh ghi trạng thái và điều khiển khác nhau (CSR). Tất cả các thanh ghi tuân theo bộ thanh ghi quản lý IEEE 802.3 (mục 22.2.4). Tất cả chức năng và định nghĩa bit tuân theo các tiêu chuẩn này. Chỉ mục thanh ghi được chỉ định của IEEE 802.3 (ở dạng thập phân) được bao gồm trong mỗi định nghĩa thanh ghi, cho phép đánh địa chỉ các thanh ghi này thông qua giao thức Giao diện quản lý nối tiếp (SMI).

4.1 Đăng ký danh pháp

Bảng 4-1 mô tả ký hiệu thuộc tính bit thanh ghi được sử dụng trong toàn bộ tài liệu này.

BẢNG 4-1: ĐĂNG KÝ CÁC LOẠI BIT

Đăng ký loại bit ký hiệu	Đăng ký Bit Mô tả
r	Đọc: Một thanh ghi hoặc bit với thuộc tính này có thể được đọc.
w	Đọc: Một thanh ghi hoặc bit với thuộc tính này có thể được viết.
RO	Chỉ đọc: Chỉ đọc. Viết không có tác dụng.
WO	Chỉ viết: Nếu một thanh ghi hoặc bit chỉ ghi, thì các lần đọc sẽ trả về dữ liệu không xác định.
nhà vệ sinh	Viết một để xóa: viết một xóa giá trị. Viết số 0 không có hiệu lực
WAC	Viết bất cứ điều gì để xóa: viết bất cứ điều gì xóa giá trị.
điều khiển từ xa	Đọc để rõ ràng: Nội dung bị xóa sau khi đọc. Viết không có tác dụng.
LL	chốt thấp: Xóa khi đọc đăng ký.
lh	chốt cao: Xóa khi đọc đăng ký.
SC	Tự xóa: Nội dung được tự xóa sau khi được thiết lập. Viết số không có hiệu lực. Nội dung có thể được đọc.
SS	Tự cài đặt: Nội dung được tự thiết lập sau khi được xóa. Viết của một không có hiệu lực. Nội dung có thể được đọc.
RO/LH	Chỉ đọc, Chốt cao: Các bit có thuộc tính này sẽ ở mức cao cho đến khi bit được đọc. Sau khi nó được đọc, bit sẽ duy trì ở mức cao nếu tình trạng cao vẫn còn hoặc sẽ xuống thấp nếu tình trạng cao đã bị loại bỏ. Nếu bit chưa được đọc, bit sẽ vẫn ở mức cao bất kể sự thay đổi đối với điều kiện cao. Chế độ này được sử dụng trong một số thanh ghi Ethernet PHY.
NASR	Không bị ảnh hưởng bởi Cài đặt lại phần mềm. Trạng thái của các bit NASR không thay đổi khi xác nhận thiết lập lại phần mềm.
KÍN ĐÁO	Trường dành riêng: Các trường dành riêng phải được viết bằng số không để đảm bảo khả năng tương thích trong tương lai. Giá trị của các bit dành riêng không được đảm bảo khi đọc.

Nhiều ký hiệu bit thanh ghi này có thể được kết hợp. Một số ví dụ về điều này được hiển thị dưới đây:

- **R/W:**Có thể được viết. Sẽ trả lại cài đặt hiện tại khi đọc.
- **R/WAC:**Sẽ trả lại cài đặt hiện tại khi đọc. Viết bất cứ điều gì xóa bit.

4.2 Thanh ghi trạng thái và điều khiển

Bảng 4-2 cung cấp một danh sách các thanh ghi được hỗ trợ. Chi tiết đăng ký, bao gồm định nghĩa bit, được cung cấp trong các tiêu mục tiếp theo.

LAN8720A/LAN8720AI

BẢNG 4-2: BẢN ĐỒ ĐĂNG KÝ SMI

Đăng ký chỉ mục (Số thập phân)	Tên đăng ký	Nhóm
0	Thanh ghi điều khiển cơ bản	Nền tảng
1	Đăng ký trạng thái cơ bản	Nền tảng
2	Định danh PHY 1	Mở rộng
3	Định danh PHY 2	Mở rộng
4	Tự động đàm phán Quảng cáo Đăng ký	Mở rộng
5	Liên kết tự động đàm phán Khả năng đối tác Đăng ký	Mở rộng
6	Đăng ký mở rộng tự động đàm phán	Mở rộng
17	Kiểm soát chế độ/Thanh ghi trạng thái	nhà cung cấp cụ thể
18	Chế độ đặc biệt	nhà cung cấp cụ thể
26	Thanh ghi bộ đếm lỗi biểu tượng	nhà cung cấp cụ thể
27	Kiểm soát / Chỉ báo trạng thái Thanh ghi	nhà cung cấp cụ thể
29	Thanh ghi nguồn ngắn	nhà cung cấp cụ thể
30	Đăng ký mặt nạ ngắn	nhà cung cấp cụ thể
31	Kiểm soát đặc biệt/Thanh ghi trạng thái PHY	nhà cung cấp cụ thể

4.2.1 ĐĂNG KÝ KIỂM SOÁT CƠ BẢN

Chỉ mục (Ở dạng thập phân): 0

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15	Đặt lại mềm 1 = thiết lập lại phần mềm. Bit là tự xóa. Khi đặt bit này không đặt bit khác bit trong thanh ghi này. Cấu hình (như được mô tả trong Mục 3.7.2, MODE[2:0]: Cấu hình chế độ) được đặt từ các giá trị bit của thanh ghi chứ không phải từ các chân chế độ.	R/W SC	0b
14	Lặp lại 0 = hoạt động bình thường 1 = chế độ vòng lặp	R/W	0b
13	Chọn tốc độ 0 = 10Mbps 1 = 100Mbps Bị bỏ qua nếu Tự động đàm phán được bật (0,12 = 1).	R/W	Lưu ý 4-1
12	Tự động đàm phán Kích hoạt 0 = tắt quá trình tự động đàm phán 1 = kích hoạt quá trình tự động đàm phán (ghi đè 0,13 và 0,8)	R/W	Lưu ý 4-1

LAN8720A/LAN8720AI

Chút ít	Sự miêu tả	Kiểu	Mặc định
11	Tắt nguồn 0 = hoạt động bình thường 1 = Chế độ tắt nguồn chung Auto-Negotiation Enable phải được xóa trước khi cài đặt Power Down.	R/W	0b
10	cô lập 0 = hoạt động bình thường 1 = cách điện PHY khỏi RMII	R/W	0b
9	Khởi động lại tự động đàm phán 0 = hoạt động bình thường 1 = khởi động lại quá trình tự động điều chỉnh Bit tự xóa.	R/W SC	0b
số 8	Chế độ song công 0 = bán song công 1 = song công hoàn toàn Bị bỏ qua nếu Tự động đàm phán được bật (0,12 = 1).	R/W	Lưu ý 4-1
7:0	KÍN ĐÁO	RO	—

Lưu ý 4-1 Giá trị mặc định của bit này được xác định bởi dây đai cấu hình MODE[2:0]. tham khảo [Mục 3.7.2, MODE\[2:0\]: Cấu hình chế độ](#) Để biết thêm thông tin chi tiết.

4.2.2 ĐĂNG KÝ TÌNH TRẠNG CƠ BẢN

Chỉ mục (Ở dạng thập phân): 1

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15	100BASE-T4 0 = không có khả năng T4 1 = có khả năng T4	RO	0b
14	Song công hoàn toàn 100BASE-TX 0 = không có khả năng song công hoàn toàn TX 1 = TX có khả năng song công hoàn toàn	RO	1b
13	Bán song công 100BASE-TX 0 = không có khả năng bán song công TX 1 = TX có bán song công	RO	1b
12	Song công hoàn toàn 10BASE-T 0 = không 10Mbps với khả năng song công hoàn toàn 1 = 10Mbps với khả năng song công hoàn toàn	RO	1b
11	Bán song công 10BASE-T 0 = không 10Mbps với khả năng bán song công 1 = 10Mbps với khả năng bán song công	RO	1b
10	Song công hoàn toàn 100BASE-T2 0 = PHY không thể thực hiện song công hoàn toàn 100BASE-T2 1 = PHY có thể thực hiện song công hoàn toàn 100BASE-T2	RO	0b

LAN8720A/LAN8720AI

Chút ít	Sự miêu tả	Kiểu	Mặc định
9	Bán song công 100BASE-T2 0 = PHY không thể thực hiện bán song công 100BASE-T2 1 = PHY có thể thực hiện bán song công 100BASE-T2	RO	0b
số 8	Trạng thái mở rộng 0 = không có thông tin trạng thái mở rộng trong thanh ghi 15 1 = thông tin trạng thái mở rộng trong thanh ghi 15	RO	0b
7:6	KÍN ĐÁO	RO	—
5	Hoàn thành tự động đàm phán 0 = quá trình tự động đàm phán chưa hoàn thành 1 = quá trình tự động đàm phán đã hoàn tất	RO	0b
4	Lỗi từ xa 1 = đã phát hiện tình trạng lỗi từ xa 0 = không có lỗi từ xa	RO/LH	0b
3	Khả năng đàm phán tự động 0 = không thể thực hiện chức năng tự động thương lượng 1 = có thể thực hiện chức năng tự động thương lượng	RO	1b
2	Trạng thái liên kết 0 = liên kết không hoạt động 1 = liên kết hoạt động	CUỘN	0b
1	Phát hiện Jabber 0 = không phát hiện tình trạng jabber 1 = phát hiện tình trạng jabber	RO/LH	0b
0	Khả năng mở rộng 0 = không hỗ trợ các thanh ghi khả năng mở rộng 1 = hỗ trợ các thanh ghi khả năng mở rộng	RO	1b

4.2.3 SỐ NHẬN DẠNG PHY 1 ĐĂNG KÝ

Chỉ mục (Ở dạng thập phân): 2

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:0	Số ID PHY Được gán tương ứng cho các bit thứ 3 đến 18 của Mã định danh duy nhất có tổ chức (OUI).	R/W	0007h

4.2.4 SỐ NHẬN DẠNG PHY 2 ĐĂNG KÝ

Chỉ số (Ở dạng thập phân): 3

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:10	Số ID PHY Được gán cho các bit thứ 19 đến 24 của OUI.	R/W	110000b
9:4	Số mô hình Số kiểu máy của nhà sản xuất sáu bit.	R/W	001111b
3:0	Số sửa đổi Số sửa đổi của nhà sản xuất bốn bit.	R/W	Lưu ý 4-2

Lưu ý 4-2 Giá trị mặc định của trường này sẽ thay đổi tùy thuộc vào số phiên bản silicon.

4.2.5 ĐĂNG KÝ QUẢNG CÁO TỰ ĐỘNG

Chỉ mục (Ở dạng thập phân): 4

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:14	KÍN ĐÁO	RO	—
13	Lỗi từ xa 0 = không có lỗi điều khiển từ xa 1 = phát hiện lỗi điều khiển từ xa	R/W	0b
12	KÍN ĐÁO	RO	—
11:10	Tạm dừng hoạt động 00 = Không TẠM DỪNG 01 = TẠM DỪNG đối xứng 10 = TẠM DỪNG đối xứng đối với đối tác liên kết 11 = Hỗ trợ quảng cáo cho cả TẠM DỪNG ĐỐI XỨNG và TẠM DỪNG KHÔNG ĐỐI XỨNG đối với thiết bị cục bộ Ghi chú: Khi cả hai chế độ TẠM DỪNG ĐỐI XỨNG và TẠM DỪNG KHÔNG ĐỐI XỨNG được đặt, thiết bị sẽ chỉ được định cấu hình theo tối đa một trong hai chế độ cài đặt sau khi hoàn tất quá trình tự động thương lượng.	R/W	00b
9	KÍN ĐÁO	RO	—
số 8	Song công hoàn toàn 100BASE-TX 0 = không có khả năng song công hoàn toàn TX 1 = TX có khả năng song công hoàn toàn	R/W	Lưu ý 4-3
7	100BASE-TX 0 = không có khả năng TX 1 = có thể TX	R/W	1b
6	Song công hoàn toàn 10BASE-T 0 = không 10Mbps với khả năng song công hoàn toàn 1 = 10Mbps với khả năng song công hoàn toàn	R/W	Lưu ý 4-3
5	10BASE-T 0 = không có khả năng 10Mbps 1 = có thể 10Mbps	R/W	Lưu ý 4-3

LAN8720A/LAN8720AI

Chút ít	Sự miêu tả	Kiểu	Mặc định
4:0	Trường chọn 00001 = IEEE 802.3	R/W	00001b

Lưu ý 4-3 Giá trị mặc định của bit này được xác định bởi dây đai cấu hình MODE[2:0]. tham khảo [Mục 3.7.2, MODE\[2:0\]: Cấu hình chế độ](#) Để biết thêm thông tin chi tiết.

4.2.6 TỰ ĐỘNG ĐÀM PHÁN LIÊN KẾT ĐỐI TÁC KHẢ NĂNG ĐĂNG KÝ

Chỉ số (Ở dạng thập phân): 5

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15	Trang tiếp theo 0 = không có trang tiếp theo 1 = có trang tiếp theo Ghi chú: Thiết bị này không hỗ trợ khả năng trang tiếp theo.	RO	0b
14	Thừa nhận 0 = từ mã liên kết chưa nhận được 1 = từ mã liên kết nhận được từ đối tác	RO	0b
13	Lỗi từ xa 0 = không có lỗi điều khiển từ xa 1 = phát hiện lỗi điều khiển từ xa	RO	0b
12:11	KÍN ĐÁO	RO	—
10	Tạm dừng hoạt động 0 = Không TẠM DỪNG được hỗ trợ bởi trạm đối tác 1 = TẠM DỪNG được hỗ trợ bởi trạm đối tác	RO	0b
9	100BASE-T4 0 = không có khả năng T4 1 = có khả năng T4 Ghi chú: Thiết bị này không hỗ trợ khả năng T4.	RO	0b
8	Song công hoàn toàn 100BASE-TX 0 = không có khả năng song công hoàn toàn TX 1 = TX có khả năng song công hoàn toàn	RO	0b
7	100BASE-TX 0 = không có khả năng TX 1 = có thể TX	RO	0b
6	Song công hoàn toàn 10BASE-T 0 = không 10Mbps với khả năng song công hoàn toàn 1 = 10Mbps với khả năng song công hoàn toàn	RO	0b
5	10BASE-T 0 = không có khả năng 10Mbps 1 = có thể 10Mbps	RO	0b
4:0	Trường chọn 00001 = IEEE 802.3	RO	00001b

4.2.7 ĐĂNG KÝ MỞ RỘNG MỞ RỘNG TỰ ĐỘNG

Chỉ mục (Ở dạng thập phân): 6

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:5	KÍN ĐÁO	RO	—
4	Lỗi phát hiện song song 0 = không phát hiện lỗi bằng logic phát hiện song song 1 = lỗi được phát hiện bởi logic phát hiện song song	RO/LH	0b
3	Liên kết đối tác Trang tiếp theo Có thể 0 = đối tác liên kết không có khả năng trang tiếp theo 1 = đối tác liên kết có khả năng trang tiếp theo	RO	0b
2	Trang tiếp theo Có thể 0 = thiết bị cục bộ không có khả năng trang tiếp theo 1 = thiết bị cục bộ có khả năng trang tiếp theo	RO	0b
1	Trang đã nhận 0 = chưa nhận được trang mới 1 = đã nhận được trang mới	RO/LH	0b
0	Liên kết đối tác tự động đàm phán có thể 0 = đối tác liên kết không có khả năng tự động thương lượng 1 = đối tác liên kết có khả năng tự động thương lượng	RO	0b

4.2.8 ĐIỀU KHIỂN CHẾ ĐỘ/ĐĂNG KÝ TÌNH TRẠNG

Chỉ mục (Ở dạng thập phân): 17

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:14	KÍN ĐÁO	RO	—
13	EDPWRDOWN Kích hoạt chế độ Power-Down Power Detect: 0 = Tắt nguồn phát hiện năng lượng bị tắt 1 = Tắt nguồn phát hiện năng lượng được bật	R/W	0b
12:10	KÍN ĐÁO	RO	—
9	LẠI LẠI Cho phép chế độ quay vòng xa (ví dụ: tất cả các gói đã nhận được gửi quay lại đồng thời (chỉ ở 100BASE-TX)). Chế độ này hoạt động ngay cả khi Isolate bit (0,10) được đặt. 0 = Chế độ quay vòng xa bị tắt 1 = Chế độ quay vòng xa được bật tham khảo Mục 3.8.9.2, Vòng lặp xa Để biết thêm thông tin chi tiết.	R/W	0b

LAN8720A/LAN8720AI

Chút ít	Sự miêu tả	Kiểu	Mặc định
8:7	KÍN ĐÁO	RO	—
6	THAY ĐỔI Chế độ ngắt thay thế: 0 = Kích hoạt hệ thống ngắt chính (Mặc định) 1 = Kích hoạt hệ thống ngắt thay thế tham khảo Mục 3.6, Quản lý ngắt Để biết thêm thông tin chi tiết.	R/W	0b
5:2	KÍN ĐÁO	RO	—
1	NĂNG LƯỢNG Cho biết năng lượng có được phát hiện hay không. Bit này chuyển sang "0" nếu không hợp lệ năng lượng được phát hiện trong vòng 256ms. Nó được thiết lập lại thành "1" bằng cách thiết lập lại phần cứng và không bị ảnh hưởng bởi thiết lập lại phần mềm. tham khảo Mục 3.8.3.2, Tất nguồn phát hiện năng lượng Để biết thêm thông tin chi tiết.	RO	1b
0	KÍN ĐÁO	R/W	0b

4.2.9 ĐĂNG KÝ CHẾ ĐỘ ĐẶC BIỆT

Chỉ mục (Ở dạng thập phân): 18

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15	KÍN ĐÁO	RO	—
14	KÍN ĐÁO Viết như 1, bỏ qua khi đọc.	R/W NASR	1b
13:8	KÍN ĐÁO	RO	—
7:5	CÁCH THỨC Chế độ hoạt động của bộ thu phát. tham khảo Mục 3.7.2, MODE[2:0]: Cấu hình chế độ Để biết thêm chi tiết.	R/W NASR	Lưu ý 4-5
4:0	PHYAD Địa chỉ PHY. Địa chỉ PHY được sử dụng cho địa chỉ SMI và cho mã hóa khóa Mật mã (Scrambler). tham khảo Mục 3.7.1, PHYAD[2:0]: Cấu hình địa chỉ PHY Để biết thêm chi tiết.	R/W NASR	Lưu ý 4-6

Lưu ý 4-4 Giá trị mặc định của trường này được xác định bởi dây đai cấu hình MODE[2:0]. tham khảo [Mục 3.7.2,
 MODE\[2:0\]: Cấu hình chế độ](#) Để biết thêm thông tin chi tiết.

Lưu ý 4-5 Giá trị mặc định của trường này được xác định bởi dây đeo cấu hình PHYAD[0]. tham khảo [Mục 3.7.1,
 PHYAD\[2:0\]: Cấu hình địa chỉ PHY](#) Để biết thêm thông tin chi tiết.

4.2.10 ĐĂNG KÝ BỘ ĐẾM LỖI BIỂU TƯỢNG

Chỉ mục (Ở dạng thập phân): 26

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:0	SYM_ERR_CNT Bộ đếm lỗi ký hiệu tăng bất cứ khi nào nhận được ký hiệu mã không hợp lệ (bao gồm cả ký hiệu IDLE) ở chế độ 100BASE-TX. Bộ đếm chỉ được tăng lên một lần cho mỗi gói, ngay cả khi gói nhận được chứa nhiều lỗi ký hiệu. Bộ đếm này tăng lên tới 65.536 (216) và chuyển về 0 sau khi đạt giá trị lớn nhất. Ghi chú: Thanh ghi này bị xóa khi thiết lập lại, nhưng không bị xóa bằng cách đọc thanh ghi. Thanh ghi này không tăng trong chế độ 10BASE-T.	RO	0000h

4.2.11 Thanh ghi chỉ thị trạng thái/kiểm soát đặc biệt

Chỉ mục (Ở dạng thập phân): 27

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15	AMDIXCTRL Điều khiển HP Auto-MDIX: 0 = Bật Tự động MDIX 1 = Tắt Auto-MDIX (sử dụng 27.13 để điều khiển kênh)	R/W	0b
14	KÍN ĐÁO	RO	—
13	CH_SELECT Chọn kênh thu công: 0 = MDI (TX truyền, RX nhận) 1 = MDIX (TX nhận, RX truyền)	R/W	0b
12	KÍN ĐÁO	RO	—
11	SQEOFF Tắt kiểm tra SQE (Nhịp tim): 0 = Đã bật kiểm tra SQE 1 = Kiểm tra SQE bị tắt	R/W NASR	0b
10:5	KÍN ĐÁO	RO	—
4	XPOL Trạng thái phân cực của 10BASE-T: 0 = Cực bình thường 1 = Đảo ngược cực	RO	0b
3:0	KÍN ĐÁO	RO	—

4.2.12 Thanh ghi cờ nguồn ngắn

Chỉ mục (Ở dạng thập phân): 29

Kích cỡ:

16 bit

LAN8720A/LAN8720AI

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:8	KÍN ĐÁO	RO	—
7	INT7 0 = không phải nguồn ngắt 1 = NĂNG LƯƠNG được tạo ra	RO/LH	0b
6	INT6 0 = không phải nguồn ngắt 1 = Hoàn thành Tự động thương lượng	RO/LH	0b
5	INT5 0 = không phải nguồn ngắt 1 = Đã phát hiện lỗi từ xa	RO/LH	0b
4	INT4 0 = không phải nguồn ngắt 1 = Liên kết xuống (trạng thái liên kết bị phủ nhận)	RO/LH	0b
3	INT3 0 = không phải nguồn ngắt 1 = Xác nhận LP tự động đàm phán	RO/LH	0b
2	INT2 0 = không phải nguồn ngắt 1 = Lỗi phát hiện song song	RO/LH	0b
1	INT1 0 = không phải nguồn ngắt 1 = Đã nhận trang tự động đàm phán	RO/LH	0b
0	KÍN ĐÁO	RO	0b

4.2.13 ĐĂNG KÝ MẶT NẠ NGẮT

Chỉ số (Ở dạng thập phân): 30

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:8	KÍN ĐÁO	RO	—
7:1	Bit mặt nạ 0 = nguồn ngắt bị che 1 = nguyên ngắt được bật Ghi chú: tham khảo Mục 4.2.12, Thanh ghi cờ nguồn ngắt để biết chi tiết về các định nghĩa ngắt tương ứng.	R/W	0000000b
0	KÍN ĐÁO	RO	—

LAN8720A/LAN8720AI

4.2.14 THANH KIỂM SOÁT ĐẶC BIỆT/ĐĂNG KÝ TÌNH TRẠNG

Chỉ mục (Ở dạng thập phân): 31

Kích cỡ:

16 bit

Chút ít	Sự miêu tả	Kiểu	Mặc định
15:13	KÍN ĐÁO	RO	—
12	Tự động hoàn thành Dấu hiệu tự động thương lượng đã hoàn tất: 0 = Tự động thương lượng không được thực hiện hoặc bị vô hiệu hóa (hoặc không hoạt động) 1 = Tự động thương lượng được thực hiện	RO	0b
11:5	RESERVED - Viết dưới dạng 0000010b, bỏ qua khi đọc.	R/W	0000010b
4:2	Chỉ báo tốc độ Giá trị HCDSPEED: 001 = 10BASE-T bán song công 101 = 10BASE-T bán song công 010 = 100BASE-TX bán song công 110 = 100BASE-TX bán song công	RO	XXX
1:0	KÍN ĐÁO	RO	—

LAN8720A/LAN8720AI

5.0 ĐẶC ĐIỂM HOẠT ĐỘNG

5.1 Xếp hạng tối đa tuyệt đối*

Điện áp nguồn (VDDIO, VDD1A, VDD2A) ([Lưu ý 5-1](#)) -0,5V đến +3,6V Điện áp cung cấp lõi kỹ thuật số (VDDCR) ([Lưu ý 5-1](#)) -0,5V đến +1,5V Điện áp cung cấp từ tính Ethernet -0,5V đến +3,6V Điện áp dương trên chân tín hiệu, đối với đất ([Lưu ý 5-2](#)) +6V Điện áp âm trên các chân tín hiệu, đối với đất ([Lưu ý 5-3](#)) -0,5V Điện áp dương trên XTAL1/CLKIN, đối với đất +3,6V Điện áp dương trên XTAL2, đối với đất +2,5V Nhiệt độ Hoạt động Môi trường trong Không khí Tĩnh (TMỘT) [Lưu ý 5-40](#) Nhiệt độ bảo quản -55°C đến +150°C Giao lộ C với Môi trường xung quanh (-JA) 59.8°C Giao diện C/W với Trưởng hợp (-JC) 12.6°C Phạm vi nhiệt độ chì C/W Tham khảo JEDEC Thông số kỹ thuật Hiệu suất ESD J-STD-020 HBM trên mỗi JEDEC JESD22-A114 Hiệu suất ESD phóng điện tiếp xúc Class 3A IEC61000-4-2 ([Lưu ý 5-5](#)) +/-8kV IEC61000-4-2 Hiệu suất ESD phóng điện trong khe hở không khí ([Lưu ý 5-5](#)) +/- Hiệu suất chốt 15kV trên mỗi EIA/JESD 78 +/-150mA

Lưu ý 5-1 Khi cấp nguồn cho thiết bị này từ nguồn cấp điện của phòng thí nghiệm hoặc hệ thống, điều quan trọng là không được vượt quá định mức tối đa tuyệt đối nếu không có thể dẫn đến lỗi thiết bị. Một số bộ nguồn có điện áp tăng đột biến ở đầu ra khi bật hoặc tắt nguồn AC. Ngoài ra, quá độ điện áp trên đường dây nguồn AC có thể xuất hiện trên đầu ra DC. Nếu khả năng này tồn tại, nên sử dụng mạch kẹp.

Lưu ý 5-2 Xếp hạng này không áp dụng cho các chân sau: XTAL1/CLKIN, XTAL2, RBIAS. Xếp

Lưu ý 5-3 hạng này không áp dụng cho các chân sau: RBIAS.

Lưu ý 5-4 0°C đến +85°C cho phiên bản thương mại mở rộng, -40°C đến +85°C cho phiên bản công nghiệp. Được

Lưu ý 5-5 thực hiện bởi cơ sở thử nghiệm bên thứ 3 độc lập.

* Ứng suất vượt quá những mức được liệt kê trong phần này có thể gây hư hỏng vĩnh viễn cho thiết bị. Đây chỉ là một đánh giá cảng thẳng. Tiếp xúc với các điều kiện xếp hạng tối đa tuyệt đối trong thời gian dài có thể ảnh hưởng đến độ tin cậy của thiết bị. Hoạt động chức năng của thiết bị ở bất kỳ điều kiện nào vượt quá những gì được chỉ định trong [Mục 5.2, "Điều kiện hoạt động**"](#), [Mục 5.1, "Xếp hạng tối đa tuyệt đối"](#) hoặc bất kỳ phần áp dụng nào khác của thông số kỹ thuật này không được ngụ ý. Lưu ý, tín hiệu thiết bị là KHÔNG Chứa được 5 volt trừ khi có quy định khác.

5.2 Điều kiện hoạt động**

Điện áp cung cấp (VDDIO) Điện áp cung cấp cổng Analog +1,62V đến +3,6V (VDD1A, VDD2A) Điện áp cung cấp lõi kỹ thuật số +3,0V đến +3,6V (VDDCR) +1,08V đến +1,32 Điện áp cung cấp từ tính V Ethernet +2,25V đến +3,6V Nhiệt độ hoạt động xung quanh trong không khí tĩnh (TMỘT) [Lưu ý 5-4](#)

** Hoạt động bình thường của thiết bị chỉ được đảm bảo trong phạm vi được chỉ định trong phần này. Sau khi thiết bị hoàn tất cấp nguồn, VDDIO và bộ cấp nguồn từ tính phải duy trì mức điện áp ở mức +/-10%. Việc thay đổi điện áp lớn hơn +/-10% sau khi thiết bị bật nguồn xong có thể gây ra lỗi trong quá trình vận hành thiết bị.

Ghi chú: Không điều khiển tín hiệu đầu vào mà không có nguồn cung cấp cho thiết bị.

5.3 Mức tiêu thụ điện năng

Phần này trình bày chi tiết các phép đo công suất của thiết bị được thực hiện trong các điều kiện hoạt động khác nhau. Trừ khi có ghi chú khác, tất cả các phép đo được thực hiện với nguồn điện có giá trị danh định (VDDIO, VDD1A, VDD2A = 3,3V, VDDCR = 1,2V). Nhìn thấy [Mục 3.8.3, Chế độ tắt nguồn](#) để biết mô tả về các chế độ tắt nguồn. Để biết thêm thông tin về các chế độ REF_- CLK, hãy xem [Mục 3.7.4, nINTSEL: Cấu hình nINT/REFCLKO](#).

5.3.1 REF_CLK TRONG CHẾ ĐỘ

BẢNG 5-1: CHỈ THIẾT BỊ TIÊU THỤ HIỆN TẠI VÀ TIÊU THỤ ĐIỆN (REF_CLK TRONG CHẾ ĐỘ)

Nhóm Pin Nguồn	VDDA3.3 Quyền lực PinS(mA)	VDDCR Quyền lực ghim (mA)	VDDIO quyền lực ghim (mA)	Tổng công Hiện hành (mA)	Tổng công Quyền lực (mW)
Lưu lượng truy cập 100BASE-TX /w	tối đa	28	21	0,6	49
	Đặc trưng	26	19	0,5	45
	tối thiểu	23	18	0,3	41
Lưu lượng truy cập 10BASE-T /w	tối đa	9,7	13	0,6	24
	Đặc trưng	8,9	12	0,5	22
	tối thiểu	8.3	12	0,3	20
Phát hiện năng lượng Tắt nguồn	tối đa	4.2	3.0	0,2	7.4
	Đặc trưng	4.1	1.9	0,2	6.2
	tối thiểu	3.9	1.9	0	5,8
Tắt nguồn chung	tối đa	0,4	2,8	0,2	3.4
	Đặc trưng	0,3	1.8	0,2	2.3
	tối thiểu	0,3	1.7	0	2

Lưu ý 5-6 Dòng điện tại VDDCR được cung cấp bởi bộ điều chỉnh bên trong từ dòng điện đi vào tại VDD2A hoặc từ nguồn cung cấp 1,2V bên ngoài khi bộ điều chỉnh bên trong bị tắt.

Lưu ý 5-7 Các phép đo dòng điện không bao gồm nguồn cấp cho từ tính hoặc đèn LED bên ngoài tùy chọn. Dòng điện thành phần Ethernet thường là 41mA ở chế độ 100BASE-TX và 100mA ở chế độ 10BASE-T, không phụ thuộc vào đường ray cung cấp 2,5V hoặc 3,3V của máy biến áp.

Lưu ý 5-8 Được tính toán khi kích hoạt đầy đủ các tính năng flexPWR: VDDIO=1.8V & bộ điều chỉnh bên trong bị tắt.

LAN8720A/LAN8720AI

5.3.2 REF_CLK NGOÀI CHẾ ĐỘ

TCÓ THỂ 5-2: CHỈ THIẾT BỊ TIÊU THỤ HIỆN TẠI VÀ TIÊU THỤ ĐIỆN (CHẾ ĐỘ REF_CLK OUT)

Nhóm Pin Nguồn		VDDA3.3 Quyền lực Ghim (mA)	VDDCR Quyền lực Ghim (mA)	VDDIO Quyền lực Ghim (mA)	Tổng cộng Hiện hành (mA)	Tổng cộng Quyền lực (mW)
Lưu lượng truy cập 100BASE-T /w	tối đa	28	20	6.3	54	179
	Đặc trưng	26	19	5,8	50	164
	tối thiểu	22	15	2.9	39	93 Lưu ý 5-11
Lưu lượng truy cập 10BASE-T /w	tối đa	9,9	13	6.4	30	96
	Đặc trưng	8,8	12	5.6	26	85
	tối thiểu	7.1	10	3.0	20	41 Lưu ý 5-11
Phát hiện năng lượng Tắt nguồn	tối đa	4,5	2.7	0,3	7,5	25
	Đặc trưng	4.0	1,5	0,2	5,7	19
	tối thiểu	3.9	1.2	0	5.1	15 Lưu ý 5-11
Tắt nguồn chung	tối đa	0,4	2,5	0,2	3.1	10.2
	Đặc trưng	0,4	1.3	0,2	1.9	6.3
	tối thiểu	0,4	1.0	0	1.4	2,5 Lưu ý 5-11

Lưu ý 5-9 Dòng điện tại VDDCR được cung cấp bởi bộ điều chỉnh bên trong từ dòng điện đi vào tại VDD2A hoặc từ nguồn cung cấp 1,2V bên ngoài khi bộ điều chỉnh bên trong bị tắt.

Lưu ý 5-10 Các phép đo dòng điện không bao gồm nguồn cấp cho từ tính hoặc đèn LED bên ngoài tùy chọn. Dòng điện thành phần Ethernet thường là 41mA ở chế độ 100BASE-TX và 100mA ở chế độ 10BASE-T, không phụ thuộc vào đường ray cung cấp 2,5V hoặc 3,3V của máy biến áp.

Lưu ý 5-11 Được tính toán khi kích hoạt đầy đủ các tính năng flexPWR: VDDIO=1.8V & bộ điều chỉnh bên trong bị tắt.

5.4 Thông số kỹ thuật DC

BẢNG 5-2:chi tiết các đặc điểm bộ đệm I/O không thay đổi. Các loại bộ đệm này không hỗ trợ hoạt động điện áp thay đổi.
BẢNG 5-3:chi tiết các đặc tính bộ đệm I/O điện áp thay đổi. Các giá trị tiêu biểu được cung cấp cho các trường hợp VDDIO 1,8V, 2,5V và 3,3V.

BẢNG 5-3: ĐẶC ĐIỂM BỘ ĐỆM I/O KHÔNG BIẾN

Tham số	Biểu tượng	tối thiểu	gõ	tối đa	Các đơn vị	ghi chú
Bộ đệm đầu vào loại IS	VTỐI XIN CHÀO	Mức đầu vào thấp	VILI	- 0,3		
					V	
		Mức đầu vào cao		3.6	V	
		Ngưỡng đi tiêu cực	VILT	1,01	1,39	V
		Ngưỡng tích cực	VIHT	1,39	1,59	V
		Trễ kích hoạt Schmitt (VIHT- VILT)	VHYS	336	399	mV
		Rò rỉ đầu vào (VTRONG= VSS hoặc VDDIO)	TỐI H	- 10	10	uA
điện dung đầu vào	CTRONG			2	pF	Lưu ý 5-9
Bộ đệm loại O12	Vcv					
		Mức đầu ra thấp		0,4	V	TÔIcv= 12mA
		Mức đầu ra cao	Võ	VDD2A - 0,4	V	TÔIõ= -12mA
Bộ đệm loại ICLK (Đầu vào XTAL1)	VTỐI XIN CHÀO					Lưu ý 5-10
		Mức đầu vào thấp	VILI	- 0,3	0,35	
		Mức đầu vào cao		0,9	3.6	

Lưu ý 5-12 Thông số kỹ thuật này áp dụng cho tất cả các đầu vào và chân hai chiều ba trạng thái. Điện trở kéo xuống và kéo lên bên trong thêm +/- 50uA mỗi chân (điển hình).

Lưu ý 5-13 XTAL1/CLKIN có thể được điều khiển tùy chọn từ bộ tạo dao động xung nhịp một đầu 25 MHz.

LAN8720A/ LAN8720AI

BẢNG 5-4: ĐẶC ĐIỂM BÔ ĐÊM I/O BIẾN ĐỔI

Tham số	Biểu tượng	tối thiểu	1.8V gõ	2,5V gõ	3,3V gõ	tối đa	Các đơn vị	ghi chú
Bộ đệm đầu vào loại VIS								
Mức đầu vào thấp	VILI	- 0,3					V	
Mức đầu vào cao	V _{TỐI XIN CHÀO}					3,6	V	
Ngưỡng phủ định	VILT	0,64	0,83	1,15	1,41	1,76	V	kích hoạt Schmitt
Pos-Đi Ngưỡng	VIHT	0,81	0,99	1,29	1,65	1,90	V	kích hoạt Schmitt
Schmitt Trigger Hysteresis (VIHT- VILT)	VHYS	102	158	136	138	288	mV	
Rò rỉ đầu vào (V _{TRONG} = VSS hoặc VDDIO)	T _{ỐI H}	- 10				10	uA	Lưu ý 5-11
điện dung đầu vào	C _{TRONG}					2	pF	
Bộ đệm loại VO8								
Mức đầu ra thấp	V _{CV}					0,4	V	T _{ỐI CV} = 8mA
Mức đầu ra cao	V _O	VDDIO - 0,4					V	T _{ỐI O} = -8mA
Bộ đệm loại VOD8								
Mức đầu ra thấp	V _{CV}					0,4	V	T _{ỐI CV} = 8mA

Lưu ý 5-14 Thông số kỹ thuật này áp dụng cho tất cả các đầu vào và chân hai chiều ba trạng thái. Điện trở kéo xuống và kéo lên bên trong thêm +/- 50uA mỗi chân (điển hình).

BẢNG 5-5: ĐẶC TÍNH BỘ THU PHÁT 100BASE-TX

Tham số	Biểu tượng	tối thiểu	gõ	tối đa	Các đơn vị	ghi chú
Điện áp đầu ra chênh lệch đỉnh cao	V _{PPH}	950	—	1050	mVpk	Lưu ý 5-12
Điện áp đầu ra chênh lệch đỉnh thấp	V _{PPL}	- 950	—	- 1050	mVpk	Lưu ý 5-12
Đổi xứng biên độ tín hiệu	V _{SS}	98	—	102	%	Lưu ý 5-12
Thời gian tăng và giảm tín hiệu	t _{RF}	3.0	—	5.0	nS	Lưu ý 5-12
Tăng và Giảm Đổi Xứng	t _{RFS}	—	—	0,5	nS	Lưu ý 5-12
Biến dạng chu kỳ nhiệm vụ	Đ.địa CD	35	50	65	%	Lưu ý 5-13
Overshoot và Undershoot	Vhệ điều hành	—	—	5	%	—
bồn chồn	—	—	—	1.4	nS	Lưu ý 5-14

Lưu ý 5-15 Đo ở phía đường dây của máy biến áp, đường dây được thay bằng điện trở 100- (+/-)

Lưu ý 5-16 1%). Đô lệch từ độ rộng xung 16nS ở 50% đỉnh xung.

Lưu ý 5-17 Được đo lường khác nhau.

BẢNG 5-6: ĐẶC TÍNH BỘ THU PHÁT 10BASE-T

Tham số	Biểu tượng	tối thiểu	gõ	tối đa	các đơn vị	ghi chú
Điện áp đầu ra chênh lệch cực đại của máy phát	V _{NGOÀI}	2,2	2,5	2,8	V	Lưu ý 5-15
Ngưỡng Squelch vi sai của máy thu	V _{ĐS}	300	420	585	mV	—

Lưu ý 5-18 Điện áp tối thiểu/tối đa được đảm bảo khi đo với tải điện trở 100.

Thông số kỹ thuật 5,5 AC

Phần này trình bày chi tiết các thông số kỹ thuật thời gian AC khác nhau của thiết bị.

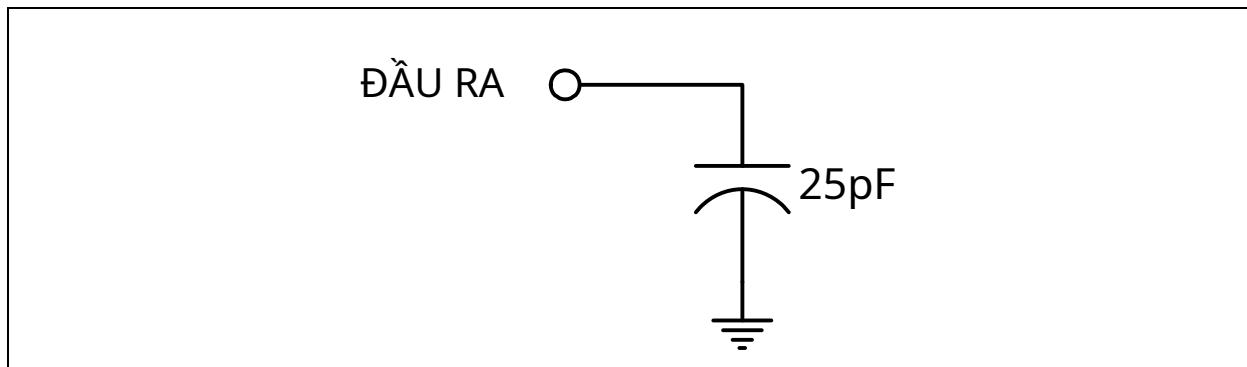
Lưu ý 5-19 Thời gian SMI tuân theo đặc tả IEEE 802.3. Tham khảo thông số kỹ thuật IEEE 802.3 để biết thêm thông tin về thời gian.

Lưu ý 5-20 Thời gian RMII tuân thủ Thông số kỹ thuật RMII R1.2 của Hiệp hội RMII.

5.5.1 TẢI TRONG THỬ NGHIỆM TƯƠNG ĐƯƠNG

Thông số kỹ thuật thời gian đầu ra giả sử tải thử nghiệm tương đương 25pF, trừ khi có ghi chú khác, như được minh họa trong [Hình 5-1](#) dưới.

HÌNH 5-1: TẢI THỬ NGHIỆM TƯƠNG ĐƯƠNG ĐẦU RA

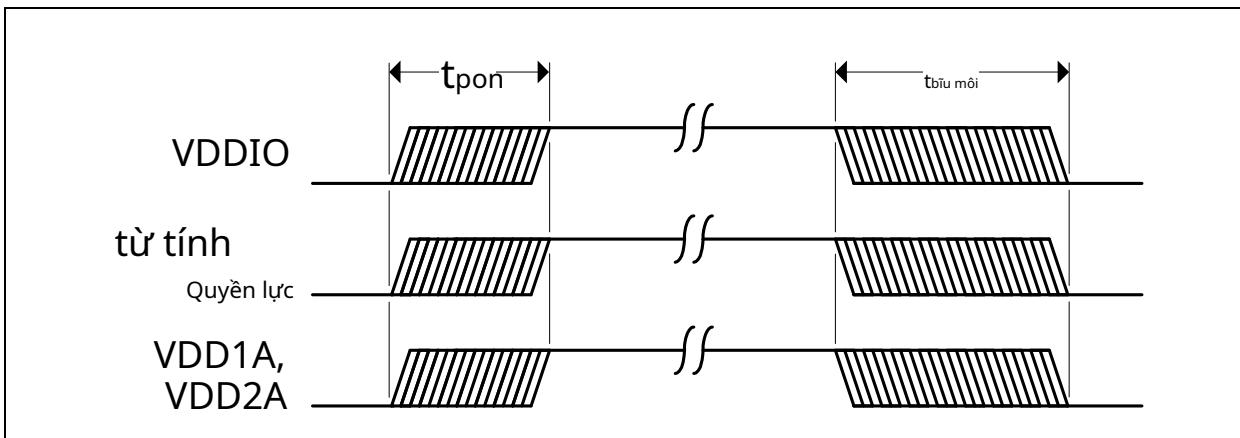


LAN8720A/LAN8720AI

5.5.2 THỜI GIAN TRÌNH TỰ CÔNG SUẤT

Sơ đồ này minh họa các yêu cầu về trình tự cấp nguồn của thiết bị. Các bộ nguồn VDDIO, VDD1A, VDD2A và từ tính có thể bật theo bất kỳ thứ tự nào miễn là tất cả chúng đều đạt đến mức hoạt động trong khoảng thời gian được chỉ định t_{pon} . Nguồn điện của thiết bị có thể tắt theo bất kỳ thứ tự nào miễn là tắt cả chúng đều đạt 0 volt trong khoảng thời gian được chỉ định $t_{bíu mồi}$.

HÌNH 5-2: THỜI GIAN TRÌNH TỰ CÔNG SUẤT



BẢNG 5-7: GIÁ TRỊ THỜI GIAN TRÌNH TỰ CÔNG SUẤT

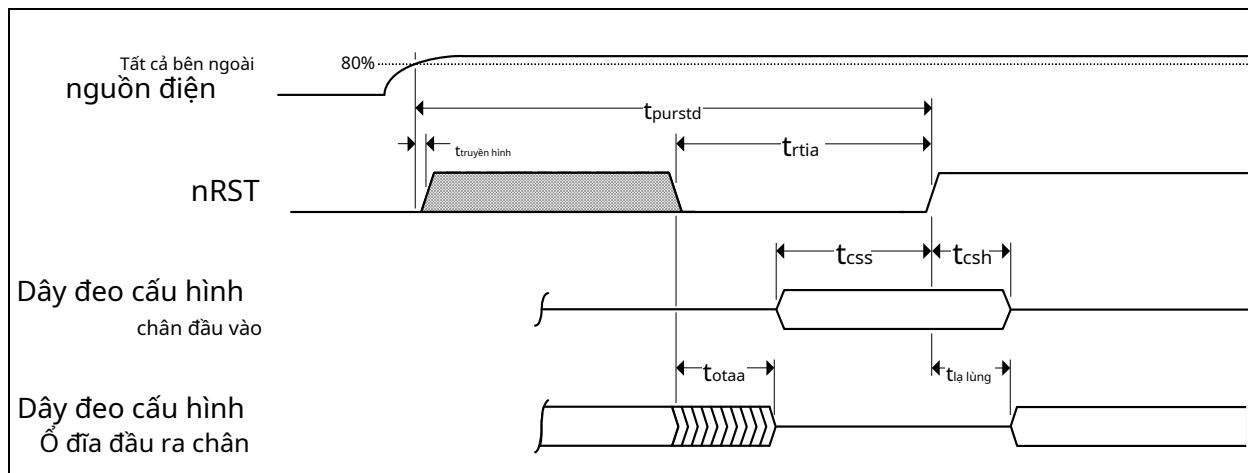
Biểu tượng	Sự miêu tả	tối thiểu	gõ	tối đa	Các đơn vị
t_{pon}	Cung cấp điện bật thời gian	—	—	50	bệnh đa xơ cứng
$t_{bíu mồi}$	Thời gian tắt nguồn	—	—	500	bệnh đa xơ cứng

Ghi chú: Khi bộ điều chỉnh bên trong bị vô hiệu hóa, tồn tại mối quan hệ trình tự bật nguồn giữa VDDCR và nguồn điện 3,3V. Để biết thêm thông tin tham khảo [Mục 3.7.4, REGOFF: Cấu hình bộ điều chỉnh +1.2V bên trong](#).

5.5.3 NRST BẬT NGUỒN & THỜI GIAN DÂY ĐEO CẤU HÌNH

Sơ đồ này minh họa các yêu cầu về thời gian của dây đeo cấu hình và thiết lập lại nRST liên quan đến bật nguồn. Cần thiết lập lại phần cứng (xác nhận nRST) sau khi bật nguồn. Để hoạt động bình thường, nRST phải được xác nhận không ít hơn t_{rtia} . Chân nRST có thể được xác nhận bất cứ lúc nào, nhưng không được xác nhận lại trước khi $t_{purstdsau}$ khi tất cả các nguồn điện bên ngoài đã đạt đến 80% mức hoạt động danh nghĩa của chúng. Để các giá trị dây đeo cấu hình hợp lệ được đọc khi bật nguồn, t_{css} và t_{csh} các ràng buộc về thời gian phải được tuân theo. tham khảo [Mục 3.8.5, Đặt lại](#) Để biết thêm thông tin chi tiết.

HÌNH 5-3: NRST BẬT NGUỒN & THỜI GIAN DÂY ĐEO CẤU HÌNH



BẢNG 5-8: NRST BẬT NGUỒN & GIÁ TRỊ THỜI GIAN DÂY ĐEO CẤU HÌNH

biểu tượng	SỰ MÔ TẢ	tối thiểu	đánh máy	tối đa	các đơn vị
t_{purstd}	Nguồn điện bên ngoài ở mức xác nhận 80% đến nRST	25	—	—	bên ngoài
t_{truyen_hinh}	Nguồn điện bên ngoài ở mức 80% đến nRST hợp lệ	0	—	—	nS
t_{trtia}	Thời gian xác nhận đầu vào nRST	100	—	—	-S
t_{css}	Thiết lập chân dây đeo cầu hình để xác nhận lại nRST	200	—	—	nS
t_{csh}	Các chân của dây đeo cầu hình được giữ sau khi xác nhận lại nRST	1	—	—	nS
t_{totaa}	Xuất ba trạng thái sau khi xác nhận nRST		—	50	nS
t_{tie_lung}	Ổ đĩa đầu ra sau khi xác nhận lại nRST	2	—	800 (Lưu ý 5-20)	nS

Lưu ý 5-21 xác nhận lại nRST phải đơn điệu.

Lưu ý 5-22 Dây đai cầu hình thiết bị được chốt do xác nhận nRST. tham khảo [Mục 3.7, Dây đai cầu hình](#) để biết chi tiết. Dây đai cầu hình chỉ được kéo cao hoặc thấp và không được điều khiển như đầu vào.

Lưu ý 5-23 20 chu kỳ xung nhịp cho 25MHz hoặc 40 chu kỳ xung nhịp cho 50MHz.

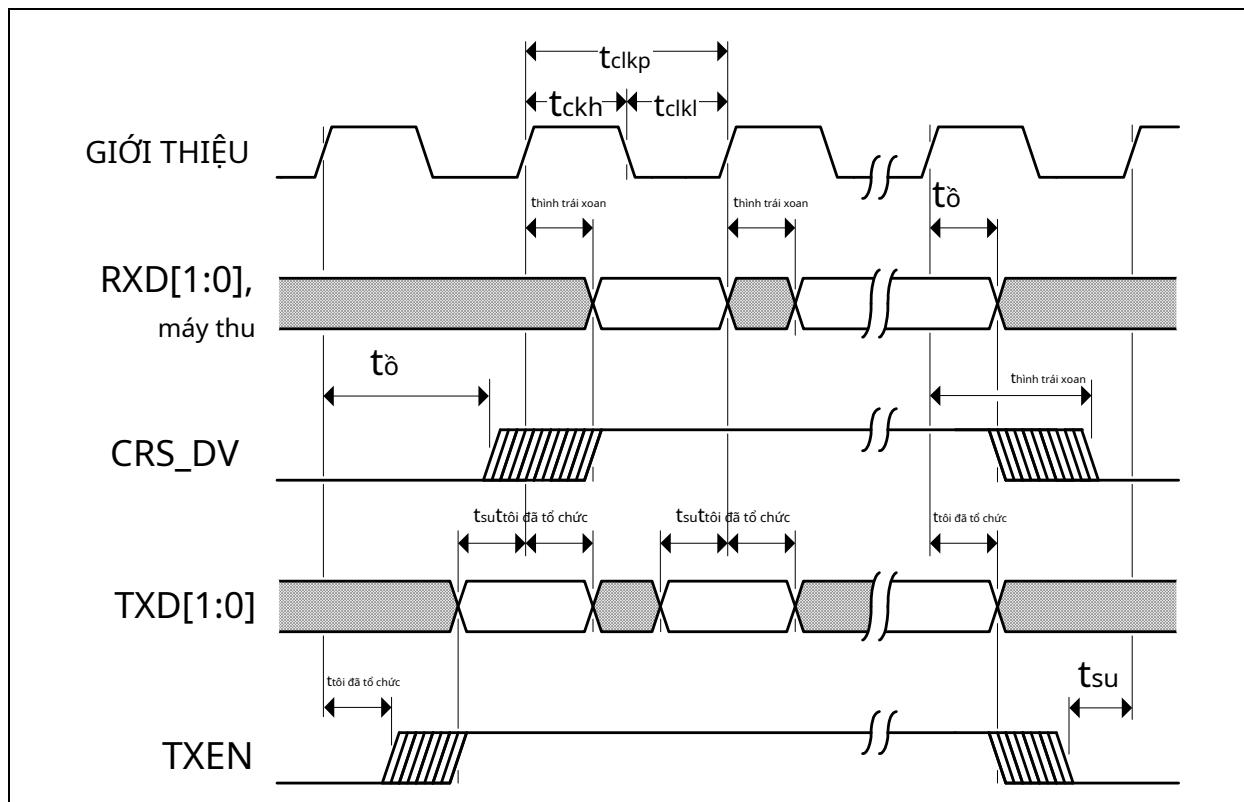
LAN8720A/LAN8720AI

5.5.4 THỜI GIAN GIAO DIỆN RMII

5.5.4.1 Thời gian RMII (Chế độ đầu ra REF_CLK)

Thời gian REF_CLK OUT 50MHz áp dụng cho trường hợp khi INTSEL được kéo xuống thấp. Ở chế độ này, bộ tạo dao động đồng hồ hoặc tinh thể 25 MHz phải được nhập vào trên các chân XTAL1/CLKIN và XTAL2. Để biết thêm thông tin về Chế độ ngoài REF_CLK, hãy xem [Mục 3.7.4.2, Chế độ đầu ra REF_CLK](#).

HÌNH 5-4: THỜI GIAN RMII (CHẾ ĐỘ NGOÀI REF_CLK)



BẢNG 5-9: GIÁ TRỊ THỜI GIAN CỦA RMII (CHẾ ĐỘ NGOÀI REF_CLK)

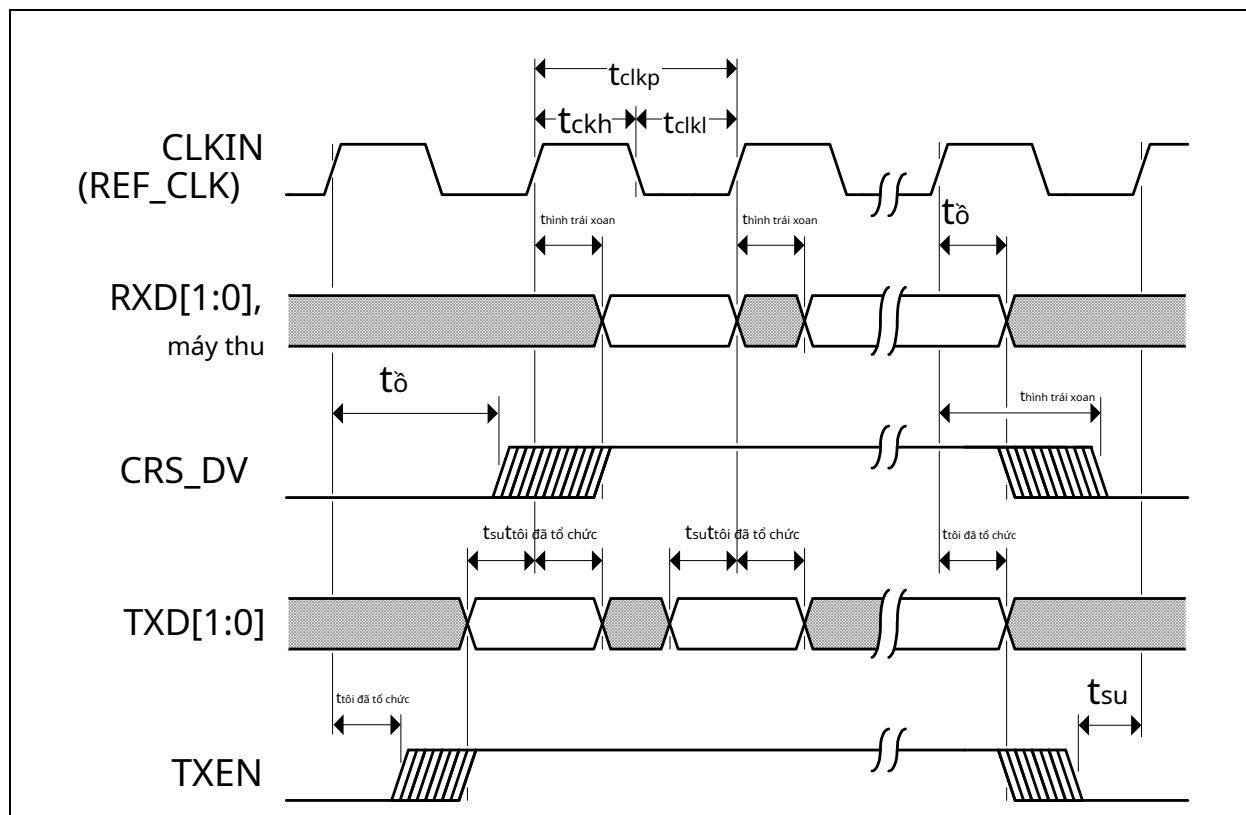
Biểu tượng	Sự miêu tả	tối thiểu	tối đa	các đơn vị	ghi chú
t_{clkp}	thời gian REFCLKO	20	—	ns	—
t_{ckh}	REFCLKO thời gian cao	$t_{clkp} \times 0,4$	$t_{clkp} \times 0,6$	ns	—
t_{clk1}	REFCLKO thời gian thấp	$t_{clkp} \times 0,4$	$t_{clkp} \times 0,6$	ns	—
thỉnh trai xoan	Đầu ra RXD[1:0], RXER, CRS_DV hợp lệ từ cạnh lên của REFCLKO	—	5.0	ns	Lưu ý 5-24
t_{θ}	Giữ đầu ra RXD[1:0], RXER, CRS_DV từ cạnh lên của REFCLKO	1.4	—	ns	Lưu ý 5-24
t_{su}	TXD[1:0], thời gian thiết lập TXEN tới cạnh lên của REFCLKO	7,0	—	ns	Lưu ý 5-24
ttối dã tổ chức	TXD[1:0], thời gian giữ đầu vào TXEN sau khi tăng cạnh của REFCLKO	2.0	—	ns	Lưu ý 5-24

Lưu ý 5-24 Thời gian được thiết kế cho tải hệ thống giữa 10 pF và 25 pF.

5.5.4.2 Thời gian RMII (Chế độ REF_CLK)

Thời gian REF_CLK IN 50MHz áp dụng cho trường hợp khi INTSEL được thả nổi hoặc kéo cao. Ở chế độ này, đồng hồ 50 MHz phải được nhập vào chân CLKIN. Để biết thêm thông tin về REF_CLK ở Chế độ, hãy xem [Mục 3.7.4.1, Chế độ REF_CLK](#).

HÌNH 5-5: THỜI GIAN RMII (REF_CLK TRONG CHẾ ĐỘ)



BẢNG 5-10: GIÁ TRỊ THỜI GIAN RMII (REF_CLK TRONG CHẾ ĐỘ)

Biểu tượng	Sự miêu tả	tối thiểu	tối đa	Các đơn vị	ghi chú
t_{clkp}	giai đoạn CLKIN	20	—	ns	—
t_{ckh}	CLKIN cao thời gian	$t_{\text{clkp}} * 0,35$	$t_{\text{clkp}} * 0,65$	ns	—
t_{clkli}	CLKIN thời gian thấp	$t_{\text{clkp}} * 0,35$	$t_{\text{clkp}} * 0,65$	ns	—
thinh trai xoan	Đầu ra RXD[1:0], RXER, CRS_DV hợp lệ từ cạnh lên của CLKIN	—	14,0	ns	Lưu ý 5-25
$t_{\text{tò}}$	Giữ đầu ra RXD[1:0], RXER, CRS_DV từ cạnh lên của CLKIN	3.0	—	ns	Lưu ý 5-25
t_{tsu}	TXD[1:0], thời gian thiết lập TXEN tới cạnh lên của CLKIN	4.0	—	ns	Lưu ý 5-25
tđt	TXD[1:0], thời gian giữ đầu vào TXEN sau khi tăng cạnh của CLKIN	1,5	—	ns	Lưu ý 5-25

Lưu ý 5-25 Thời gian được thiết kế cho tải hệ thống giữa 10 pf và 25 pf.

LAN8720A/LAN8720AI

5.5.4.3 RMII CLKIN Yêu cầu

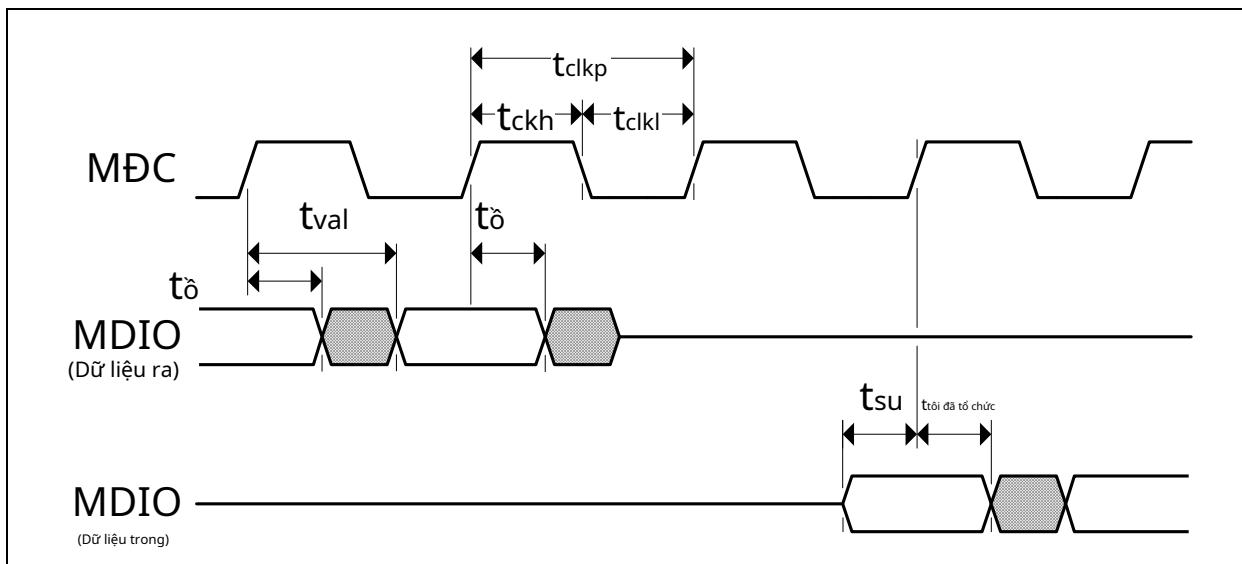
BẢNG 5-11: GIÁ TRỊ THỜI GIAN CỦA RMII CLKIN (REF_CLK)

Tham số	tối thiểu	gõ	tối đa	Các đơn vị	ghi chú
tần số CLKIN		50	—	MHz	—
Độ lệch tần số CLKIN	—	—	± 50	ppm	—
Chu kỳ nhiệm vụ CLKIN	40	—	60	%	—
CLKIN rung giật	—	—	150	psec	pp – không phải RMS

5.5.5 THỜI GIAN SMI

Phần này chỉ định thời gian SMI của thiết bị. Vui lòng tham khảo trước [Mục 3.5, Giao diện quản lý sê-ri \(SMI\)](#) để biết thêm chi tiết.

HÌNH 5-6: THỜI GIAN SMI



BẢNG 5-12: GIÁ TRỊ THỜI GIAN SMI

Biểu tượng	Sự miêu tả	tối thiểu	tối đa	Các đơn vị	ghi chú
t_{clkp}	giai đoạn MDC	400	—	ns	—
t_{ckh}	MDC cao thời gian	160 (80%)	—	ns	—
t_{clk}	MDC thời gian thấp	160 (80%)	—	ns	—
t_{val}	Đầu ra MDIO (đọc từ PHY) hợp lệ từ cạnh lên của MDC	—	300	ns	—
$t_{\bar{o}}$	Giữ đầu ra MDIO (đọc từ PHY) từ cạnh lên của MDC	0	—	ns	—
t_{su}	Thời gian thiết lập MDIO (ghi vào PHY) tới cạnh lên của MDC	10	—	ns	—
$t_{đ}$	Thời gian giữ đầu vào MDIO (ghi vào PHY) sau khi cạnh lên của MDC	10	—	ns	—

5.6 Mạch đồng hồ

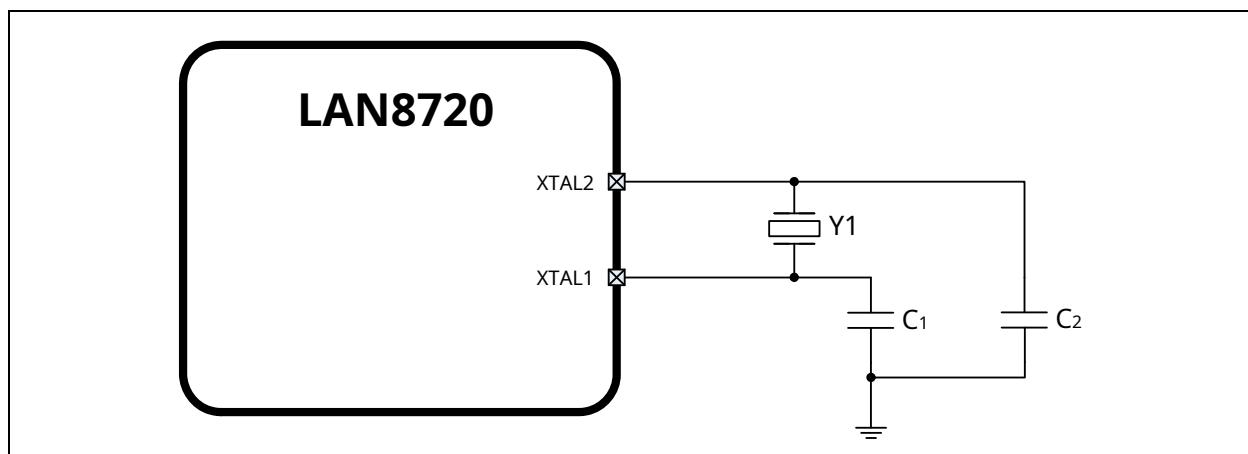
Thiết bị có thể chấp nhận đầu vào tinh thể 25 MHz (ưu tiên) hoặc bộ tạo dao động đồng hồ một đầu 25 MHz ($\pm 50\text{ppm}$). Nếu phương pháp bộ tạo dao động đồng hồ một đầu được triển khai, XTAL2 sẽ không được kết nối và XTAL1/CLKIN phải được điều khiển bằng tín hiệu đồng hồ danh định 0-3,3V.

Bạn nên sử dụng tinh thể sử dụng tụ điện tải song song phù hợp cho tín hiệu đầu vào/đầu ra tinh thể (XTAL1/XTAL2). Có thể sử dụng tinh thể 300uW hoặc 100uW 25MHz. Thông số kỹ thuật tinh thể 300uW 25MHz được trình bày chi tiết trong [Mục 5.6.1, "Đặc tả tinh thể 300uW 25MHz,"](#) trên trang 65. Thông số kỹ thuật tinh thể 100uW 25MHz được trình bày chi tiết trong [Mục 5.6.2, "Đặc tả tinh thể 100uW 25MHz,"](#) trên trang 66.

5.6.1 THÔNG SỐ KỸ THUẬT TINH THỂ 300UW 25MHZ

Khi sử dụng tinh thể 300uW 25MHz, thiết kế mạch sau ([Hình 5-8](#)) và thông số kỹ thuật ([Bảng 5-12](#)) được yêu cầu để đảm bảo hoạt động đúng.

HÌNH 5-7: MẠCH TINH THỂ 300UW 25MHZ



BẢNG 5-13: THÔNG SỐ KỸ THUẬT TINH THỂ 300UW 25MHZ

Tham số	Biểu tượng	tối thiểu	chữ Nôm	tối đa	Các đơn vị	ghi chú
pha lê cắt			AT, gõ			—
Chế độ dao động tinh thể			Chế độ cơ bản			—
Chế độ hiệu chỉnh tinh thể			Chế độ cộng hưởng song song			—
Tính thường xuyên	Fquỹ	—	25.000	—	MHz	—
Dung sai tần số @ 25°C	Ftol	—	—	± 50	PPM	Lưu ý 5-26
Ổn định tần số theo nhiệt độ	Fnhiet do	—	—	± 50	PPM	Lưu ý 5-26
Độ lệch tần số theo thời gian	Ftuổi	—	+/-3 đến 5	—	PPM	Lưu ý 5-27
Tổng ngân sách PPM cho phép	—	—	—	± 50	PPM	Lưu ý 5-28
điện dung shunt	Cō	—	7 gõ	—	pF	—
tải điện dung	CL	—	20 loại	—	pF	—
Cấp ồ đĩa	Pw	300	—	—	uW	—
Tính kháng loạt tương đương	r1	—	—	30	Om	—
Nhiệt độ hoạt động	—	Lưu ý 5-35	—	+ 85	°C	—
Điện dung pin XTAL1/CLKIN	—	—	3 loại	—	pF	Lưu ý 5-30
Điện dung pin XTAL2	—	—	3 loại	—	pF	Lưu ý 5-30

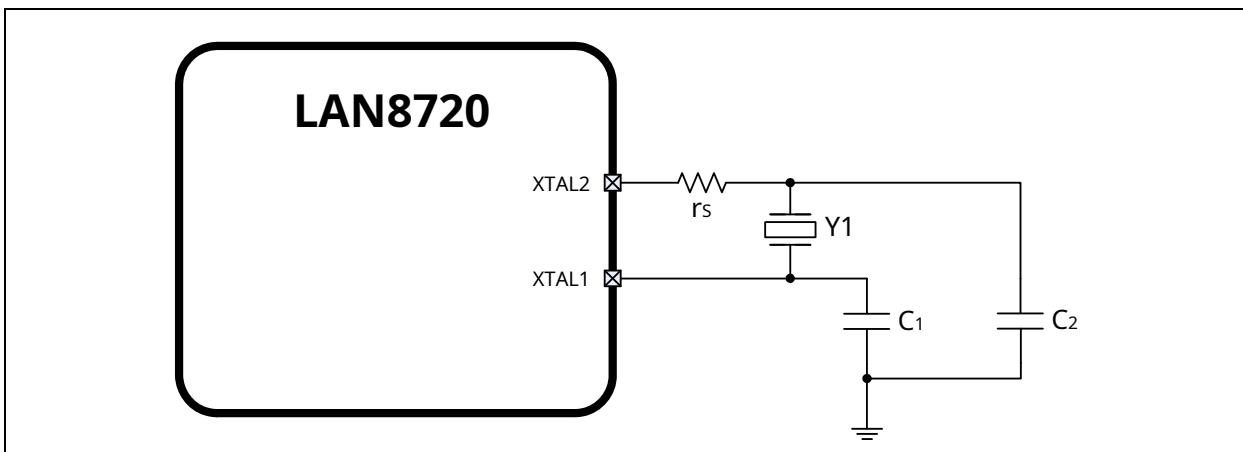
LAN8720A/LAN8720AI

- Lưu ý 5-26** Các giá trị tối đa cho phép đối với Dung sai tần số và Độ ổn định tần số phụ thuộc vào ứng dụng. Vì bất kỳ ứng dụng cụ thể nào cũng phải đáp ứng Ngân sách Tổng PPM ± 50 PPM của IEEE, nên sự kết hợp của hai giá trị này phải xấp xỉ ± 45 PPM (cho phép lão hóa).
- Lưu ý 5-27** Độ lệch tần số theo thời gian còn được gọi là Lão hóa.
- Lưu ý 5-28** Tổng độ lệch cho Tần số Đồng hồ Máy phát được IEEE 802.3u chỉ định là ± 100 PPM.
- Lưu ý 5-29** 0°C cho phiên bản thương mại mở rộng, -40°C cho phiên bản công nghiệp.
- Lưu ý 5-30** Con số này bao gồm miếng đệm, dây liên kết và khung chì. Điện dung PCB không được bao gồm trong giá trị này. Các giá trị điện dung của chân XTAL1/CLKIN, chân XTAL2 và PCB được yêu cầu để tính toán chính xác giá trị của hai tụ điện tải ngoài. Tổng điện dung tải phải tương đương với những gì tinh thể mong muốn nhìn thấy trong mạch để bộ tạo dao động tinh thể sẽ hoạt động ở 25.000 MHz.

5.6.2 THÔNG SỐ KỸ THUẬT TINH THỂ 100uW 25MHZ

Khi sử dụng tinh thể 100uW 25MHz, thiết kế mạch sau ([Hình 5-9](#)) và thông số kỹ thuật ([Bảng 5-13](#)) được yêu cầu để đảm bảo hoạt động đúng.

HÌNH 5-8: MẠCH TINH THỂ 100uW 25MHZ



BẢNG 5-14: THÔNG SỐ KỸ THUẬT TINH THỂ 100uW 25MHZ

Tham số	Biểu tượng	tối thiểu	chữ Nôm	tối đa	Các đơn vị	ghi chú
pha lê cắt			AT, gõ			—
Chế độ dao động tinh thể			Chế độ cơ bản			—
Chế độ hiệu chỉnh tinh thể			Chế độ cộng hưởng song song			—
Tính thường xuyên	Fquỹ	—	25.000	—	MHz	—
Dung sai tần số @ 25°C	Ftol	—	—	± 50	PPM	Lưu ý 5-31
Độ ổn định tần số theo nhiệt độ	Fnhiệt độ	—	—	± 50	PPM	Lưu ý 5-31
Độ lệch tần số theo thời gian	Ftuổi	—	± 3 đến 5	—	PPM	Lưu ý 5-32
Tổng ngân sách PPM cho phép	—	—	—	± 50	PPM	Lưu ý 5-33
điện dung shunt	Cō	—	—	5	pF	—
tải điện dung	CL	số 8	—	12	pF	—
Cấp Ổ đĩa	Pw	—	100	—	uW	Lưu ý 5-34

BẢNG 5-14: THÔNG SỐ KỸ THUẬT TINH THỂ 100uW 25MHZ (TIẾP THEO)

Tham số	Biểu tượng	tối thiểu	chữ Nôm	tối đa	các đơn vị	ghi chú
Tính kháng loạt tương đương	r1	—	—	80	Om	—
Dòng điện trở XTAL2	rs	495	500	505	Om	—
Nhiệt độ hoạt động	—	Lưu ý 5-35	—	+ 85	oC	—
Điện dung pin XTAL1/CLKIN	—	—	3 loại	—	pF	Lưu ý 5-36
Điện dung pin XTAL2	—	—	3 loại	—	pF	Lưu ý 5-36

Lưu ý 5-31 Các giá trị tối đa cho phép đối với Dung sai tần số và Độ ổn định tần số phụ thuộc vào ứng dụng. Vì bất kỳ ứng dụng cụ thể nào cũng phải đáp ứng Ngân sách Tổng PPM ± 50 PPM của IEEE, nên sự kết hợp của hai giá trị này phải xấp xỉ ± 45 PPM (cho phép lão hóa).

Lưu ý 5-32 Độ lệch tần số theo thời gian còn được gọi là Lão hóa.

Lưu ý 5-33 Tổng độ lệch cho Tần số Đồng hồ Máy phát được IEEE 802.3u chỉ định là $- \pm 100$ PPM.

Lưu ý 5-34 Tinh thể phải hỗ trợ hoạt động 100uW để sử dụng mạch này. 0oC cho

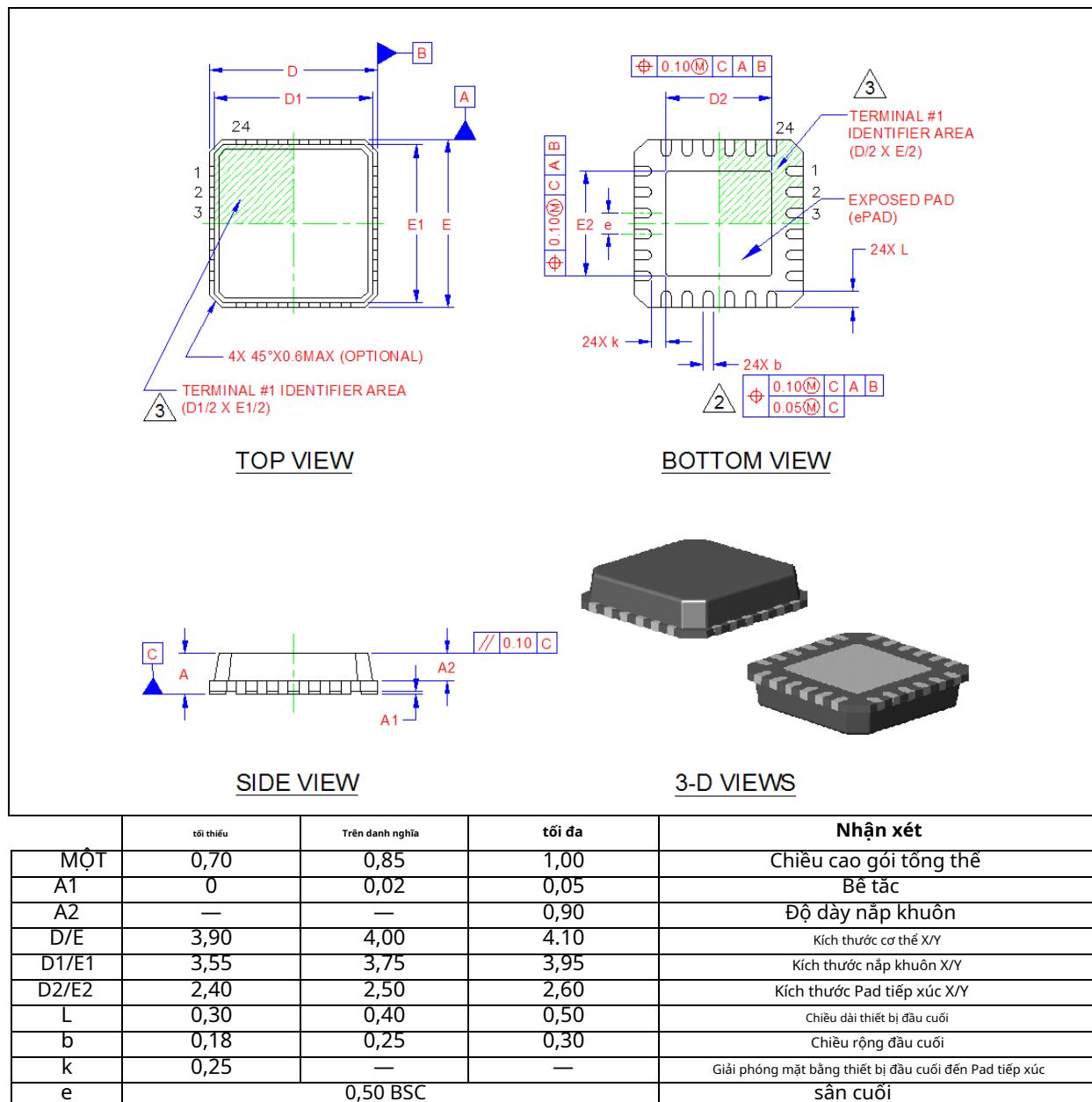
Lưu ý 5-35 phiên bản thương mại mở rộng, -40oC cho phiên bản công nghiệp.

Lưu ý 5-36 Con số này bao gồm miếng đệm, dây liên kết và khung chì. Điện dung PCB không được bao gồm trong giá trị này. Các giá trị điện dung của chân XTAL1/CLKIN, chân XTAL2 và PCB được yêu cầu để tính toán chính xác giá trị của hai tụ điện tải ngoài. Tổng điện dung tải phải tương đương với những gì tinh thể mong muốn nhìn thấy trong mạch để bộ tạo dao động tinh thể sẽ hoạt động ở 25.000 MHz.

LAN8720A/LAN8720AI

6.0 THÔNG TIN GÓI

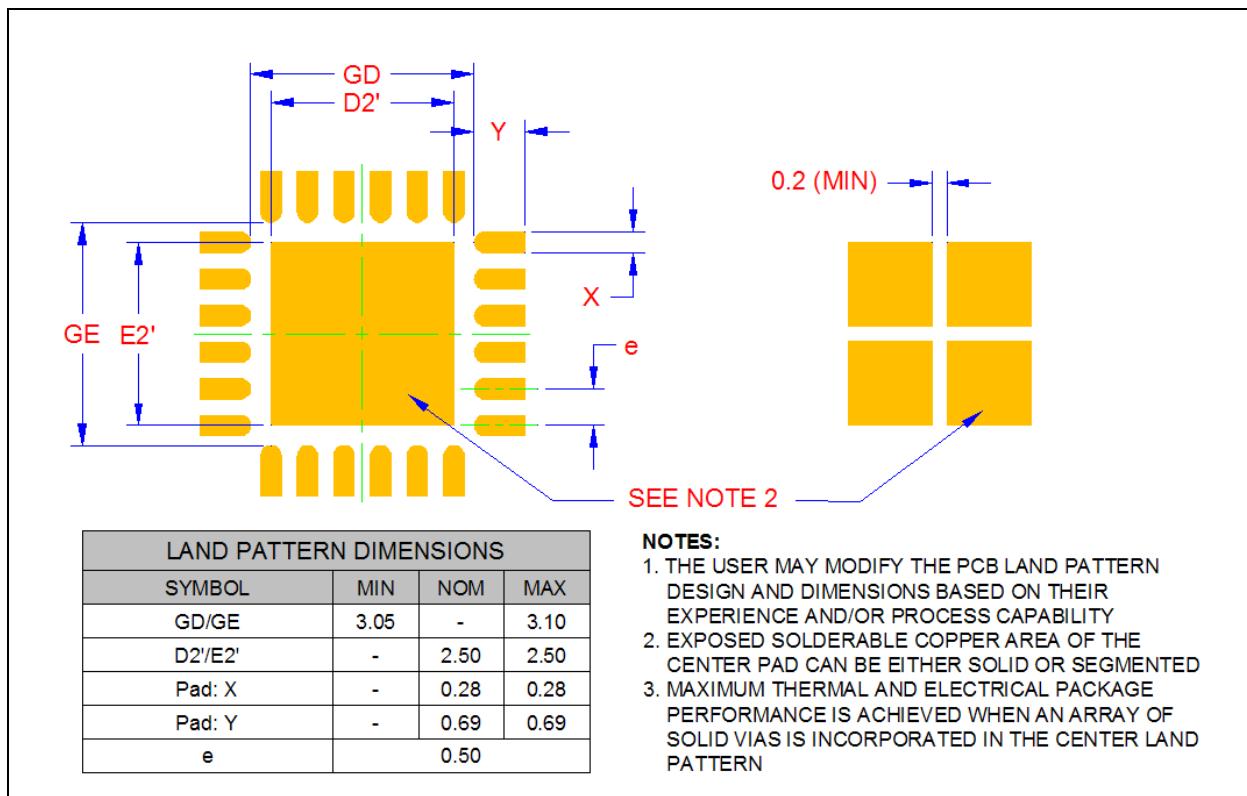
6.1 24-QFN (Cú đấm)



Lưu ý 1: Tất cả các kích thước tính bằng milimét trừ khi có ghi chú khác.

2: Kích thước "b" áp dụng cho các đầu cực được mạ và được đo cách đầu cực từ 0,15 mm đến 0,30 mm. Mã định

3: danh châm 1 có thể khác nhau, nhưng luôn nằm trong vùng được chỉ định.



LAN8720A/LAN8720AI

6.2 24-SQFN (X³)

REVISION HISTORY

REV	DESCRIPTION	DATE	RELEASED BY
A	INITIAL PRELIMINARY RELEASE	2/16/12	S.K.IIEV
B	INITIAL RELEASE	5/19/12	SKI

COMMON DIMENSIONS

SYMBOL	MIN	NOM	MAX	NOTE	REMARK
A	0.80	0.90	1.00	-	OVERALL PACKAGE HEIGHT
A1	0	0.02	0.05	-	STANDOFF
D/E	3.90	4.00	4.10	-	XY BODY SIZE
D2/E2	2.40	2.50	2.60	-	X/Y EXPOSED PAD SIZE
L	0.35	0.40	0.45	-	TERMINAL LENGTH
b	0.18	0.25	0.30	2	TERMINAL WIDTH
K	0.25	0.35	-	-	PIN TO ePAD CLEARANCE
e	0.50	BSC	-	-	TERMINAL PITCH

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSION "b" APPLIES TO PLATED TERMINALS AND IT IS MEASURED BETWEEN 0.15 AND 0.30 mm FROM THE TERMINAL TIP.
3. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE AREA INDICATED.

UNLESS OTHERWISE SPECIFIED
DIMENSIONS ARE IN MILLIMETERS
AND TOLERANCES ARE:
DECIMAL
X X 40.1
XXX 30.05
XXXX 30.025
INTERFERE DIM AND TOL PER
ASME Y1.5M-1984
MATERIAL -
FINISH -

NAME	DATE	TITLE
-	2/9/12	PACKAGE OUTLINE 24 PINS SQFN, 4x4mm BODY, 0.5mm PITCH (SAQFN = 4x4mm BODY SAWN QFN, FULL LEAD TERMINATION)
CHECKED S.K.IIEV	2/16/12	DWG NUMBER 24-SQFN-4x4B-05P
APPROVED S.K.IIEV	2/16/12	SCALE 1:1
STD COMPLIANCE	-	REV B
DO NOT SCALE DRAWING	-	SHEET 1 OF 1

PCB LAND PATTERN

LAND PATTERN DIMENSIONS	MIN	NOM	MAX
Pad/G	3.05	-	3.10
Pad/E2	-	2.50	2.50
Pad/X	-	0.28	0.28
Pad/Y	-	0.69	-
e	0.50		

NOTES:

1. THE USER MAY MODIFY THE PCB LAND PATTERN DESIGN AND DIMENSIONS BASED ON THEIR EXPERIENCE AND/OR PROCESS CAPABILITY
2. EXPERIENCE SOLDABLE COPPER AREA OF THE CENTER PAD CAN BE EITHER SOLID OR SEGMENTED
3. MAXIMUM THERMAL AND ELECTRICAL PACKAGE PERFORMANCE IS ACHIEVED WHEN AN ARRAY OF SOLID VIAS IS INCORPORATED IN THE CENTER LAND PATTERN

TOP VIEW

BOTTOM VIEW

3-D VIEW

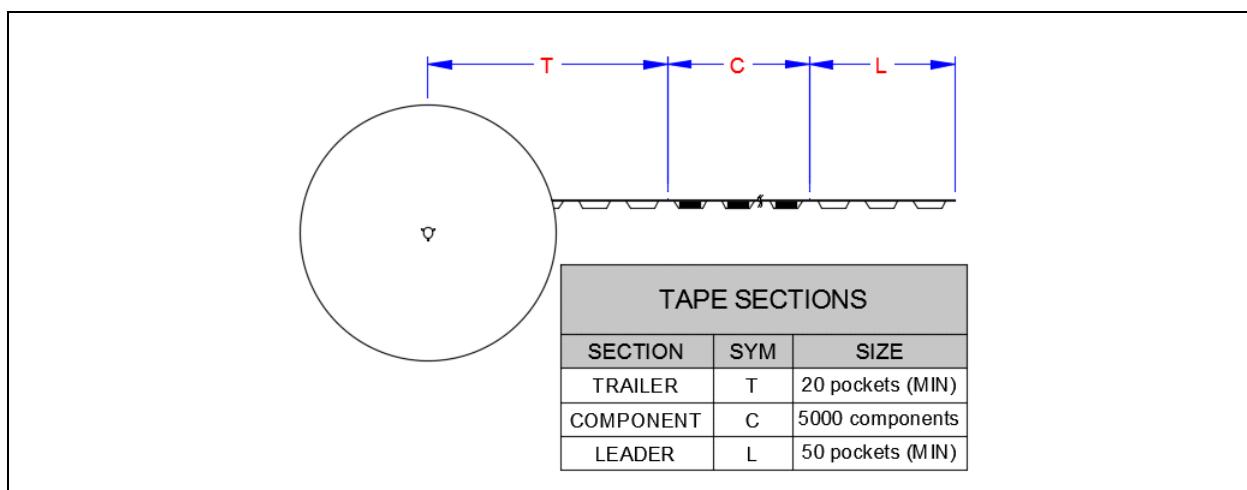
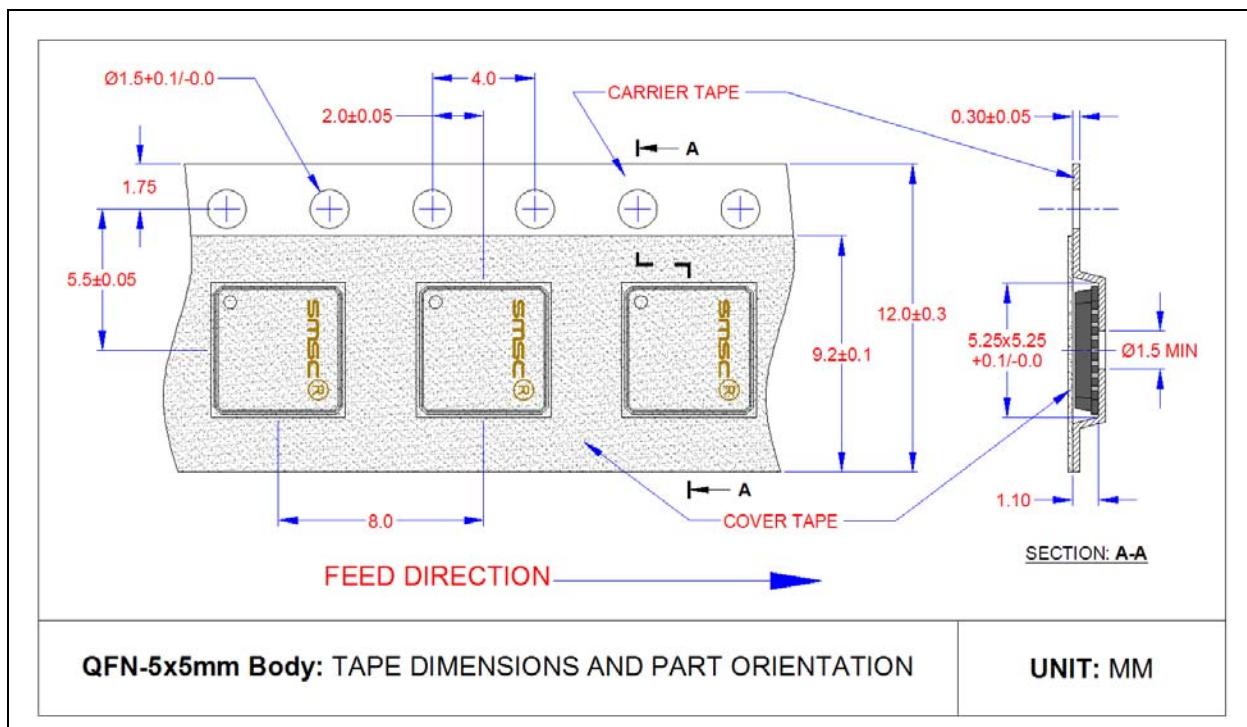
SIDE VIEW

SEE NOTE 2

DS00002165B-trang 68

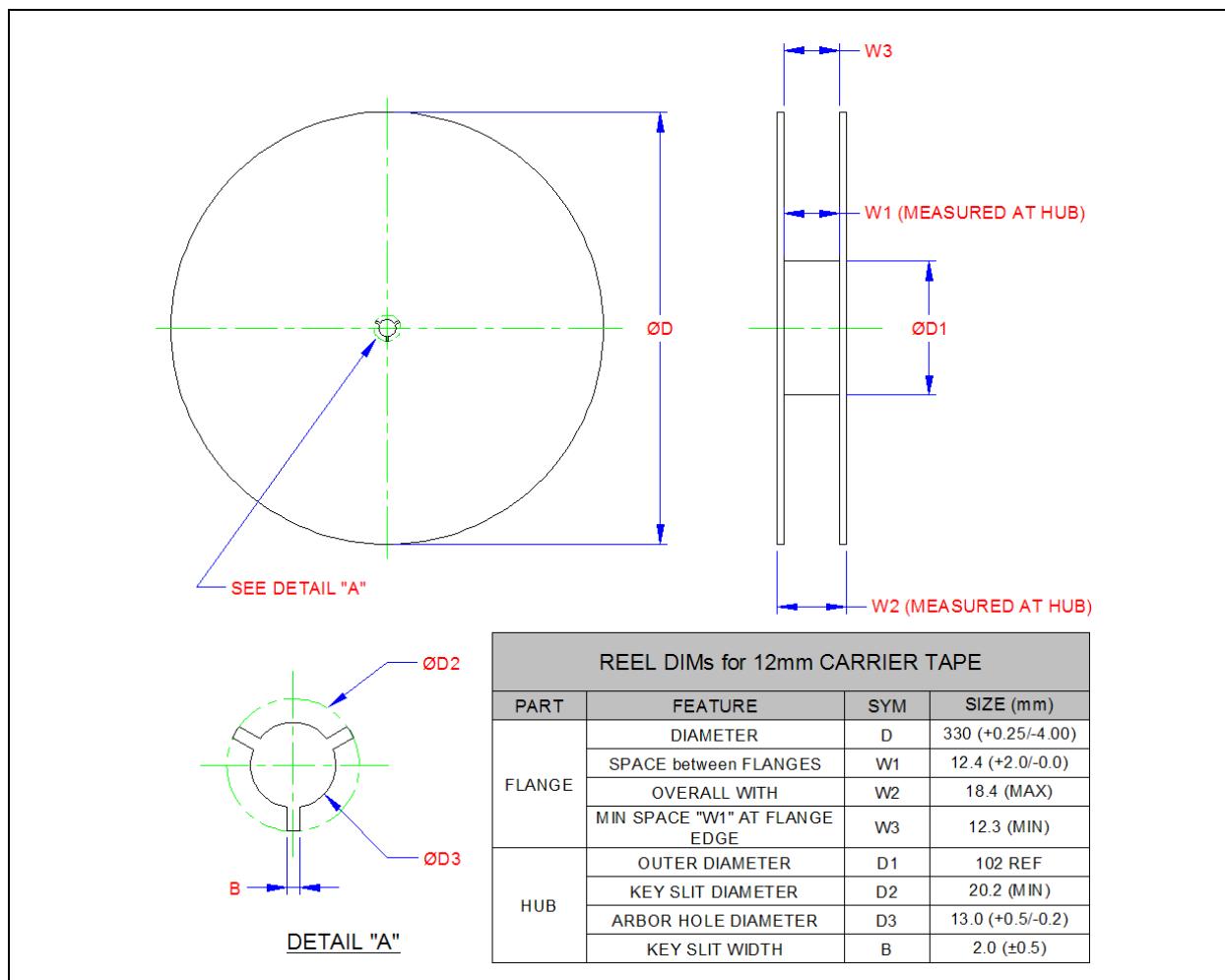
-2016 Microchip Technology Inc.

6.3 Thông tin về băng & cuộn



Ghi chú: Kích thước cuộn tiêu chuẩn là 5.000 miếng mỗi cuộn.

LAN8720A/LAN8720AI



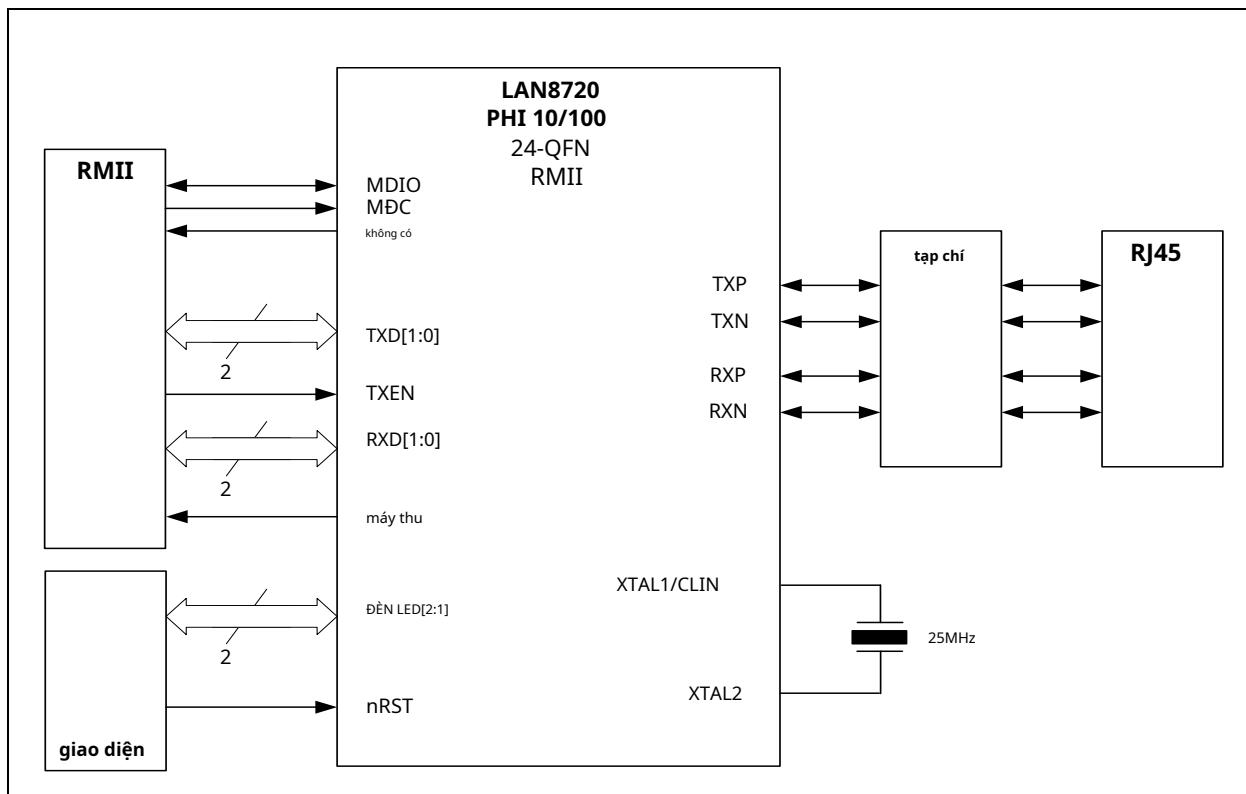
7.0 LƯU Ý ỨNG DỤNG

7.1 Sơ đồ ứng dụng

Thiết bị yêu cầu ít thành phần bên ngoài. Điện áp trên vòi trung tâm nam châm có thể dao động từ 2,5 - 3,3V.

7.1.1 SƠ ĐỒ RMII

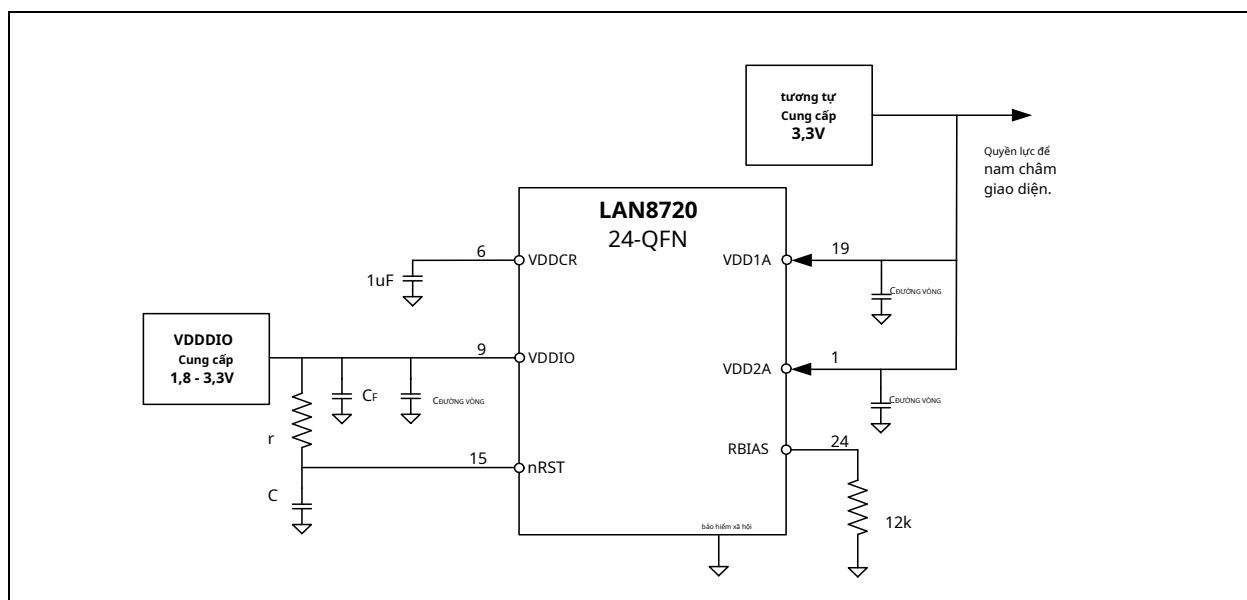
HÌNH 7-1: SƠ ĐỒ ỨNG DỤNG ĐƠN GIẢN



7.1.2 SƠ ĐỒ CẤP ĐIỆN

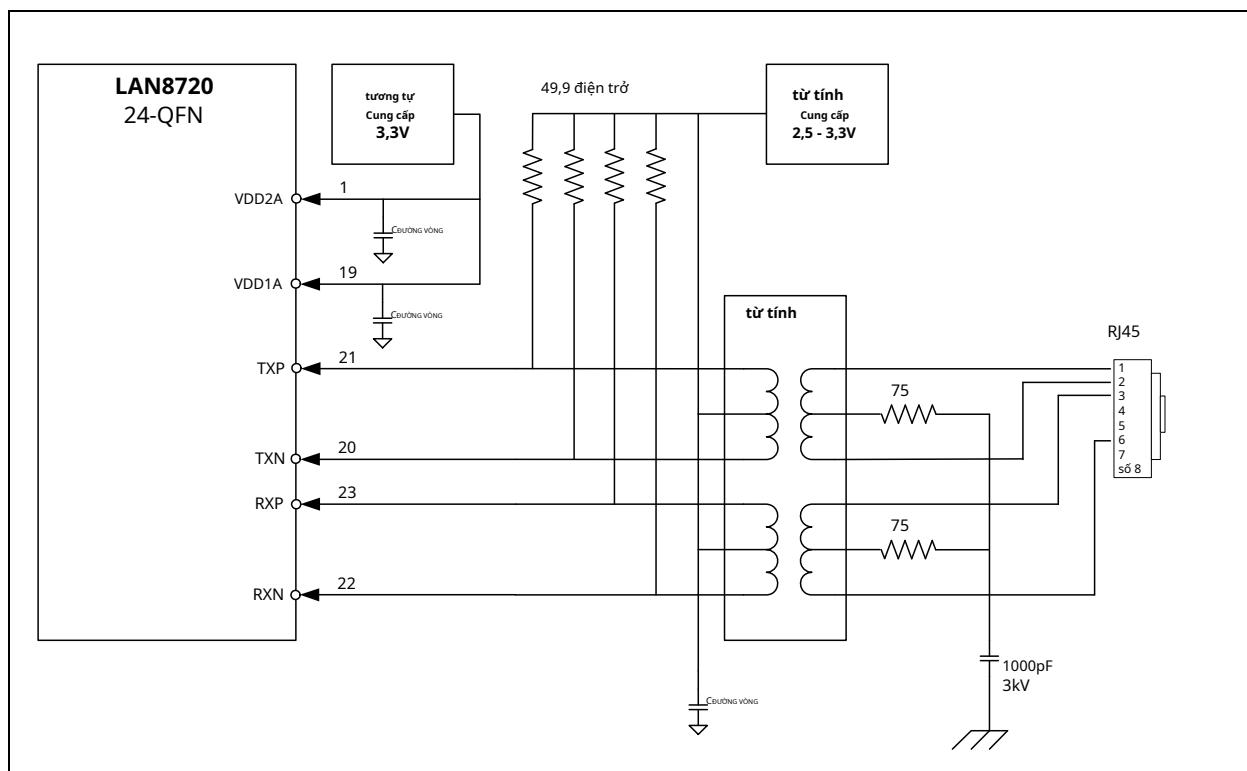
LAN8720A/LAN8720AI

HÌNH 7-3: SƠ ĐỒ HỆ THỐNG CẤP CAO CẤP ĐIỆN



7.1.3 SƠ ĐỒ GIAO DIỆN XOĂN

HÌNH 7-5: SƠ ĐỒ GIAO DIỆN ĐỒNG HỒ



PHỤ LỤC A: BẢNG DỮ LIỆU LỊCH SỬ SỬA ĐỔI

BẢNG A-1: LỊCH SỬ SỬA ĐỔI

Ôn tập	Mục/Hình/Mục nhập	Điều chỉnh
Lm B. (15-07-16)	Mục 5.1, "Xếp hạng tối đa tuyệt đối*," trên trang 54	Cập nhật thành Điện áp dương trên XTAL1/CLKIN, đổi với điểm nối đất.
	Bảng 5-2, "Các đặc điểm của bộ đệm I/O không thể thay đổi," ở trang 56	Cập nhật giá trị tối thiểu/tối đa cho hàng cuối cùng, Bộ đệm loại ICLK (Đầu vào XTAL1) - Mức đầu vào cao.
Lm A (24-06-16)	Tất cả	Tài liệu được chuyển đổi sang giao diện của Microchip. Thay thế SMSC Phiên bản 1.4 (23-08-12).
	Mục 5.2, "Điều kiện hoạt động**," trên trang 54	Tăng giới hạn hoạt động của VDDCR từ "+1,14V đến +1,26V" thành "+1,08V đến +1,32V"
	Mục 5.6, "Mạch đồng hồ," trên trang 65	Đã thêm thông số kỹ thuật tinh thể 100uW mới và sơ đồ mạch. Phần này hiện được chia thành hai phần phụ, một dành cho tinh thể 300uW và phần còn lại dành cho tinh thể 100uW.
	Mục 6.0, "Thông tin Gói hàng," trên trang 68	Đã thêm các tiêu mục mới để bao gồm thông tin gói SQFN.
	Phần , "Hệ thống nhận dạng sản phẩm," trên trang 77	Cập nhật mã đặt hàng với các tùy chọn gói SQFN xe.
Phiên bản 1.4 (23-08-12)	Mục 4.2.2, Thanh ghi trạng thái cơ bản	Cập nhật các định nghĩa về bit 10:8.
Phiên bản 1.3 (20-04-11)	Bảng 5-9, "Giá trị thời gian RMII (Chế độ đầu ra REF_CLK)" ở trang 60	Đã cập nhật thời gian trống trống giá trị tối đa từ 10,0ns đến 5,0ns.
Rev.1.2 (10-11-10)	Mục 5.5.5, "Thời gian giao diện RMII," trên trang 63	Đã cập nhật sơ đồ và bảng để bao gồm RXER.

LAN8720A/LAN8720AI

TRANG WEB MICROCHIP

Microchip cung cấp hỗ trợ trực tuyến thông qua trang web WWW của chúng tôi tại www.microchip.com. Trang web này được sử dụng như một phương tiện để cung cấp các tệp và thông tin dễ dàng cho khách hàng. Có thể truy cập bằng cách sử dụng trình duyệt Internet yêu thích của bạn, trang web chứa các thông tin sau:

- **Hỗ trợ sản phẩm**-Bảng dữ liệu và lối in, ghi chú ứng dụng và chương trình mẫu, tài nguyên thiết kế, hướng dẫn sử dụng và tài liệu hỗ trợ phần cứng, bản phát hành phần mềm mới nhất và phần mềm lưu trữ
- **Hỗ trợ kỹ thuật chung**-Câu hỏi thường gặp (FAQ), yêu cầu hỗ trợ kỹ thuật, nhóm thảo luận trực tuyến, danh sách thành viên chương trình tư vấn của Microchip
- **Kinh doanh vi mạch**-Hướng dẫn chọn sản phẩm và đặt hàng, thông cáo báo chí mới nhất của Microchip, danh sách các hội thảo và sự kiện, danh sách các văn phòng bán hàng, nhà phân phối và đại diện nhà máy của Microchip

DỊCH VỤ THÔNG BÁO THAY ĐỔI KHÁCH HÀNG

Dịch vụ thông báo khách hàng của Microchip giúp cập nhật thông tin cho khách hàng về các sản phẩm của Microchip. Người đăng ký sẽ nhận được thông báo qua e-mail bất cứ khi nào có thay đổi, cập nhật, sửa đổi hoặc lỗi liên quan đến một dòng sản phẩm cụ thể hoặc công cụ phát triển quan tâm.

Để đăng ký, hãy truy cập trang web của Microchip tại www.microchip.com. Trong "Hỗ trợ", nhấp vào "Thông báo thay đổi của khách hàng" và làm theo hướng dẫn đăng ký.

HỖ TRỢ KHÁCH HÀNG

Người dùng các sản phẩm của Microchip có thể nhận được hỗ trợ thông qua một số kênh:

- Nhà phân phối hoặc Đại diện
- Phòng kinh doanh địa phương
- Kỹ sư ứng dụng hiện trường (FAE)
- Hỗ trợ kỹ thuật

Khách hàng nên liên hệ với nhà phân phối, đại diện hoặc kỹ sư ứng dụng hiện trường (FAE) để được hỗ trợ. Văn phòng bán hàng địa phương cũng có sẵn để giúp khách hàng. Một danh sách các văn phòng bán hàng và địa điểm được bao gồm ở mặt sau của tài liệu này.

Hỗ trợ kỹ thuật có sẵn thông qua trang web tại:<http://microchip.com/support>

HỆ THỐNG NHẬN DIỆN SẢN PHẨM

Để đặt hàng hoặc lấy thông tin, ví dụ như giá cả hoặc giao hàng, hãy tham khảo nhà máy hoặc văn phòng bán hàng được liệt kê.

<u>PHẦN KHÔNG.</u>		<u>[X]</u>	-	<u>[X](1)</u>	-	<u>[XXX]</u>	Ví dụ:
Thiết bị	Nhiệt độ	Phạm vi		Băng & Cuộn	Lựa chọn	Bưu kiện	
Thiết bị:	LAN8720A						
Nhiệt độ Phạm vi:	CP i-CP	=	0-C đến - 40-C đến	+ 85-C + 85-C	(Thương mại mở rộng) (Công nghiệp)		a) LAN8720Ai-CP-TR- Nhiệt độ công nghiệp, Băng & Cuộn, 24-QFN (Punch)-
Băng và cuộn Lựa chọn:	Trống TR	=	Bao bì tiêu chuẩn (khay) = Tape and Reel(1)				b) LAN8720A-CP-ABC- Máy lẻ nhiệt độ thương mại., Khay, 24-SQFN (Xé)
Bưu kiện:	Trống ABC	=	Gói Đột (24-QFN) = Gói Xé (24-SQFN)				
							Lưu ý 1: Mã định danh Cuộn và Cuộn chỉ xuất hiện trong phần mô tả số bộ phận của danh mục. Số nhận dạng này được sử dụng cho mục đích đặt hàng và không được in trên gói thiết bị. Kiểm tra với Văn phòng bán hàng Microchip của bạn để biết tình trạng sẵn có của gói với tùy chọn Băng và Cuộn.

LAN8720A/LAN8720AI

GHI CHÚ:

Lưu ý các chi tiết sau về tính năng bảo vệ mã trên thiết bị Microchip:

- Các sản phẩm Microchip đáp ứng thông số kỹ thuật có trong Bảng dữ liệu Microchip cụ thể của chúng.
- Microchip tin rằng dòng sản phẩm của mình là một trong những dòng sản phẩm an toàn nhất trên thị trường hiện nay, khi được sử dụng theo đúng mục đích và trong các điều kiện bình thường.
- Có những phương pháp không trung thực và có thể là bất hợp pháp được sử dụng để vi phạm tính năng bảo vệ mã. Theo hiểu biết của chúng tôi, tất cả các phương pháp này đều yêu cầu sử dụng các sản phẩm của Microchip theo cách nằm ngoài các thông số kỹ thuật vận hành có trong Bảng dữ liệu của Microchip. Nhiều khả năng, người làm như vậy đang tham gia vào hành vi trộm cắp tài sản trí tuệ.
- Microchip sẵn sàng làm việc với khách hàng quan tâm đến tính toàn vẹn của mã của họ.
- Cả Microchip hay bất kỳ nhà sản xuất chất bán dẫn nào khác đều không thể đảm bảo tính bảo mật cho mã của họ. Bảo vệ mã không có nghĩa là chúng tôi đảm bảo sản phẩm là "không thể phá vỡ".

bảo vệ đang không ngừng phát triển. Tại Microchip, chúng tôi cam kết không ngừng cải thiện các tính năng bảo vệ mã của các sản phẩm của mình. Nỗ lực phá vỡ tính năng bảo vệ mã của Microchip có thể vi phạm Đạo luật bản quyền kỹ thuật số thiên niên kỷ. Nếu những hành vi đó cho phép truy cập trái phép vào phần mềm của bạn hoặc tác phẩm có bản quyền khác, bạn có thể có quyền khởi kiện để được giảm nhẹ theo Đạo luật đó.

Thông tin trong ấn phẩm này liên quan đến các ứng dụng thiết bị và những thứ tương tự chỉ được cung cấp để thuận tiện cho bạn và có thể được thay thế bằng các bản cập nhật. Bạn có trách nhiệm đảm bảo rằng ứng dụng của bạn đáp ứng các thông số kỹ thuật của bạn. MICROCHIP KHÔNG TUYÊN BỐ HOẶC BẢO ĐÀM DƯỚI BẤT KỲ HÌNH THỨC NÀO, DÙ RỘ RÀNG HAY NGỤY Ý, BẰNG VĂN BẢN HOẶC LỜI NÓI, THEO LUẬT ĐỊNH HOẶC CÁCH KHÁC, LIÊN QUAN ĐẾN THÔNG TIN, BAO GỒM NHƯNG KHÔNG GIỚI HẠN Ở ĐIỀU KIỆN, CHẤT LƯỢNG, HIỆU SUẤT, KHẢ NĂNG BÁN HOẶC PHÙ HỢP CHO MỤC ĐÍCH CỦA THÔNG TIN. Microchip từ chối mọi trách nhiệm pháp lý phát sinh từ thông tin này và việc sử dụng thông tin đó. Việc sử dụng các thiết bị Microchip trong các ứng dụng hỗ trợ sự sống và/hoặc an toàn hoàn toàn do người mua chịu rủi ro và người mua đồng ý bảo vệ, bồi thường và giữ cho Microchip không bị tổn hại trước mọi thiệt hại, khiếu nại, kiện tụng hoặc chi phí phát sinh từ việc sử dụng đó. Không có giấy phép nào được chuyển tải, mặc nhiên hay theo cách khác, theo bất kỳ quyền sở hữu trí tuệ nào của Microchip trừ khi có quy định khác.

nhãn hiệu

Tên và logo Microchip, logo Microchip, AnyRate, dsPIC, FlashFlex, flexPWR, Heldo, JukeBlox, KeeLoq, KeeLoq logo, Kleer, LANCheck, LINK MD, MediaLB, MOST, MOST logo, MPLAB, OptoLyzer, PIC, PICSTART, PIC32 logo, RightTouch, SpyNIC, SST, SST Logo, SuperFlash và UNI/O là các thương hiệu đã đăng ký của Microchip Technology Incorporated tại Hoa Kỳ và các quốc gia khác.

ClockWorks, The Embedded Control Solutions Company, ETHERSYNCH, Hyper Speed Control, HyperLight Load, IntelliMOS, mTouch, Precision Edge và QUIET-WIRE là các nhãn hiệu đã đăng ký của Microchip Technology Incorporated tại Hoa Kỳ

Thời đại tương tự cho thời đại kỹ thuật số, Tu điện bất kỳ, AnyIn, AnyOut, BodyCom, chipKIT, logo chipKIT, CodeGuard, dsPICDEM, dsPICDEM.net, Kết hợp trung bình động, DAM, ECAN, EtherGREEN, Lập trình nối tiếp trong mạch, ICSP, Inter -Chip Connectivity, JitterBlocker, KleerNet, logo KleerNet, MiWi, motorBench, MPASM, MPF, MPLAB Certified logo, MPLIB, MPLINK, MultiTRAK, NetDetach, Omniscient Code Generation, PICDEM, PICDEM.net, PICkit, PICtail, PureSilicon, logo RightTouch, REAL ICE, Ripple Blocker, Serial Quad I/O, SQI, SuperSwitcher, SuperSwitcher II, Total Endurance, TSHARC, USBCheck, VariSense, ViewSpan, WiperLock, Wireless DNA và ZENA là các thương hiệu của Microchip Technology Incorporated tại Hoa Kỳ và các quốc gia khác.

SQTP là nhãn hiệu dịch vụ của Microchip Technology Incorporated tại Hoa Kỳ

Công nghệ Lưu trữ Silicon là nhãn hiệu đã đăng ký của Microchip Technology Inc. tại các quốc gia khác.

GestIC là nhãn hiệu đã đăng ký của Microchip Technology Germany II GmbH & Co. KG, một công ty con của Microchip Technology Inc., ở các quốc gia khác.

Tất cả các nhãn hiệu khác được đề cập ở đây là tài sản của các công ty tương ứng. ©

2016, Microchip Technology Incorporated, In tại Hoa Kỳ, Bảo lưu mọi quyền. ISBN:

978-1-5224-0780-5

HỆ THỐNG QUẢN LÝ CHẤT LƯỢNG

CHỨNG NHẬN CỦA DNV

==ISO/TS 16949 ==

Microchip đã nhận được chứng nhận ISO/TS-16949:2009 cho trụ sở chính, cơ sở thiết kế và chế tạo tẩm bán dẫn trên toàn thế giới tại Chandler và Tempe, Arizona; Gresham, Oregon và các trung tâm thiết kế ở California và Ấn Độ. Quy trình và thủ tục hệ thống chất lượng của Công ty dành cho PIC của Công ty®MCU và DSPIC®DSC, KeeLoch chất lượng tốt, thiết bị nhảy mã, EEPROM nối tiếp, thiết bị ngoại vi và mô, bộ nhớ cố định và các sản phẩm tương tự. Ngoài ra, hệ thống chất lượng của Microchip trong thiết kế và sản xuất các hệ thống phát triển đã được chứng nhận ISO 9001:2000.



MICROCHIP

Bán hàng và Dịch vụ Toàn cầu

MỸ

văn phòng công ty
2355 Tây Chandler Blvd.
Chandler, AZ 85224-6199 Điện
thoại: 480-792-7200
Fax: 480-792-7277
Hỗ trợ kỹ thuật:
[hỗ trợ http://
www.microchip.com/](http://www.microchip.com/)
Địa chỉ web:
www.microchip.com

Atlanta

Duluth, Georgia
ĐT: 678-957-9614
Fax: 678-957-1455

Austin, TX

ĐT: 512-257-3370

Boston

Westborough, MA
ĐT: 774-760-0087
Fax: 774-760-0088

Chicago

Itasca, Illinois
ĐT: 630-285-0071
Fax: 630-285-0075

Cleveland

Độc lập, OH
ĐT: 216-447-0464
Fax: 216-447-0643

dallas

Addison, TX
ĐT: 972-818-7423
Fax: 972-818-2924

Detroit

Mới, MI
Điện thoại: 248-848-4000

Houston, TX

ĐT: 281-894-5983

Indianapolis

Noblesville, IN
Điện thoại: 317-773-8323
Fax: 317-773-5453

Los Angeles

Nhiệm vụ Viejo, CA
ĐT: 949-462-9523
Fax: 949-462-9608

New York, NY

ĐT: 631-435-6000

San Jose, CA

Điện thoại: 408-735-9110

Canada-Toronto

ĐT: 905-695-1980
Fax: 905-695-2078

CHÂU Á THÁI BÌNH DƯƠNG

Văn phòng Châu Á Thái Bình Dương
Phòng 3707-14, Tầng 37
Tháp 6, The Gateway
Harbour City, Kowloon
Hồng Kông
Điện thoại: 852-2943-5100
Fax: 852-2401-3431
Úc-Sydney
ĐT: 61-2-9868-6733
Fax: 61-2-9868-6755
Trung Quốc-Bắc Kinh
ĐT: 86-10-8569-7000
Fax: 86-10-8528-2104
Trung Quốc-Thành Đô
ĐT: 86-28-8665-5511
Fax: 86-28-8665-7889

Trung Quốc-Trùng Khánh
ĐT: 86-23-8980-9588
Fax: 86-23-8980-9500
Trung Quốc - Đông Quần
ĐT: 86-769-8702-9880
Trung Quốc - Quảng Châu
Điện thoại: 86-20-8755-8029
Trung Quốc - Hàng Châu
ĐT: 86-571-8792-8115
Fax: 86-571-8792-8116
Trung Quốc - Đặc khu Hành chính Hồng Kông
Điện thoại: 852-2943-5100
Trung Quốc-Nam Kinh
ĐT: 86-25-8473-2460
Fax: 86-25-8473-2470
Trung Quốc-Thanh Đảo
ĐT: 86-532-8502-7355
Fax: 86-532-8502-7205
Trung Quốc-Thượng Hải
ĐT: 86-21-5407-5533
Fax: 86-21-5407-5066
Trung Quốc-Thẩm Dương
ĐT: 86-24-2334-2829
Fax: 86-24-2334-2393
Trung Quốc-Thâm Quyến
ĐT: 86-755-8864-2200
Fax: 86-755-8203-1760
Trung Quốc - Vũ Hán
ĐT: 86-27-5980-5300
Fax: 86-27-5980-5118
Trung Quốc - Tây An
ĐT: 86-29-8833-7252
Fax: 86-29-8833-7256

CHÂU Á THÁI BÌNH DƯƠNG

Trung Quốc - Hạ Môn
ĐT: 86-592-2388138
Fax: 86-592-2388130
Trung Quốc - Chu Hải
Điện thoại: 86-756-3210040
Fax: 86-756-3210049
Ấn Độ-Bangalore
ĐT: 91-80-3090-4444
Fax: 91-80-3090-4123
Ấn Độ-New Delhi **ĐT:**
91-11-4160-8631
Fax: 91-11-4160-8632
Ấn Độ - Pune
ĐT: 91-20-3019-1500
Nhật Bản - Osaka
ĐT: 81-6-6152-7160
Fax: 81-6-6152-9310
Nhật Bản - Tokyo
ĐT: 81-3-6880-3770
Fax: 81-3-6880-3771
Hàn Quốc-Daegu
Điện thoại: 82-53-744-4301
Fax: 82-53-744-4302
Hàn Quốc - Seoul
Điện thoại: 82-2-554-7200
Fax: 82-2-558-5932 hoặc
82-2-558-5934
Malaysia-Kuala Lumpur
ĐT: 60-3-6201-9857
Fax: 60-3-6201-9859
Malaysia-Penang
ĐT: 60-4-227-8870
Fax: 60-4-227-4068
Phi-líp-pin-Ma-ni-la
ĐT: 63-2-634-9065
Fax: 63-2-634-9069
Singapore
ĐT: 65-6334-8870
Fax: 65-6334-8850
Đài Loan - Hsin Chu Điện
thoại: 886-3-5778-366
Fax: 886-3-5770-955
Đài Loan-Cao Hùng
Điện thoại: 886-7-213-7828
Đài Loan-Đài Bắc
Điện thoại: 886-2-2508-8600
Fax: 886-2-2508-0102
Thái Lan-Bangkok
ĐT: 66-2-694-1351
Fax: 66-2-694-1350

CHÂU ÂU

Áo - xứ Wales
ĐT: 43-7242-2244-39
Fax: 43-7242-2244-393

Đan Mạch-Copenhagen
ĐT: 45-4450-2828
Fax: 45-4485-2829

Pháp-Paris
ĐT: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

Đức-Düsseldorf
ĐT: 49-2129-3766400
Đức-Karlsruhe
ĐT: 49-721-625370

Đức-Munich
ĐT: 49-89-627-144-0
Fax: 49-89-627-144-44

Ý-Milan
ĐT: 39-0331-742611
Fax: 39-0331-466781

Ý-Venice
ĐT: 39-049-7625286

Hà Lan - Drunen
ĐT: 31-416-690399
Fax: 31-416-690340

Ba Lan-Vác-sa-va
ĐT: 48-22-3325737

Tây Ban Nha-Madrid
ĐT: 34-91-708-08-90
Fax: 34-91-708-08-91

Thụy Điển-Stockholm
ĐT: 46-8-5090-4654
Vương quốc Anh - Wokingham
ĐT: 44-118-921-5800
Fax: 44-118-921-5820