



Giao diện RGMII hạn chế của Ethernet Tốc độ gấp ba với Tính năng Độ trễ PHY ngoài

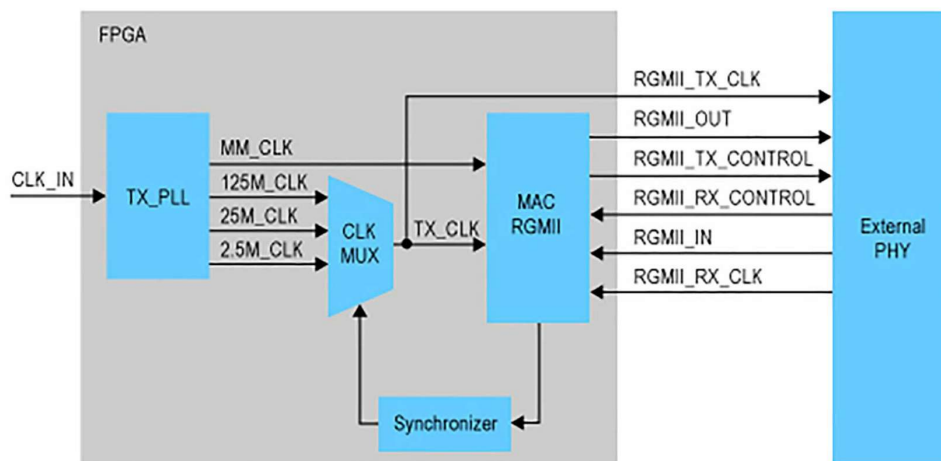
Cách hạn chế

TX

Cách xác minh

Ghi chú

Liên kết liên quan



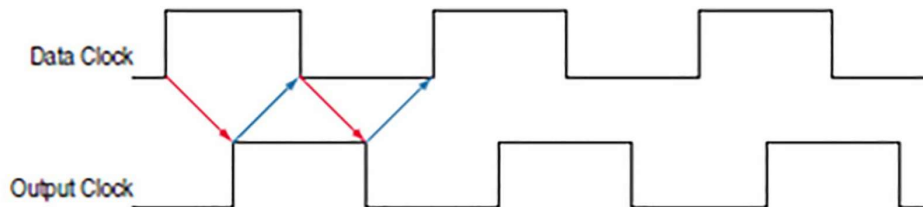
Mục tiêu của ví dụ thiết kế này là thể hiện cách hạn chế hiệu TSE_RGMII. Ví dụ thiết kế này chỉ áp dụng khi tính năng độ trễ (sự chuyển đổi 90 độ) của TX_CLK và RX_CLK PHY ngoài được bật. Nó có thể chạy trên 3 tốc độ khác nhau là 10 MHz, 100 MHz và 1000 MHz.

Giả định được đưa ra rằng người dùng đã quen thuộc với Lỗi sở hữu trí tuệ (IP) Tốc độ Ethernet gấp ba, ALTDDIO, ALTPLL, TimeQuest và Phân tích thời gian tĩnh và khái niệm đồng bộ tốc độ dữ liệu kép (DDR).

Cách hạn chế

1. Chọn phương pháp hạn chế giao diện: phương pháp tập trung vào hệ thống Intel® FPGA phương pháp tập trung.

- Phương pháp khác nhau đòi hỏi công thức khác nhau để tính giá trị độ trễ trong lệnh `set_input_delay` và `set_output_delay`
 - Ví dụ thiết kế này sử dụng phương pháp tập trung vào hệ thống
2. Quyết định bật hoặc tắt tính năng độ trễ (± 90 độ dịch chuyển) của PHY ngoài vì nó sẽ xác định loại căn chỉnh giữa đồng hồ và dữ liệu.
- Trung tâm dịch chuyển $\rightarrow 90$ độ được căn chỉnh
 - Không có sự dịch chuyển \rightarrow cạnh được căn chỉnh
 - Ví dụ thiết kế này áp dụng cho tính năng độ trễ của TX và RX của PHY bên ngoài chỉ được bật (sự chuyển đổi 90 độ)
3. Xác định mối quan hệ mong muốn ra mắt và chốt.
- Có 4 loại quan hệ ra mắt và chốt. Họ là mối quan hệ Rise-Rise (RR), Rise-Fall (RF), Fall-Rise (FR) và Fall-Fall (FF)
 - Thông số kỹ thuật RGMII quy định rằng LSB dữ liệu [3:0] sẽ được gửi ra ngoài ở cạnh tăng trước tiên và MSB dữ liệu [7:4] được gửi ra ngoài theo sau bởi cạnh tham số
 - Thiết kế của TSE với giao diện RGMII sẽ thu thập dữ liệu ở biên tăng trước tiên sau đó tiếp theo là cạnh biên biên. Nó ngụ ý rằng đồng hồ cần được chuyển sang $+90$ độ thay vì -90 độ
 - Mối quan hệ khởi động thiết lập và chốt mong muốn (Mũi tên màu đỏ): RR và FF
 - Mong muốn giữ mối quan hệ ra mắt và chốt (Mũi tên màu xanh dương): FR và RF
4. Hạn chế Giao diện RGMII. Hạn chế về thiết kế Synopsys (SDC) dựa trên thiết kế và ứng dụng. Tuy nhiên, có một số SDC chính cần thiết cho giao diện RGMII.



Hình 2. Khởi chạy Mối quan hệ Về Đồng hồ và Đồng hồ Chốt

TX

- `create_clock`
 - đồng hồ chốt dữ liệu bên trong ổ đĩa Intel® FPGA trước khi truyền sang PHY bên ngoài

- **create_generated_clock:**
 - đồng hồ với sự dịch chuyển pha 90 độ chốt dữ liệu ở PHY ngoài
- **set_false_path:**
 - Không nên phân tích mối quan hệ không mong muốn trong phân tích thời gian. Trong ví dụ thiết kế này, mối quan hệ không mong muốn đối với thiết lập là RF và FR trong khi mối quan hệ không mong muốn đối với việc giữ là RR và FF

```
set_false_path -fall_from [data_clock] -rise_to [output_clock] -setup
set_false_path -rise_from [data_clock] -fall_to [output_clock] -setup
set_false_path -rise_from [data_clock] -rise_to [output_clock] -hold
set_false_path -fall_from [data_clock] -fall_to [output_clock] -hold
```

- **set_output_delay**

```
set_output_delay -clock output_clock \
-max [expr $data_delay_max + $tsu - $clk_delay_min] \
[get_ports data_out] \
-add_delay

set_output_delay -clock output_clock \
-max [expr $data_delay_max + $tsu - $clk_delay_min] \
[get_ports data_out] \
-clock_fall \
-add_delay

set_output_delay -clock output_clock \
-min [expr $data_delay_min - $th - $clk_delay_max] \
[get_ports data_out] \
-add_delay

set_output_delay -clock output_clock \
-min [expr $data_delay_min - $th - $clk_delay_max] \
[get_ports data_out] \
-clock_fall \
-add_delay
```

TSE_RGMII RX

- **create_clock:**
 - một đồng hồ ảo chốt dữ liệu bên trong PHY bên ngoài trước khi truyền đến thiết bị Intel® FPGA
- **tạo_clock:**
 - đồng hồ với sự dịch chuyển pha 90 độ chốt dữ liệu bên trong Intel® FPGA
- **set_false_path:**
 - Không nên phân tích mối quan hệ không mong muốn trong phân tích thời gian. Trong ví dụ thiết kế này, mối quan hệ không mong muốn đối với thiết lập là RF và FR trong khi mối quan hệ không mong muốn đối với việc giữ là RR và FF

```
set_false_path -fall_from [data_clock] -rise_to [output_clock] -setup
set_false_path -rise_from [data_clock] -fall_to [output_clock] -setup
set_false_path -rise_from [data_clock] -rise_to [output_clock] -hold
set_false_path -fall_from [data_clock] -fall_to [output_clock] -hold
```

Cách xác minh

Có một vài báo cáo cần kiểm tra để xác minh sự hạn chế đồng bộ nguồn bị hạn chế đúng cách.

1. Báo cáo đồng hồ
 - Kiểm tra tần số xung tần 3 (125 MHz, 25 MHz và 2,5 MHz) và pha của nó
 - Đồng hồ Core TX (Intel® FPGA): 125 MHz, 25 MHz và 2,5 MHz
 - RGMII_TX_Clock (PHY ngoài): 125 MHz +90 điều khiển, 25 MHz +90 điều khiển và 2,5 MHz +90°
 - RGMII_RX_Clock (Intel® FPGA): 125 MHz +90 điều khiển, 25 MHz +90 điều khiển và 2,5 MHz +90
 - RGMII_RX_Virtual_Clock (PHY ngoài) : 125 MHz, 25 MHz và 2,5 MHz
2. Báo cáo truyền đồng hồ
 - Kiểm tra tất cả các mối quan hệ trên thiết lập và giữ mối quan hệ chốt khởi chạy của giao diện RGMII để truyền đồng hồ
 - Thiết lập mong muốn: RR và FF
 - Dung lượng mong muốn: FR và RF
3. Tất cả báo cáo thời gian I/O
 - Kiểm tra xem có bất kỳ đường dẫn bị lỗi và mối quan hệ khởi chạy chốt nào theo thiết lập mong muốn và giữ mối quan hệ chốt khởi chạy
 - Nhập để đăng ký thiết lập và giữ
 - Đăng ký đầu ra để thiết lập và giữ

Ghi chú:

1. TSE_10_1_RGMII_SDC là tệp SDC do Megafunction tạo ra. Nó không bao gồm sự ràng buộc RGMII SDC. Hạn chế RGMII SDC được bao gồm trong RGMII SDC.
2. Sửa đổi trong tệp TSE_10_1_RGMII_SDC.sdc:
 - Bình luận derived_pll_clock (dòng 246) vì nó sẽ ngăn bạn sử dụng lệnh create_generated_clock cho pll trong RGMII.sdc
 - Thay đổi tên của FF_TX_CLK và FF_RX_CLK hàng 59 và dòng 60 theo thiết kế
3. Có những cảnh báo có thể bỏ qua trong quá trình phân tích thời gian. Vui lòng tham khảo readme.txt được tìm thấy trên TSE_RGMII_With_SDC.qar để biết thêm chi tiết.
4. Tải xuống tệp được sử dụng trong ví dụ này: TSE_RGMII_With_SDC.qar

Việc sử dụng thiết kế này được điều chỉnh và tuân theo các điều khoản và điều kiện của Thỏa thuận cấp phép Mẫu thiết kế Intel®.

Liên kết liên quan

- Trung tâm tài nguyên lõi Ethernet tốc độ gấp ba
- Hướng dẫn Sử dụng Chức năng MegaCore Ethernet Tốc độ gấp ba
- Hướng dẫn sử dụng ALTDDIO Megafunction
- Hướng dẫn Sử dụng Lõi IP ALTPLL (Vòng lặp khóa pha) (PDF)
- AN 433: Giao diện đồng bộ nguồn phân tích và hạn chế (PDF)

Nội dung gốc bằng tiếng Anh trên trang này vừa do con người vừa do máy dịch. Nội dung này chỉ để cung cấp thông tin chung và giúp quý vị thuận tiện. Quý vị không nên tin đây là thông tin hoàn chỉnh hoặc chính xác. Nếu có bất kỳ mâu thuẫn nào giữa bản tiếng Anh và bản dịch của trang này, thì bản tiếng Anh sẽ chi phối và kiểm soát. Xem phiên bản tiếng Anh của trang này.

[Thông tin về công ty](#)

[Cam kết của chúng tôi](#)

[Đa dạng và Cộng đồng](#)

[Mối quan hệ với nhà đầu tư](#)

[Liên hệ với chúng tôi](#)

[Phòng tin tức](#)

[Sơ đồ trang web](#)

[Các việc làm](#)



© Intel Corporation

[Điều khoản sử dụng](#)

[*Thương hiệu](#)

[Cookie](#)

[Bảo mật](#)

[Độ minh bạch của chuỗi cung ứng](#)

Các công nghệ của Intel có thể yêu cầu phần cứng được hỗ trợ, phần mềm cụ thể hoặc kích hoạt dịch vụ. Không có sản phẩm hoặc linh kiện nào có thể an toàn tuyệt đối. // Chi phí và kết quả của bạn có thể thay đổi. // Hiệu suất thay đổi theo cách sử dụng, cấu hình và các yếu tố khác. // Xem các Thông báo pháp lý và Tuyên bố từ chối trách nhiệm

hoàn chỉnh của chúng tôi. // Intel cam kết tôn trọng nhân quyền và tránh đồng lõa với hành vi vi phạm nhân quyền. Xem Nguyên tắc Nhân quyền Toàn cầu của Intel. Các sản phẩm và phần mềm của Intel là chỉ dành để sử dụng trong ứng dụng không gây ra hoặc đóng góp vào hoạt động vi phạm nhân quyền được quốc tế công nhận.

