

ĐỒ ÁN VI XỬ LÝ

“ĐO VÀ ĐIỀU KHIỂN TỐC ĐỘ ĐỘNG CƠ DÙNG 8051”

GVHD: Đào Đức Thịnh

Sinh viên thực hiện: Trương Văn Trọng

Phan Công Toán

Lời nói đầu

Trong những năm gần đây với sự phát triển mạnh mẽ của khoa học – kỹ thuật. Đặc biệt của ngành công nghiệp chế tạo các linh kiện bán dẫn, các các vi mạch tích hợp IC một hướng phát triển mới của Vi xử lý đã hình thành đó là Vi Điều Khiển. Với những ưu điểm to lớn về tốc độ, độ chính xác cao, khả năng xử lý các bài toán, tính linh hoạt nên các Vi Điều khiển đã được ứng dụng trên hầu hết các lĩnh vực trong cuộc sống. Bằng cách áp dụng Vi Điều Khiển trong sản xuất và xử lý, Vi Điều Khiển đã thực sự thể hiện được các ưu điểm của mình so với các thiết bị thông thường khác.

Vì những ứng dụng to lớn của Vi điều khiển, do đó mà ở các trường Đại Học, Cao Đẳng, TCCN.... Về khoa học – công nghệ. Môn vi xử lý đã trở thành một môn học không thể thiếu được trong chương trình đào tạo. vi điều khiển 8051 sẽ cung cấp cho sinh viên những khái niệm cơ bản cách thức hoạt động của Vi xử lý qua đó sinh viên có tư duy, kiến thức nền tảng, để có thể giải quyết các bài toán ứng dụng thực tế trong cuộc sống, cũng như là cơ sở để học tập nghiên cứu các dòng Vi xử lý khác như :PIC, AVR....

Qua đồ án này chúng em có cái nhìn thực tế hơn, sâu sắc hơn về vi điều khiển. chúng em cũng đã hiểu thêm nhiều về cách thức xử lý một bài toán thực tế phức tạp.

Với sự hướng dẫn tận tình của thầy: Đào Đức Thịnh chúng em hi vọng chúng em có thể hoàn thành tốt đồ án này.

Chúng em xin chân thành cảm ơn thầy!

GVHD: Đào Đức Thịnh

CHƯƠNG I.GIỚI THIỆU CHUNG

I.1.khảo sát hệ thống.

Hiện nay trong rất nhiều lĩnh vực đời sống và sản xuất các loại động cơ điện ngày càng được ứng dụng rộng rãi hơn so với những loại động cơ sử dụng năng lượng như xăng, dầu, khí đốt.....Những loại động cơ điện này có những ưu điểm hơn hẳn về hiệu suất sử dụng, cấu tạo nhỏ gọn, giá thành hợp lý, dễ dàng điều chỉnh tốc độ, đảo chiều, cường độ các quá trình khởi động, quá trình hãm dừng dễ dàng.Trong thực tế có rất nhiều loại động cơ điện được sử dụng bao gồm:

+Động cơ điện cơ điện 3 pha được chia làm các loại cơ bản là: Động cơ điện 3 pha dây quấn và 3 pha roto lồng sóc, động cơ điện 1 pha.

+Động cơ điện 1 chiều bao gồm các loại như: kích từ song song và loại kích từ nối tiếp.

Thông thường với những động cơ thường xuyên đòi hỏi đảo chiều,tăng, giảm, hãm dừng thì thường sử dụng động cơ điện 1 chiều là chủ yếu, vì sẽ dễ dàng điều khiển hơn so với động cơ xoay chiều. Để tiến hành điều khiển động cơ 1 chiều, có rất nhiều biện pháp được ứng dụng như là: thay đổi điện áp phản ứng, thay đổi từ thông, hoặc sử dụng điện trở phụ mắc thêm vào phản ứng của động cơ. Để làm được điều đó, chúng ta cần đi xây dựng những hệ thống điều khiển, có rất nhiều hệ thống được ứng dụng như là: các hệ thống điều khiển PID, điều khiển động cơ bằng Vi điều khiển, hay có thể điều khiển bằng cách sử dụng các loại khí cụ điện. Trong đề tài này chúng em sẽ tiến hành nghiên cứu các quá trình điều khiển động cơ bằng phương pháp sử dụng Vi điều khiển họ 8051.

I.2.Nhiệm vụ và yêu cầu kĩ thuật.

* Thiết kế một mạch điện điều khiển động cơ DC 12 v.với các yêu cầu quay thuận ,quay nghịch, tăng tốc,giảm tốc,vad đảo chiều quay động cơ.

* Thực hiện thao tác điều chỉnh các chức năng trên thông qua các nút ấn bao gồm :nút khởi động động cơ,nút điều khiển quay thuận, nút điều khiển quay ngược, nút tăng tốc, nút giảm tốc, và nút dừng động cơ, thông qua các nút ấn này cho phép ta có thể điều chỉnh động cơ làm việc ở 1 tốc độ như mong muốn.

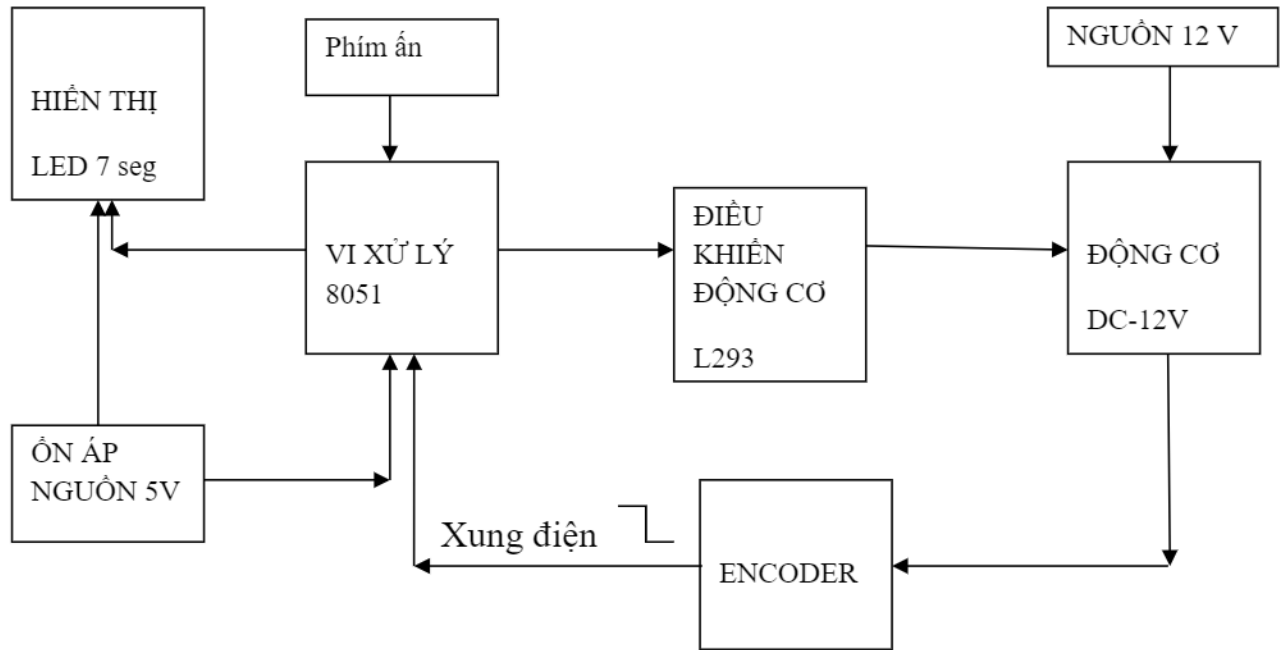
- * Hệ thống cho phép hiển thị tốc độ làm việc có thể sử dụng LCD hoặc LED 7 thanh, đồng thời có các led đơn thông báo trạng thái quay thuận, quay ngược, dừng còn giá trị tốc độ động cơ được hiển thị chi tiết là bao nhiêu trên LED 7 đoạn.
- * Thông qua đề tài, làm quen với cách thức, nguyên lý điều khiển đối tượng động cơ 1 chiều.
- * Tìm hiểu thực tế các linh kiện, các loại IC, hoạt động của các loại cảm biến....
- * Viết chương trình cho vi điều khiển thực hiện thành công theo yêu cầu đề ra.
- * Tìm hiểu các hướng phát triển của đề tài, nâng cao chất lượng của hệ thống.
- * chi phí cho hệ thống không quá cao, phù hợp với yêu cầu kinh tế.

Mạch sử dụng các linh kiện sau:

- Vi điều khiển :AT89c52.
- Bộ cảm biến quang học:encoder (đã được gắn trực tiếp trên động cơ DC)
- Động cơ điện một chiều: 12v
- Led 7seg.
- Nút nhấn.
- Led đơn.
- LM7805.
- Mạch cầu H: L298.
- Ngoài ra còn các phần tử điện khác như:tụ hóa,tụ phân cực,điện trở...

CHƯƠNG II:SƠ ĐỒ KHỐI

II.1.sơ đồ khối của mạch



Sơ đồ khối của mạch.

II.2.nhiệm vụ - chức năng của từng khối.

- ❖ Động cơ: động cơ điện được sử dụng trong mạch là động cơ điện một chiều có điện áp đặt vào tối đa 24V. Trên trục động cơ có gắn một đĩa tròn có khoét các lỗ tròn để cho ánh sáng từ led phát quang có thể đi qua tới con mắt thu quang để có thể đo được tốc độ động cơ. ở đây chúng ta dùng động cơ DC 12V.
- ❖ Encoder : dùng để đo số vòng quay của động cơ và phát hiện chiều quay của động cơ. encoder nó sẽ đo tốc độ động cơ thông qua sự liên lạc, mắt liên lạc của led phát quang và bộ phận thu quang rồi chuyển thành các xung điện áp vuông gửi tới chân ngắt của Vi Xử Lý.

- ❖ Vi Xử Lý: nhận các tín hiệu từ encoder thông qua cơ chế ngắt từ đó căn cứ vào số xung do đó nó sẽ tính toán xử lý để:
 - Đưa ra tốc độ động cơ hiển thị lên led 7 thanh.
 - Điều chế độ rộng xung PWM để điều khiển tốc độ động cơ cho phù hợp với yêu cầu.
 ⇒ Khối vi xử lý là trái tim là khối óc của hệ thống là phần quan trọng nhất điều khiển mọi hoạt động của mạch.
- ❖ Khối điều khiển: điều khiển hướng của động cơ điện một chiều. trong bài toán này chúng em sử dụng mạch cầu H để điều khiển hướng của động cơ.
- ❖ Khối hiển thị: nhận số liệu về tốc độ động cơ từ vi xử lý rồi hiển thị lên các led 7 thanh theo sự điều khiển của Vi điều khiển.
- ❖ Khối nguồn ổn áp 5V: có chức năng cung cấp điện áp ổn định cho các khối trong mạch. Cụ thể trong mạch ta sử dụng hai nguồn riêng biệt:
 - Nguồn 5V DC dùng để nuôi các IC trong mạch hoạt động tạo ra các tín hiệu xuất ra chuẩn TTL, tránh các trường hợp nhiễu điện áp không đúng với điện áp cấp cho IC => tránh IC không hoạt động, hỏng hóc, chập cháy.
 - Nguồn 12V DC dùng để cung cấp cho động cơ một chiều DC (trong đồ án này sử dụng động cơ một chiều DC 12V.)

CHƯƠNG III: CƠ SỞ LÝ THUYẾT GIẢI QUYẾT BÀI TOÁN

III.1. Vi Điều Khiển 8051.

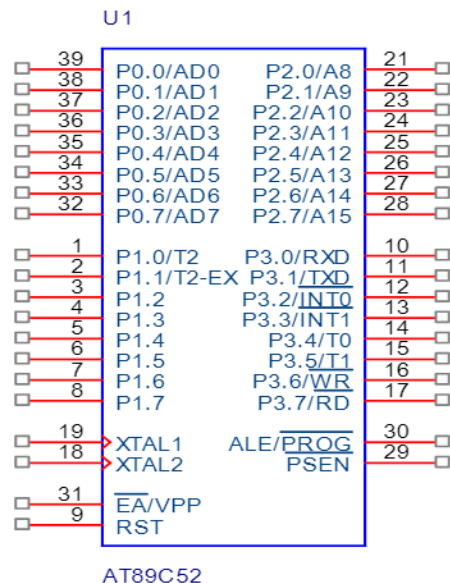
III.1.1. Kiến trúc phần cứng AT89C52

AT89C51 là phiên bản 8051 có ROM trên chip là Flash. Phiên bản này thích hợp cho ứng dụng nhanh vì bộ nhớ Flash có thể xóa trong vài giây. AT89C51 có thể được lập trình qua cổng COM của máy tính IBM PC.

Các thành phần bên trong nó gồm có:

- 128 byte RAM
- 8Kbyte ROM
- 32 đường xuất nhập
- 3 bộ định thời đếm 16 bit
- 8 nguyên nhân ngắt
- một port nối tiếp song công
- một mạch dao động và tạo xung clock trên chip

a. Cấu hình các chân của 89ATC52:



b. Mô tả các chân

- Vcc (40): chân cấp điện (5V)

- GND (20): chân đất (0V)

* Cổng Port 1 được chỉ định là cổng I/O từ chân 1 đến 8. Chúng được sử dụng cho mục đích duy nhất là giao tiếp với thiết bị khi cần thiết. Ngoài ra các chân P1.0, P1.1 là 2 chân liên quan đến hoạt động ngắt của bộ định thời 2.

Trong những mô hình thiết kế không dùng bộ nhớ ngoài, Port 0 là cổng I/O. Còn đối với các hệ thống lớn hơn có yêu cầu một số lượng đáng kể bộ nhớ ngoài thì Port 0 trở thành các đường truyền dữ liệu và 8 bit thấp của bus địa chỉ. Ngoài ra chân P1.0(T2) là ngõ vào của bộ đếm thời gian 2. P1.1(T2EX) là chân capture/reload của bộ đếm thời gian 2.

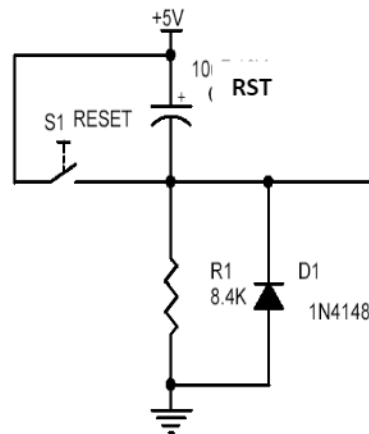
* Cổng Port 2 là cổng I/O hoặc là đường truyền 8 bit cao của bus địa chỉ cho những mô hình thiết kế có bộ nhớ chương trình ở nằm ngoài học có hơn 256 byte bộ nhớ dữ liệu ngoài .

* Cổng Port 3 ngoài mục đích chung là cổng I/O, những chân này còn kiêm luôn nhiều chức năng khác liên quan đến đặc tính đặc biệt của vi điều khiển.

| Bit | Tên | Địa chỉ bit | Chức năng thứ hai |
|------|-------|-------------|--|
| P3.0 | RXD | B0H | Nhận dữ liệu cho cổng nối tiếp |
| P3.1 | TXD | B1H | Truyền dữ liệu cho cổng nối tiếp |
| P3.2 | 'INT0 | B2H | Ngắt 0 bên ngoài |
| P3.3 | 'INT1 | B3H | Ngắt 1 bên ngoài |
| P3.4 | T0 | B4H | Ngõ vào bộ đếm thời gian 0 |
| P3.5 | T1 | B5H | Ngõ vào bộ đếm thời gian 1 |
| P3.6 | 'WR | B6H | Tín hiệu điều khiển ghi bộ nhớ dữ liệu ngoài |
| P3.7 | 'RD | B7H | Tín hiệu điều khiển đọc bộ nhớ dữ liệu ngoài |

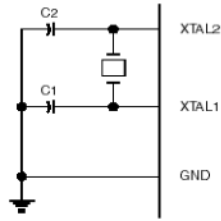
Những chức năng thứ hai của chân công Port 3

- /PSEN là một tín hiệu điều khiển cho phép bộ nhớ chương trình bên ngoài hoạt động. Nó thường được kết nối đến chân /OE (Output Enable) của /EPROM để đọc các byte chương trình. Xung tín hiệu /PSEN luôn ở mức thấp trong suốt phạm vi quá trình của một lệnh. Còn khi thi hành chương trình từ ROM ở ngay bên trong chip, chân /PSEN luôn ở mức cao.
- Tín hiệu ALE có chức năng đặc biệt tách byte địa chỉ thấp và bus dữ liệu khi cổng P0 được sử dụng ở chế độ tuần tự hay còn gọi là chế độ dồn kênh, nghĩa là sử dụng cùng một đường truyền cho các bit dữ liệu và byte thấp của bus địa chỉ
- Khi chân /EA ở mức cao, vi điều khiển được thực hiện các chương trình lưu trữ ở vùng nhớ thấp hơn 8Kbyte ROM bên trong chip. Còn /EA ở mức thấp chỉ có những chương trình lưu ở bộ nhớ ngoài mới được thực hiện
- AT89S52 có một bộ dao động nội bên trong chip hoạt động theo tần số của một dao động thạch anh nằm bên ngoài. Tần số thông dụng của thạch anh là 11,0592 MHZ.
- RST (9): ngõ vào reset ở mức cao trên chân này trong 2 chu kỳ máy.



Mạch reset tác động bằng tay và sẽ tự động reset lại máy.

- XTAL1 và XTAL2: là hai ngõ vào và ra của bộ khuếch đại đảo của mạch giao động, được cấu hình dùng để dùng như một bộ giao động trên chip.



Note: C1, C2 = 30 pF \pm 10 pF for Crystals
= 40 pF \pm 10 pF for Ceramic Resonators

Không có yêu cầu nào về chu kì nghiệm vụ của tín hiệu xung Clock bên ngoài do tín hiệu này phải qua mạch flip-flop chia hai trước khi tới mạch tạo xung bên trong. Tuy nhiên các chi tiết kĩ thuật về thời gian mức thấp và thời gian mức cao, điện áp cực đại, điện áp cực tiểu cần được xem xét.

c. tổ chức bộ nhớ

Không gian bộ nhớ của bộ vi điều khiển được phân chia thành 2 phần: bộ nhớ dữ liệu và bộ nhớ chương trình. Hầu hết các IC MCS đều có bộ nhớ chương trình nằm bên trong chip, tuy nhiên cũng có thể mở rộng dung lượng lên đến 64K bộ nhớ chương trình và 64K dữ liệu bằng cách sử dụng một số bộ nhớ ngoài.

Bên trong chip vi điều khiển AT89C51 có 128 byte bộ nhớ dữ liệu. Không gian bộ nhớ bên trong được chia thành các bank thanh ghi, RAM địa chỉ theo bit, RAM dùng chung và các thanh ghi chức năng đặc biệt.

| | | | | | | | | | | | |
|----|-----------------------|----|---|---|---|---|---|---|---|---|-----|
| 7F | <i>RAM dùng chung</i> | FF | | | | | | | | | |
| | | F0 | F | F | F | F | F | F | F | F | B |
| | | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | E0 | E | E | E | E | E | E | E | E | ACC |
| | | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | D0 | D | D | D | D | D | D | D | D | PSW |
| | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| | | CD | | | | | | | | | TH2 |
| | | CC | | | | | | | | | TL2 |

| | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--------|---------------|---------------|---------------|---------------|---------------|---------------|--------|--------|----|--------|--------|--------|--------|--------|--------|--------|--------|------------|--|--|--|--|--|--|--|------------|
| 30 | | | | | | | | | CB | | | | | | | | | RCA P2L | | | | | | | | |
| | | | | | | | | | CA | | | | | | | | | | | | | | | | | RCA P2H |
| | | | | | | | | | C8 | | | | | | | | | | | | | | | | | T2C ON |
| | | | | | | | | | B8 | | | | | | | | | | | | | | | | | - |
| 2F | 7 <i>F</i> | 7 <i>E</i> | 7 <i>D</i> | 7 <i>C</i> | 7 <i>B</i> | 7 <i>A</i> | 7 9 | 7 8 | B0 | B 7 | B 6 | B 5 | B 4 | B 3 | B 2 | B 1 | B 0 | P3 | | | | | | | | |
| 2E | 7 7 | 7 6 | 7 5 | 7 4 | 7 3 | 7 2 | 7 1 | 7 0 | A8 | A F | - | - | A C | A B | A A | A 9 | A 8 | IE | | | | | | | | |
| 2 D | 6 <i>F</i> | 6 <i>E</i> | 6 <i>D</i> | 6 <i>C</i> | 6 <i>B</i> | 6 <i>A</i> | 6 9 | 6 8 | A0 | A 7 | A 6 | A 5 | A 4 | A 3 | A 2 | A 1 | A 0 | P2 | | | | | | | | |
| 2C | 6 7 | 6 6 | 6 5 | 6 4 | 6 3 | 6 2 | 6 1 | 6 0 | 99 | | | | | | | | | SBU F | | | | | | | | |
| 2B | 5 <i>F</i> | 5 <i>E</i> | 5 <i>D</i> | 5 <i>C</i> | 5 <i>B</i> | 5 <i>A</i> | 5 9 | 5 8 | 98 | 9 F | 9 E | 9 D | 9 C | 9 B | 9 A | 9 9 | 9 8 | SCO N | | | | | | | | |
| 2 A | 5 7 | 5 6 | 5 5 | 5 4 | 5 3 | 5 2 | 5 1 | 5 0 | 90 | 9 7 | 9 6 | 9 5 | 9 4 | 9 3 | 9 2 | 9 1 | 9 0 | P1 | | | | | | | | |
| 29 | 4 <i>F</i> | 4 <i>E</i> | 4 <i>D</i> | 4 <i>C</i> | 4 <i>B</i> | 4 <i>A</i> | 4 9 | 4 8 | 8D | | | | | | | | | TH1 | | | | | | | | |
| 28 | 4 7 | 4 6 | 4 5 | 4 4 | 4 3 | 4 2 | 4 1 | 4 0 | 8C | | | | | | | | | TH0 | | | | | | | | |
| 27 | 3 <i>F</i> | 3 <i>E</i> | 3 <i>D</i> | 3 <i>C</i> | 3 <i>B</i> | 3 <i>A</i> | 3 9 | 3 8 | 8B | | | | | | | | | TL1 | | | | | | | | |
| 26 | 3 7 | 3 6 | 3 5 | 3 4 | 3 3 | 3 2 | 3 1 | 3 0 | 8A | | | | | | | | | TL0 | | | | | | | | |

Sơ đồ chi tiết không gian bộ nhớ dữ liệu bên trong vi điều khiển

AT89C52 có các thanh ghi R0 đến R7 và 21 thanh ghi chức năng đặc biệt SFR (Special Function Register) nằm ở phần trên của RAM từ địa chỉ 80H đến FFH.

- **Thanh ghi trạng thái PSW** (program status word):

| Bit | Ký hiệu | Địa chỉ | Mô tả bit |
|-------|---------|---------|---|
| PSW.7 | CY | D7H | Cờ nhớ |
| PSW.6 | AC | D6H | Cờ nhớ phụ |
| PSW.5 | FO | D5H | Cờ 0 |
| PSW.4 | RS1 | D4H | Chọn dãy thanh ghi(bit 1) |
| PSW.3 | RS0 | D3H | Chọn dãy thanh ghi(bit 0) 00=bank1: địa chỉ từ 00h đến 07h 01=bank2: địa chỉ từ 08h đến 0Fh 10=bank3: địa chỉ từ 10h đến 17h 01=bank2: địa chỉ từ 18h đến 1Fh |
| PSW.2 | OV | D2H | Cờ tràn |
| PSW.1 | - | D1H | Dự trữ |
| PSW.0 | P | D0H | Cờ kiểm tra chẵn lẻ |

- **Thanh ghi B**: thanh ghi luôn được sử dụng kèm theo thanh ghi A để thực hiện các phép toán nhân và chia. Thanh ghi B xem như là thanh ghi đệm dùng chung. Nó có địa chỉ từ F0 đến F7.

- **Con trỏ ngăn xếp**: là một thanh ghi 8 bit, nó chứa địa chỉ của phần dữ liệu đang hiện diện tại đỉnh ngăn xếp. Ngăn xếp hoạt động theo phương thức LIFO. Hoạt động đẩy vào ngăn xếp làm tăng SP lên trước khi ghi dữ liệu vào. Hoạt động lấy ra khỏi ngăn xếp sẽ đọc dữ liệu ra rồi giảm SP.

- **Con trỏ dữ liệu DPTR**(Data Pointer): DPTR được sử dụng để truy cập vào bộ nhớ chương trình và bộ nhớ dữ liệu ngoài, đó là thanh ghi 16 bit có 8 bit thấp ở địa chỉ 82H (DPL) và 8 bit cao ở địa chỉ 83h (DPL)

- **Các thanh ghi cổng:** Các cổng I/O của VDL bao gồm P0 tại địa chỉ 80H, P1 ở địa chỉ 90H, P2 tại địa chỉ A0H, P3 tại địa chỉ B0H. Tất cả các cổng đều có địa chỉ bit nên cung cấp khả năng giao tiếp với bên ngoài rất mạnh

- **Các thanh ghi bộ đếm thời gian:** AT89C52 có 3 bộ đếm thời gian 16 bit để định các khoảng thời gian hay đếm các sự kiện. Timer0 có địa chỉ 8AH (TL0: bit thấp) và 8CH (TH0: byte cao). Timer1 có địa chỉ 8BH (TL1: bit thấp) và 8DH (TH1: byte cao). Timer2 có địa chỉ CCH (TL2: bit thấp) và 8CD (TH2: byte cao). Hoạt động của các bộ đếm thời gian được thiết lập bởi các thanh ghi TMOD, TCON, T2CON. Ngoài ra các thanh ghi RCAP2L, RCAP2H được sử dụng trong chế độ tự nạp của 16 bit bộ định thời 2.

- **Các thanh ghi cổng tuần tự:** IC AT89C52 chứa một cổng nối tiếp để kết nối với các thiết bị nối tiếp như modem hoặc để giao tiếp với các IC khác sử dụng giao tiếp nối tiếp. Bộ đệm dữ liệu nối tiếp SBUF lưu giữ cả dữ liệu truyền đi và dữ liệu nhận được.

- **Các thanh ghi ngắt:** AT89C52 có 6 nguyên nhân ngắt và 2 ngắt ưu tiên. Các ngắt bị cấm sau khi hệ thống khởi động lại và để được bật bằng cách ghi vào thanh ghi cho phép ngắt IE. Mức ưu tiên được thiết lập thông qua thanh ghi ưu tiên IP.

- **Thanh ghi điều khiển năng lượng PCON** (Power Control Register): chứa nhiều bit điều khiển đảm bảo các chức năng khác nhau.

III.1.2. hoạt động của timer.

a. các thanh ghi của bộ định thời.

Để truy cập bộ định thời ta sử dụng 11 thanh ghi FSR:

| SFR | Mục đích | Địa chỉ | Định địa chỉ bit |
|------|------------------------------|---------|------------------|
| TCON | Điều khiển | 88H | Có |
| TMOD | Chọn chế độ | 89H | Không |
| TL0 | Byte thấp của bộ định thời 0 | 8AH | Không |
| TL1 | Byte thấp của bộ định thời 1 | 8BH | Không |
| TH0 | Byte cao của bộ định thời 0 | 8CH | Không |

| | | | |
|--------|-----------------------------------|-----|-------|
| TH1 | Byte cao của bộ định thời 1 | 8DH | Không |
| T2CON | Điều khiển bộ định thời 2 | C8H | Có |
| RCAP2L | Nhận byte thấp của bộ định thời 2 | CAH | Không |
| RCAP2H | Nhận byte cao của bộ định thời 2 | CBH | Không |
| TL2 | Byte thấp của bộ định thời 2 | CCH | Không |
| TH2 | Byte cao của bộ định thời 2 | CDH | Không |

- Thanh ghi TMOD (Timer Moder Register):

| Bit | Tên | Timer | Chức năng |
|-----|------|-------|---|
| 7 | GATE | 1 | Khi bit Gate=1 và 'INT1 cao thì Timer 1 mới hoạt động |
| 6 | C/'T | 1 | Bit chọn counter/timer (1/0) |
| 5 | M1 | 1 | Bit mode 1 |
| 4 | M0 | 1 | Bit mode 0 |
| 3 | GATE | 0 | Bit GATE của timer 0 |
| 2 | C/'T | 0 | Bit chọn counter/timer (1/0) Timer 0 |
| 1 | M1 | 0 | Bit mode 1 của Timer 0 |
| 0 | M0 | 0 | Bit mode 0 của Timer 0 |

Các bit địa chỉ của thanh ghi TMOD:

Thanh ghi TMOD được chia thành 2 nhóm 4 bit dùng để truy cập các chế độ hoạt động của Timer0 và Timer1.

Các chế độ hoạt động của bộ định thời:

- + M1=0, M0=0: Mode 0 (Chế độ định thời 13-bit)
- + M1=0, M0=1: Mode 1 (Chế độ định thời 16 bit)
- + M1=1, M0=0: Mode 2 (Chế độ tự động nạp 8 bit)
- + M1=1, M0=1: Mode 3 (Chế độ định thời chia xẻ).

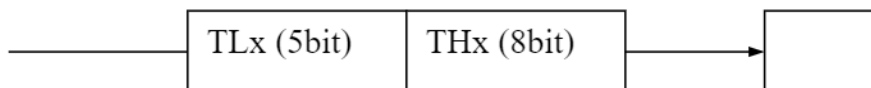
- Thanh ghi điều khiển bộ định thời TCON (Timer control register):

| Bit | Ký hiệu | Địa chỉ bit | Mô tả |
|--------|---------|-------------|---|
| TCON.7 | TF1 | 8FH | Cờ tràn bộ định thời |
| TCON.6 | TR1 | 8EH | Bit điều khiển hoạt động của bộ định thời 1 |
| TCON.5 | TF0 | 8DH | Cờ tràn bộ định thời 0 |
| TCON.4 | TR0 | 8CH | Bit điều khiển hoạt động của bộ định thời 1 |
| TCON.3 | IE1 | 8BH | Cờ ngắt bên ngoài 1 |
| TCON.2 | IT1 | 8AH | Cờ ngắt bên ngoài 1 |
| TCON.1 | IE0 | 89H | Cờ ngắt bên ngoài 0 |
| TCON.0 | IT0 | 88H | Cờ ngắt bên ngoài 0 |

c. các chế độ của timer và cờ tràn

❖ Chế độ định thời 13 bit (mode 0):

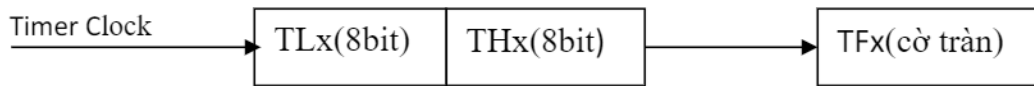
Mode 0 ít được sử dụng trong các hệ thống mới. Byte cao của bộ định thời THx được kết hợp với 5 bit có trọng số nhỏ nhất của byte thấp của bộ định thời TLx để tạo nên bộ định thời 13 bit. #bit còn lại của TLx không được sử dụng.



❖ Chế độ định thời 16 bit (mode1):

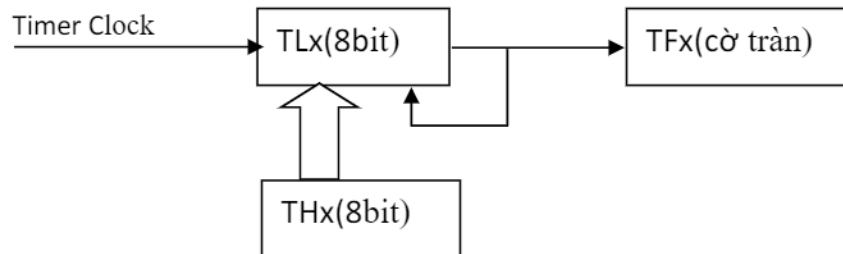
Trong Mode 1, tín hiệu đồng hồ được đưa vào cả 2 byte cao và thấp của bộ định thời (TLx, THx). Khi nhận xung đồng hồ, bộ định thời bắt đầu đếm lên từ

0000H. Hiện tượng tràn xảy ra khi có chuyển tiếp từ FFFFH về 0000H và làm bật cờ tràn.



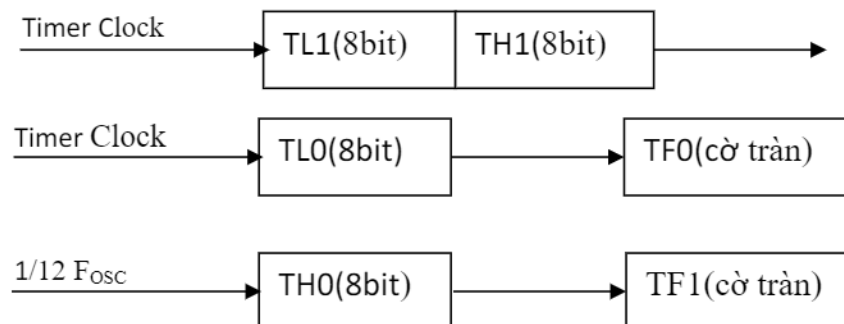
❖ Chế độ định thời 8 bit tự động nạp lại (mode 2):

Trong Mode 2, thanh ghi định thời TLx hoạt động như là bộ định thời 8 bit trong khi byte cao của bộ định thời lưu giá trị nạp lại. Khi quá trình đếm ở TLx bị tràn từ FFH về 00H thì không những cờ tràn bật lên mà giá trị tổng THx được nạp vào TLx, và tiếp tục quá trình đếm từ giá trị này tới khi xảy ra sự chuyển đổi tiếp theo từ FFH về 00H.



❖ Chế độ định thời phân chia (mode 3):

Timer 0 trong mode 3 được chia thành 2 bộ định thời 8b bit. TL0 và TH0 hoạt động như 2 bộ định thời riêng rẽ và sử dụng các cờ tràn tương ứng là TF0, TF1. Timer 1 trong mode 3 ngừng làm việc nhưng có thể hoạt động bằng cách chuyển nó sang một trong mode khác. Điều hạn chế duy nhất là cờ tràn của Timer mode không bị ảnh hưởng khi xảy ra tràn Timer1, bởi vì nó được nối đến TH0

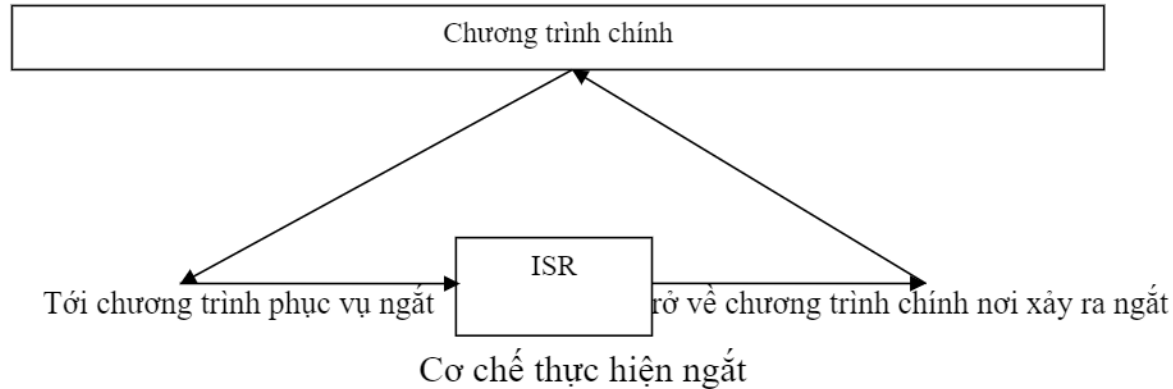


III.1.4. hệ thống ngắt.

a. giới thiệu chung.

Ngắt đóng vai trò trong việc thiết kế và thực hiện các ứng dụng của vi điều khiển. Chúng cho phép hệ thống đáp ứng một cách không đồng bộ đến một sự kiện và giải quyết sự kiện đó khi chương trình khác đó khi chương trình khác đang chạy.

Chương trình giải quyết yêu cầu của một ngắt gọi là thủ tục phục vụ ngắt ISR. ISR dùng để đáp ứng lại một ngắt và thường là thực hiện các hoạt động vào ra đối với một thiết bị vào ra nối với vi điều khiển. Khi xảy ra một ngắt chương trình chính tạm dừng công việc đang thi hành và rẽ nhánh sang ISR, tiếp theo ISR hoạt động để đáp ứng yêu cầu của ngắt và nó sẽ kết thúc bằng lệnh quay trở về, chương trình chính sẽ hoạt động tiếp tục ngay sau điểm rẽ nhánh. Chương trình chính thực hiện ở mức cơ bản còn ISR thực hiện ở mức ngắt.



b. tổ chức ngắt.

AT89C51 có tất cả 6 nguyên nhân ngắt: hai ngắt do bên ngoài, ba ngắt do bộ định thời, một ngắt do port nối tiếp. Tất cả các ngắt đều bị cấm sau khi hệ thống khởi động (reset) sau đó chúng được cho phép bằng phần mềm.

c. độ ưu tiên ngắt.

Mỗi một nguồn ngắt có thể được lập trình để đạt được một trong 2 mức ưu tiên thông qua thanh ghi chức năng đặc biệt có địa chỉ bit IP tại 0B8H. Thanh ghi

IP bị xoá sau khi hệ thống khởi động để đặt các ngắt ở mức ưu tiên thấp hơn so với mặc định. Trong AT89C51 tồn tại 2 mức ưu tiên. Khi một ưu ngắt có mức ưu tiên cao xuất hiện trong một ISR có mức ưu tiên thấp đang thi hành thì ISR đó sẽ bị ngừng lại, ISR có mức ưu tiên cao hơn sẽ được thực hiện. Nếu 2 ngắt có mức ưu tiên khác nhau xảy ra cùng một lúc thì ngắt có mức ưu tiên cao hơn sẽ được phục trước:

| EA | ET2 | ES | ET1 | EX1 | EX0 | ET0 |
|---------------------------|-----|---|-----|-----|-----|-----|
| Điều khiển các nguồn ngắt | | | | | | |
| IE | | (0: không cho phép; 1: cho phép) | | | | |
| IE.7 | EA | Cho phép/ không cho phép toàn cục | | | | |
| IE.6 | --- | Không sử dụng | | | | |
| IE.5 | ET2 | Cho phép ngắt do bộ định thời 2 | | | | |
| IE.4 | ES | Cho phép ngắt do port nối tiếp | | | | |
| IE.3 | ET1 | Cho phép ngắt cho bộ định thời 1 | | | | |
| IE.2 | EX1 | Cho phép ngắt từ bên ngoài (ngắt ngoài 1) | | | | |
| IE.1 | EX0 | Cho phép ngắt từ bên ngoài (ngắt ngoài 0) | | | | |
| IE.0 | ET0 | Cho phép ngắt do bộ định thời 0 | | | | |

Thanh ghi IE.

Các bit trong thanh ghi IP (thanh ghi điều khiển ưu tiên ngắt):

| Bit | Ký hiệu | Địa chỉ bit | Mô tả |
|------|---------|-------------|--------------------------------|
| IP.7 | - | - | Không định nghĩa |
| IP.6 | - | - | Không định nghĩa |
| IP.5 | PY2 | BDH | Ưu tiên cho ngắt Timer 2 |
| IP.4 | PS | BCH | Ưu tiên cho ngắt cổng nối tiếp |
| IP.3 | PT1 | BBH | Ưu tiên cho ngắt Timer 1 |
| IP.2 | PX1 | BAH | Ưu tiên cho ngắt ngoài 1 |
| IP.1 | PT0 | B9H | Ưu tiên cho ngắt Timer 0 |
| IP.0 | PX0 | B8H | Ưu tiên cho ngắt ngoài 0 |

d.cơ chế lựa chọn tuần tự.

Nếu có 2 ngắt cùng mức ưu tiên xảy ra đồng thời, một cơ chế chọn lựa theo thứ tự có sẵn sẽ xác định ngắt nào được đáp ứng trước. Việc chọn lựa theo thứ tự là: External 0, Timer 0, External 1, Timer 1, Serial Port, Timer 2.

Quá trình xử lý ngắt:

Khi một ngắt xuất hiện và nó được CPU chấp nhận, chương trình chính bị ngừng, các hoạt động tiếp theo xảy ra như sau:

- + Thực hiện xong lệnh hiện hành đó
- + Bộ đếm chương trình PC được lưu vào trong Stack
- + Lưu giữ tình trạng của ngắt hiện tại
- + Các nguồn ngắt được giữ tại mức của ngắt hiện tại
- + Nạp vào PC địa chỉ Vector của ISR
- + ISR thực hiện

ISR hoạt động để đáp ứng lại yêu cầu ngắt. ISR kết thúc bằng lệnh RETI có tác dụng quay trở về chương trình chính, lệnh này sẽ nạp lại giá trị cũ của PC trong ngăn xếp và khôi phục tình trạng của ngắt cũ. Việc thực hiện chương trình chính tiếp tục diễn ra tại nơi nó tạm dừng.

e.vector ngắt.

Khi một ngắt được chấp nhận thì giá trị nạp vào PC gọi là vector ngắt. Nó chính là địa chỉ bắt đầu của ISR tương ứng với ngắt được chấp nhận.

* Hàm ngắt:

```
Void tenhamngat(void) interrupt nguồn ngắt
{
    // Chương trình ngắt ở đây
}
```

* Chú ý về hàm ngắt.

- Hàm ngắt không được trả lại hay truyền biến vào hàm
- Tên hàm bất kỳ
- Interrupt là hàm ngắt phải phân biệt với hàm khác
- Nguồn ngắt từ 0-5 theo bảng vectơ ngắt
- Bảng thanh ghi Ram chọn từ 0-3
-

Sau đây là bảng các vectơ ngắt

| Ngắt | Cờ | Địa chỉ Vector |
|--------------|-------------|----------------|
| System reset | RST | 0000H |
| External 0 | IE0 | 0003H |
| Timer 0 | TF0 | 000BH |
| External 1 | IE1 | 0013H |
| Timer 1 | TF1 | 001BH |
| Serial Port | RI or TI | 0023H |
| Timer 2 | TF2 or EXF2 | 002BH |

Bảng: Các vectơ ngắt.

III.2.cảm biến tốc độ (encoder).

III.2.1.cấu tạo và phân loại encoder.

III.2.1.1.phân loại.

Gồm :

- ❖ encoder kiểu cảm ứng.
- ❖ encoder tương đối(encoder đếm xung).