

XÂY DỰNG THUẬT TOÁN NỘI SUY ĐƯỜNG TRÒN CHO BỘ ĐIỀU KHIỂN CNC TRÊN NỀN FPGA

BUILDING ALGORITHM OF CIRCULAR INTERPOLATION FOR CNC CONTROLLER BASED ON FPGA

Đỗ Văn Cần¹, Đoàn Đức Tùng¹, Đoàn Quang Vinh²

¹Trường Đại học Quy Nhơn; dovancan@qu.edu.vn, ddtung@ftt.edu.vn

²Đại học Đà Nẵng; dqvinh@ac.udn.vn

Tóm tắt - Thuật toán nội suy là rất quan trọng trong bộ điều khiển số máy tính (CNC), nó đánh giá chất lượng và số lượng sản phẩm gia công trên máy công cụ. Nhiều thuật toán nội suy đã được nghiên cứu, ứng dụng, kể cả nội suy phần cứng và phần mềm. Do ảnh hưởng tốc độ số học của phần mềm máy tính, tính chính xác và tốc độ ăn dao của hệ thống điều khiển số dựa trên nội suy phần mềm phải tuân theo những hạn chế nhất định. Trong bài viết này, nhóm tác giả xây dựng thuật toán xấp xỉ bậc thang cải tiến cho nội suy đường tròn trên FPGA (Field-programmable gate array) phục vụ cho các chuyển động quỹ đạo không gian 2D, 3D. Kết quả mô phỏng và thực nghiệm cho thấy việc xây dựng thuật toán nội suy đường tròn xấp xỉ bậc thang trên nền FPGA tốt hơn so với các thuật toán mềm trước đây.

Từ khóa - nội suy đường tròn; thuật toán xấp xỉ bậc thang; FPGA; nội suy phần cứng; nội suy không gian 3D.

1. Đặt vấn đề

Chức năng nội suy đường tròn đã được sử dụng trong các bộ điều khiển số máy tính (bộ CNC) dùng để tạo ra các chuyển động gia công các trục servo. Các bộ CNC ngày nay, thực hiện nội suy đường tròn sử dụng một trong các thuật toán sau: DDA, xấp xỉ bậc thang, tìm kiếm trực tiếp, Tustin, Euler, Taylor [1].

Thuật toán nội suy đường tròn phần mềm trong không gian 2D được tìm thấy nhiều trong các nghiên cứu [2], [3]. Trong những năm gần đây, nghiên cứu thuật toán nội suy đường tròn trong không gian 2D được triển khai trên FPGA [4], [5] nhằm khai thác nhiều ưu điểm: tốc độ nhanh, dễ cấu hình; các thuật toán nội suy xây dựng trên phần cứng cho đáp ứng tốt hơn so với phần mềm. Đối với những thuật toán phức tạp hoặc khi gia công đường cong bất kỳ thì việc xây dựng thuật toán trên phần cứng gặp nhiều khó khăn, giải pháp thay thế điều này là thực hiện chúng trên các lõi xử lý mềm [6].

Trong các chuyển động gia công không gian 3D, hay xoắn ốc, một vài nghiên cứu xây dựng thuật toán trên phần mềm đã được đưa ra. Các công trình [7], [8], [9] đã nghiên cứu và ứng dụng về nội suy đường tròn trong không gian 3D khai thác sức mạnh máy tính tích hợp các phần mềm CAM, CAD. Nội suy phần cứng có nhiều ưu điểm hơn so với nội suy phần mềm như: chính xác hơn, thời gian thực hiện nhanh hơn, đặc biệt giảm tải được CPU. Vì thế, nhóm tác giả đề xuất xây dựng thuật toán xấp xỉ bậc thang cải tiến cho nội suy đường tròn trong không gian 2D, 3D trên FPGA nhằm đáp ứng các quỹ đạo gia công tốt hơn.

2. Nội dung

2.1. Đề xuất thuật toán nội suy đường tròn

Các bộ CNC ngày nay, sử dụng nội suy phần cứng

Abstract - Interpolation algorithm is very important in the Computerized Numerical Control (CNC) because it assesses the quality and quantity of products processed on machine tools. Many algorithms have been researched and deployed including hardware interpolation and software interpolation. Owing to the influence of arithmetic speed of computer software, the accuracy and speed of numerical control system's feed based on software interpolation are subject to certain restrictions. In this paper, the authors build and improves stair approximation algorithm of circular interpolation on the FPGAs, for trajectory 2D, 3D space. The simulation and experimental results show that stair approximation algorithms of circular interpolation based on FPGAs are better than previous soft algorithms.

Key words - circular interpolation; stair approximation algorithm; FPGA; hardware interpolation; 3D space interpolation.

DDA cổ điển, hoặc nội suy phần mềm dùng thuật toán xấp xỉ bậc thang. Trên Hình 1 mô tả thuật toán xấp xỉ bậc thang nội suy đường tròn trong không gian 2D XY ở góc phần tư thứ nhất và hướng cùng chiều kim đồng hồ.

Giả sử rằng "dao cụ" đến vị trí (X_k, Y_k) sau khi lặp bước thứ k . Trong thuật toán này, biến D_k được tính bằng phương trình (1).

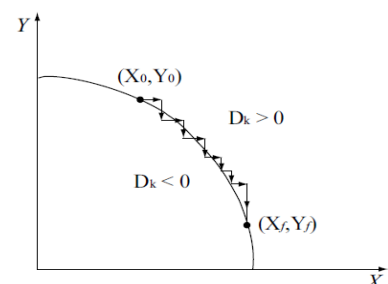
$$D_k = X_k^2 + Y_k^2 - R^2 \quad (1)$$

Theo hướng một bước tiến được xác định dựa trên D_k , hướng ra lệch đường tròn và góc phần tư, nơi di chuyển được thực hiện.

+ $D_k < 0$: Trường hợp này có nghĩa là vị trí (X_k, Y_k) nằm bên trong một vòng tròn và trong trường hợp này, bước di chuyển theo hướng dương của trục X.

+ $D_k > 0$: Trường hợp này có nghĩa là vị trí (X_k, Y_k) nằm ở bên ngoài của một vòng tròn và trong trường hợp này, bước di chuyển theo hướng âm của trục Y.

+ $D_k = 0$: Một trong hai quy tắc trên có thể được lựa chọn và áp dụng tùy ý.



Hình 1. Nguyên lý thuật toán xấp xỉ bậc thang [1]

Thuật toán này đòi hỏi một lượng nhỏ phép tính toán và

không gian bộ nhớ ít nên phù hợp với cấu trúc phần cứng. Tuy nhiên, còn nhiều lần lặp, gọi N là số bước lặp đi lặp lại, có thể được tính bằng phương trình (2).

$$N = |X_0 - X_f| + |Y_0 - Y_f| \quad (2)$$

Trong đó: (X_0, Y_0) là điểm bắt đầu, (X_f, Y_f) là điểm kết thúc.

Đề xuất của nhóm tác giả, cải tiến giảm số lần lặp trong thuật toán xấp xỉ bậc thang bằng cách thay phương trình (1) bằng phương trình (3) ở đó thêm một chỉ số phụ.

$$D_{i,j} = X_i^2 + Y_j^2 - R^2 \quad (3)$$

Trong phương trình (3), i và j tương ứng biểu thị số lượng các bước dọc theo trục X và trục Y. Khi một bước được thêm vào dọc theo trục X, phương trình (3) được thay đổi thành phương trình (4).

$$\begin{aligned} D_{i+1,j} &= (X_i + 1)^2 + Y_j^2 - R^2 \\ &= D_{i,j} + 2X_i + 1 = D_{i,j} + \Delta X_i \end{aligned} \quad (4)$$

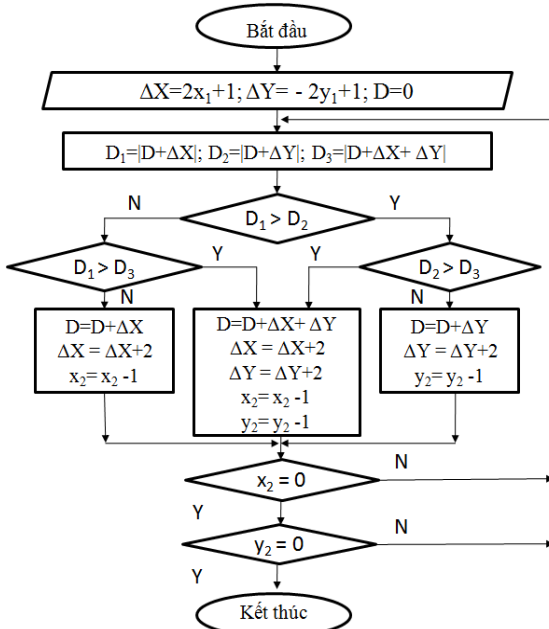
Tương tự như vậy cho trường hợp khi trục Y giảm đi 1 bước. Khi đó, xung trên các trục được xác định bởi phương trình (5) như sau:

$$\begin{cases} \Delta X_{i+1} = \Delta X_i + 2 \\ \Delta Y_{i+1} = \Delta X_i - 2 \end{cases} \quad (5)$$

Nội dung của thuật toán xấp xỉ bậc thang cải tiến là xem xét đến các hướng:

- + Tăng 1 BLU cho hướng X,
- + Giảm 1 BLU cho hướng Y,
- + Tăng 1 BLU cho hướng X và đồng thời giảm 1 BLU cho hướng Y (chỉ có thể thực hiện trên phần cứng).

Trong đó, trường hợp thứ ba là phương pháp cải tiến thêm vào so với thuật toán xấp xỉ bậc thang. Khi đó, thuật toán sau cải tiến được biểu diễn trên Hình 2.



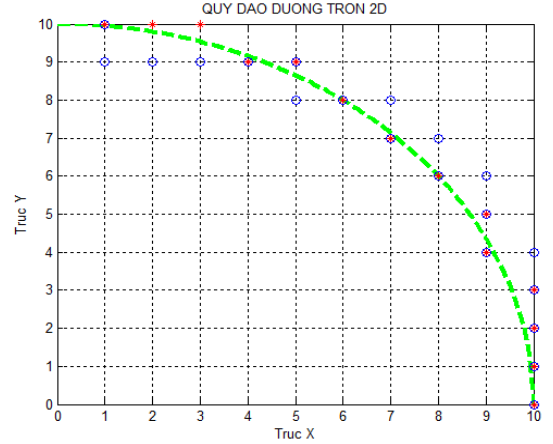
Hình 2. Thuật toán xấp xỉ bậc thang cải tiến

2.2. Đánh giá kết quả nghiên cứu

Biểu diễn thuật toán xấp xỉ bậc thang trước và sau cải

tiến với tham số: Điểm bắt đầu $(0,10)$, điểm kết thúc $(10,0)$, hướng nội suy cùng chiều kim đồng hồ $CW=0$, đơn vị chiều dài phép nội suy $BLU=1$.

Trên Hình 3 là quỹ đạo chuyển động của các trục X, Y của phép nội suy đường tròn trong mặt phẳng 2D XY. Trong đó, "o-blue" là quỹ đạo sử dụng thuật toán xấp xỉ bậc thang trước cải tiến và "*" -red" là quỹ đạo sau cải tiến.

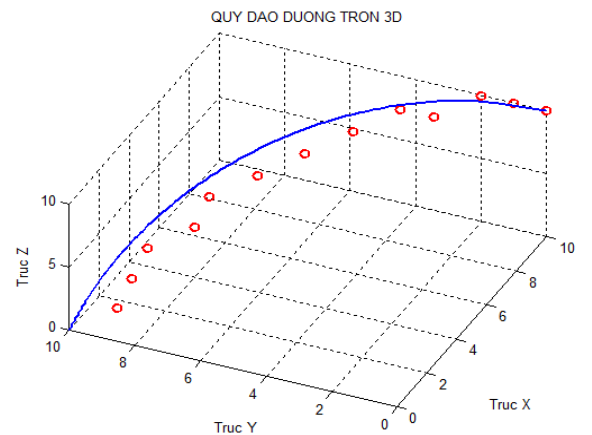


Hình 3. Quỹ đạo thuật toán xấp xỉ bậc thang

Kết quả cho thấy quỹ đạo nội suy tại các chu kỳ xung trước cải tiến của $X = \{1, 2, 3, 5, 6, 8, 10, 12, 15, 20\}$, $Y = \{4, 7, 9, 11, 13, 14, 16, 17, 18, 19\}$ và sau cải tiến $X = \{1, 2, 3, 4, 5, 6, 8, 9, 11, 12\}$ và $Y = \{4, 6, 7, 8, 9, 10, 11, 12, 13, 14\}$. Như vậy, sai lệch của thuật toán xấp xỉ bậc thang là 1 BLU và sau cải tiến còn 0,5 BLU. Số lần lặp được giảm xuống từ 20 còn 14 lần nhờ phát xung đồng thời X, Y tại các vị trí 4, 6, 7, 8, 9, 11.

2.3. Xây dựng thuật toán trong không gian 3D

Đối với các phép nội suy đường tròn trong không gian 3D, thực hiện nội suy 2 trong số 3 trục. Dựa trên cơ sở thuật toán Hình 2, nhóm tác giả thực hiện trên không gian 3D với một mặt phẳng và một trục tham chiếu tuyến tính.



Hình 4. Quỹ đạo đường tròn nội suy mặt phẳng XY trong không gian 3D

Trên Hình 4 là kết quả của quỹ đạo khi thực hiện thuật toán xấp xỉ bậc thang cải tiến trong không gian 3D, với mặt phẳng nội suy đường tròn là XY (hoặc YZ) trục Z (hoặc X) gọi là tham chiếu tuyến tính. Tương tự, thuật toán có thể mở rộng thành các đường tròn nội suy trên mặt phẳng YZ và XZ trong không gian 3D.

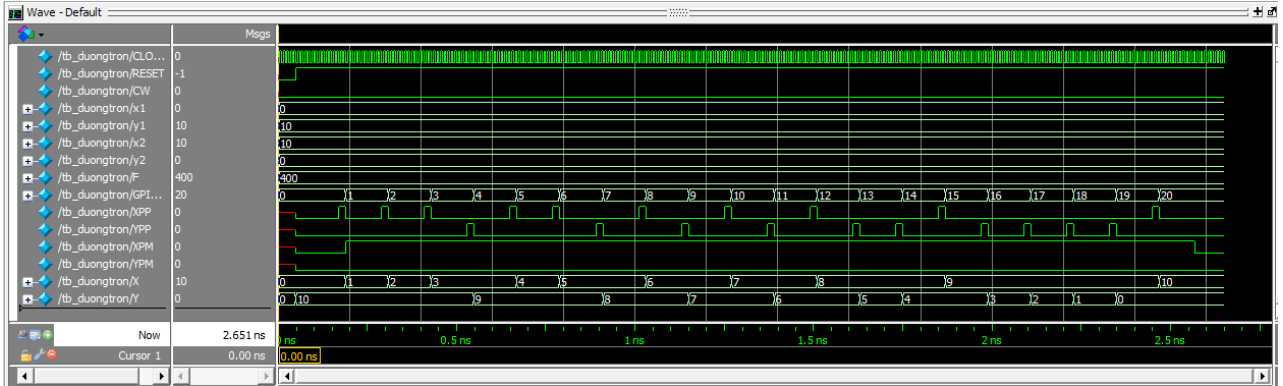
Kết quả mô phỏng thuật toán xấp xỉ bậc thang sau cải tiến cho thấy quỹ đạo nội suy “o-red” bám sát theo đường tròn mẫu trong mặt phẳng nội suy XY và tham chiếu tuyến tính theo trục Z. Từ đó, thuật toán giải quyết được các chuyển động đường tròn nội suy theo các mặt phẳng XY, XZ, YZ trong không gian 3D cho các gia công máy công cụ hoặc áp dụng cho các gia công ren, xoắn ốc...

2.4. Thiết kế thuật toán trên phần cứng FPGA trong không gian 2D

Sử dụng ngôn ngữ Verilog để xây dựng thuật toán trên cấu trúc phần cứng của FPGA, có các tham số đầu vào điểm bắt đầu (x_1, y_1, z_1) và điểm kết thúc (x_2, y_2, z_2), vận tốc F là các kiểu dữ liệu số nguyên 32 bit. Các đại lượng đầu ra xung

XPP, YPP, ZPP và XPM, YPM, ZPM và hướng nội suy CW = 0/1 cùng chiều/ ngược chiều kim đồng hồ là các kiểu dữ liệu 1 bit, tương ứng với các trục X, Y, Z, và giá trị các trục được định dạng số nguyên 32 bit. Sau khi thiết kế bằng ngôn ngữ Verilog có tên noisuyduongtron.v tiến hành tổng hợp, cấu hình trên FPGA và lần lượt mô phỏng kết quả xây dựng thuật toán hai trường hợp trước và sau cải tiến.

Thực hiện mô phỏng thuật toán nội suy xấp xỉ bậc thang trên FPGA khi chưa cải tiến với các tham số như ban đầu $x_1=0, y_1=10, x_2=10, y_2=0$, tốc độ ăn dao F400. Trên Hình 5 thể hiện kết quả đầu ra, XPP, YPP là xung phát ra tại các thời điểm 1~20 trong thời gian 2,5ns tương ứng với giá trị X, Y đi được 10 đơn vị trong 20 chu kỳ xung ứng với tốc độ $F=400$.

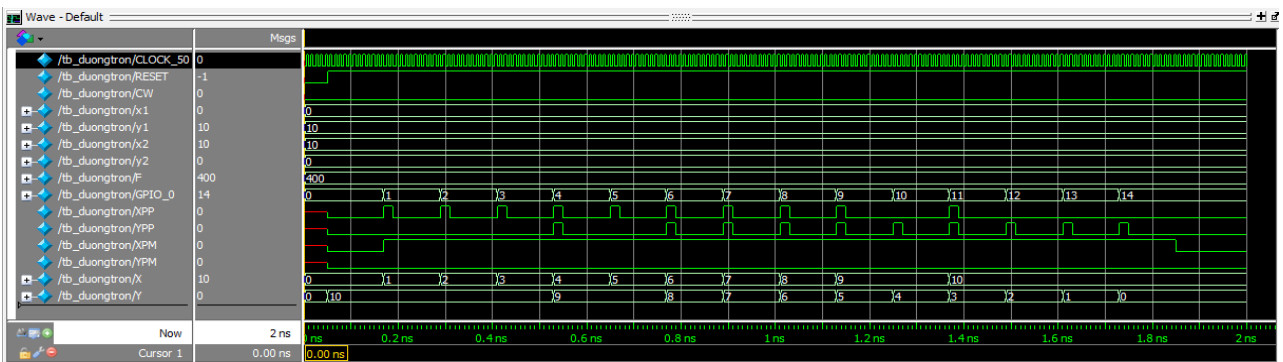


Hình 5. Kết quả thực hiện thuật toán xấp xỉ bậc thang trên FPGA

Thuật toán này không cho phép sự phát xung đồng thời ở các trục, dẫn đến làm sai lệch so với quỹ đạo thực lớn (1 BLU). Vì vậy, số điểm nội suy tăng lên $\text{GPIO} = 20$ chu kỳ xung, thời gian nội suy kéo dài 2,5ns (chu kỳ giả lập cho mô phỏng $\text{clk} = 10\text{ps}$).

Cũng xây dựng trên FPGA với các tham số như Hình 5, nhưng thuật toán lúc này được cải tiến như đề xuất phần trên. Kết quả sau khi cải tiến thuật toán xấp xỉ bậc thang

thể hiện như Hình 6. Với kết quả này, ta thấy tại các vị trí 4, 6, 7, 8, 9, 11 là sự phát xung đồng thời giữa các trục, nhờ đặc điểm kiểm tra theo các hướng sai lệch quỹ đạo nhỏ nhất đã được cải tiến. Thời gian hoàn thành nội suy rút ngắn từ 20 chu kỳ xung xuống còn 14 chu kỳ xung, thời gian nội suy còn 1,9ns (cùng chu kỳ giả lập cho mô phỏng $\text{clk} = 10\text{ps}$). Đồng thời sai lệch quỹ đạo được giảm xuống từ 1 BLU còn 0,5 BLU và thỏa mãn với kết quả mô phỏng lý thuyết thuật toán trên Hình 3.

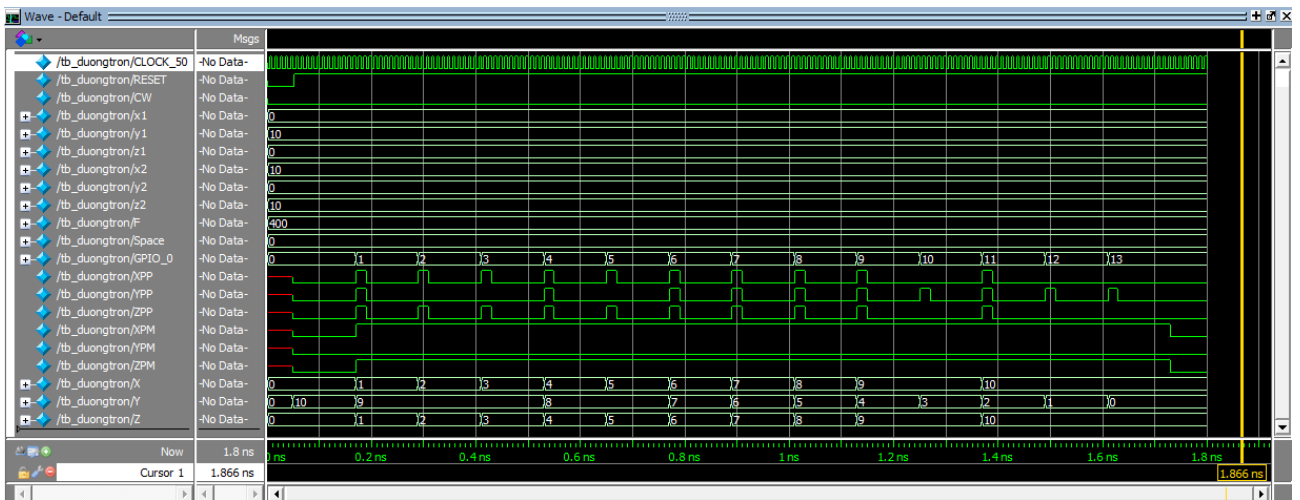


Hình 6. Kết quả mô phỏng sử dụng thuật toán xấp xỉ bậc thang cải tiến trên FPGA

2.5. Thiết kế thuật toán trên phần cứng FPGA trong không gian 3D

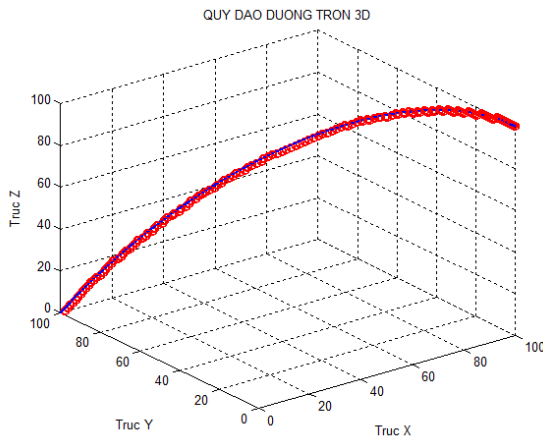
Từ kết quả đạt được khi xây dựng thuật toán xấp xỉ bậc thang cải tiến trên FPGA ở không gian 2D ta sẽ thực hiện trên không gian 3D. Như đã trình bày mục trên khi thực hiện trong không gian 3D cần xác định mặt phẳng nội suy, trục còn lại gọi là trục tham chiếu tuyến tính. Ta bổ sung tín hiệu đầu vào lựa chọn mặt phẳng nội suy có tên “Space”

thanh ghi 2 bit với 3 trạng thái lựa chọn mặt phẳng nội suy như sau: 00-XY; 01-XZ; 10-YZ. Kết quả Hình 7 cho thấy trên hai trục nội suy XY thỏa mãn với thuật toán trên Hình 2 và kết quả mô phỏng như Hình 6. Ngoài ra, ZPP phát xung tại các thời điểm $Z=\{1, 2, 3, 4, 5, 6, 7, 8, 9, 11\}$ là phù hợp với tham chiếu trục Z như kết quả mô phỏng trên Hình 4, với quan hệ hai trục X, Z là tuyến tính trong mặt phẳng XZ.



Hình 7. Mô phỏng thuật toán xấp xỉ bậc thang cải tiến trên FPGA với mặt phẳng nội suy XY trong không gian 3D

Để có cái nhìn được tổng quát hơn về thuật toán xấp xỉ bậc thang cải tiến nội suy đường tròn trong không gian 3D, tác giả tiến hành thực hiện với hệ số xung $k = 10$ lần so với giá trị cài đặt trên. Kết quả Hình 8 quỹ đạo cung tròn trong không gian 3D lên mặt phẳng nội suy XY.

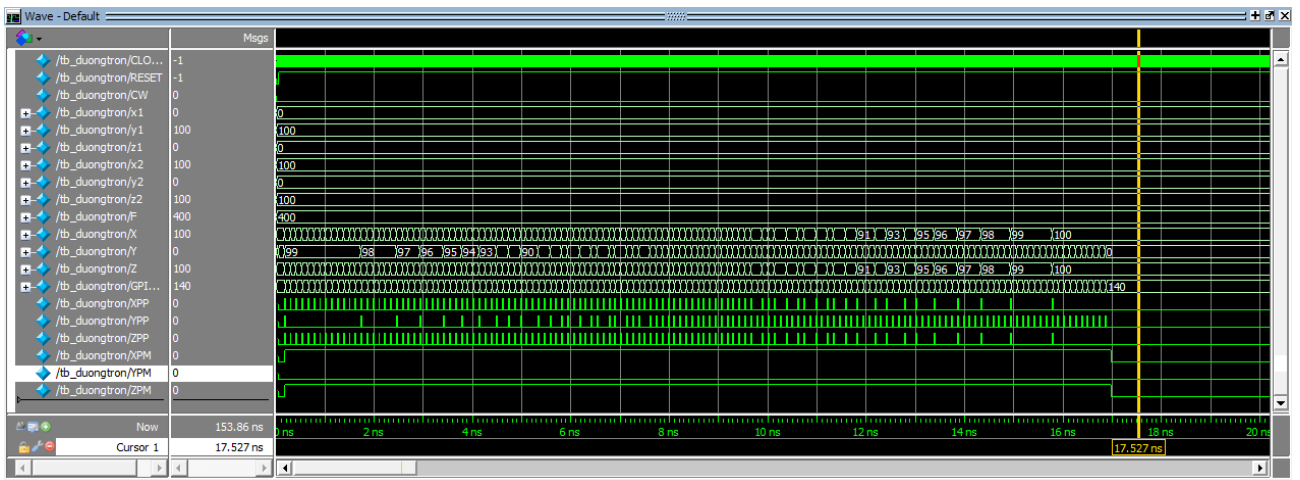


Hình 8. Quỹ đạo nội suy đường tròn không gian 3D

Khi chiếu kết quả này lên mặt phẳng XY và YZ ta được cung tròn như Hình 3, ngược lại khi chiếu lên mặt phẳng XZ ta được đường thẳng điều đó phản ánh đúng với lý thuyết xây dựng thuật toán với mặt phẳng nội suy XY (hoặc YZ) tham chiếu tuyến tính theo trục Z (hoặc trục X) trong gian 3D.

Đánh giá sai lệch quỹ đạo trên các mặt phẳng, thì sai lệch so với mặt phẳng XY, YZ là 0,5 BLU còn với mặt phẳng XZ là 0. Trong khi đó, sai lệch quỹ đạo khi thuật toán chưa cải tiến tất cả các mặt phẳng đều 1 BLU.

So sánh kết quả Hình 4 và Hình 8 ta thấy khi hệ số k càng lớn kích thước BLU càng nhỏ thì sai lệch càng nhỏ theo. Tiến hành thực hiện thuật toán này trên FPGA với hệ số xung $k=10$ lần (trong thực tế thì $k=1000$ xung/đơn vị chiều dài). Kết quả được thể hiện trên Hình 9. Ta thấy, tổng số bước được thực hiện 140/200 chu kỳ xung, giá trị xung mỗi trục 100. Sự xuất hiện quan hệ xung trên các mặt phẳng XY, YZ là đường tròn nội suy, còn mặt phẳng XZ là quan hệ đường thẳng nên xung trên ZPP và ZPM là giống nhau. Như vậy, kết quả phản ánh đúng lý thuyết thuật toán trong mọi trường hợp.



Hình 9. Kết quả mô phỏng thuật toán xấp xỉ bậc thang cải tiến trên FPGA với hệ số xung $k=10$

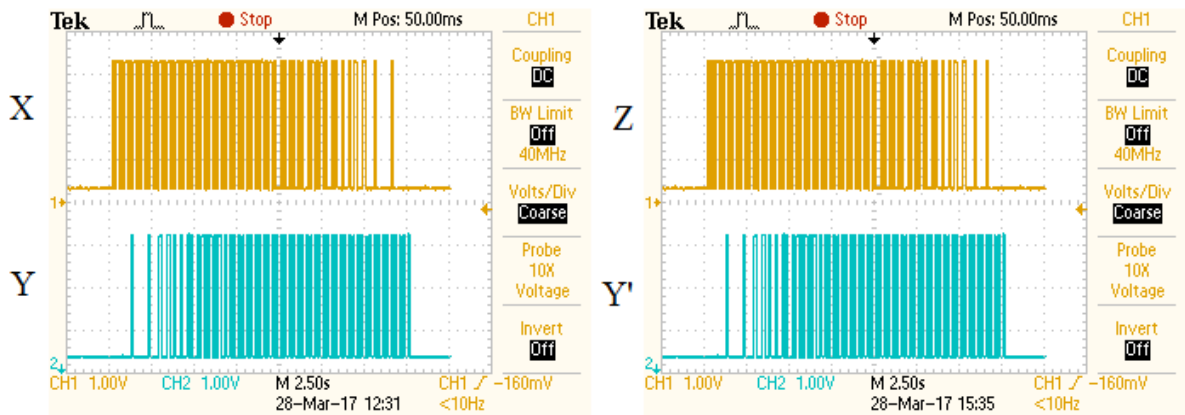
2.6. Thực nghiệm thuật toán xấp xỉ bậc thang cải tiến nội suy đường tròn trên FPGA trong không gian 3D

Tiến hành thực nghiệm kết quả trên KIT DE1 SoC với

dòng FPGA là 5CEBA7F31C6 với các đầu vào giả định $(x_1, y_1, z_1) = (0, 100, 0)$; $(x_2, y_2, z_2) = (100, 0, 100)$, $R=100$, $CLK=50MHz$, tốc độ $F=400$ (tương ứng chu kỳ xung

2KHz) các giá trị đầu ra XPP, YPP, XPM, YPM, ZPM được gán cho GPIO_0[31:26].

Tần số clk 50MHz, hệ số xung $k = 10$ xung/BLU, thực nghiệm được đo đặt tại các kênh phát xung của trục X, Y, Z như Hình 10 trong đó Y' là kết quả đo kênh trục Y lần 2 cùng với trục Z của máy hiện sóng 2 kênh.



Hình 10. Kết quả thực nghiệm thuật toán cải tiến trên FPGA với hệ số xung $k=10$

3. Kết luận

Việc xây dựng thuật toán xấp xỉ bậc thang cải tiến cho phép nội suy đường tròn trên nền FPGA trong không gian 2D, 3D là phù hợp với những công nghệ ngày nay, đặc biệt sử dụng cho bộ CNC-on-Chip. Bài viết đã có những đóng góp cụ thể như sau:

- Bước đầu đưa dòng sản phẩm FPGA vào ứng dụng lĩnh vực điều khiển là phù hợp, trong bối cảnh thiết kế chip tại Việt Nam đang đi vào ứng dụng nhiều về FPGA và phù hợp với xu hướng nghiên cứu trên thế giới về xây dựng thuật toán điều khiển trên FPGA [2], [10].

- Đề xuất xây dựng thuật toán xấp xỉ bậc thang cải tiến cho phép nội suy đường tròn trên nền phần cứng của FPGA trong không gian 2D; qua đó giảm thiểu sai lệch từ 1 BLU xuống còn 0,5 BLU và rút ngắn thời gian nội suy đường tròn xuống 30% (từ 20 xuống 14 chu kỳ xung).

- Các kết quả mô phỏng và thực nghiệm kiểm chứng được thuật toán xấp xỉ bậc thang cải tiến trong không gian 3D xây dựng trên phần cứng FPGA là khả thi, với quỹ đạo sai lệch nhỏ và thời gian nội suy nhanh, mà tác giả chưa tìm thấy các công trình trước đây.

TÀI LIỆU THAM KHẢO

- [1] I. S. Suk-Hwan Suh, Seong Kyoong Kang Dae Hyuk Chung, "Theory and Design of CNC Systems", in Springer Series in Advanced Manufacturing, Springer S., 2008.
- [2] J. Dong, T. Wang, B. Li, Z. Liu, and Z. Yu, "An FPGA-based low-

Kết quả cho thấy xung trên hai trục X, Y sẽ hình thành quỹ đạo chuyển động đường tròn trên mặt phẳng XY, đối với mặt phẳng XZ là chuyển động tuyến tính. Như vậy nhóm tác giả khẳng định việc xây dựng thuật toán xấp xỉ bậc thang cải tiến trên nền FPGA trong không gian 3D là phù hợp.

- cost VLIW floating-point processor for CNC applications", *Microprocessors and Microsystems*, vol. 50, pp. 14–25, 2017.
- [3] Y. Jin, Y. He, J. Fu, Z. Lin, and W. Gan, "A fine-interpolation-based parametric interpolation method with a novel real-time look-ahead algorithm", *Computer-Aided Design*, 2014.
- [4] J. J. De Santiago-Perez, R. a. Osornio-Rios, R. J. Romero-Troncoso, and L. Morales-Velazquez, "FPGA-based hardware CNC interpolator of Bezier, splines, B-splines and NURBS curves for industrial applications", *Computers & Industrial Engineering*, vol. 66, no. 4, pp. 925–932, Dec. 2013.
- [5] M. A. Saifee, "Design and Implementation of 2-Axis Circular Interpolation Controller in Field Programmable Gate Array (FPGA) for Computer Numerical Control (CNC) Machines and Robotics", *International Journal of Computer Applications (0975 – 8887)*, vol. 106, no. 13, pp. 1–7, 2014.
- [6] W. T. A. Lei, M. P. Sung, L. Y. Lin, and J. J. Huang, "Fast real-time NURBS path interpolation for CNC machine tools", vol. 47, pp. 1530–1541, 2007.
- [7] F. Wang, H. Lin, L. Zheng, L. Yang, J. Feng, and H. Zhang, "Design and implementation of five-axis transformation function in CNC system", *Chinese Journal of Aeronautics and Astronautics & Beihang University*, vol. 27, no. 2, pp. 425–437, 2014.
- [8] R. Ramesh, S. Jyothirmai, and K. Lavanya, "Intelligent automation of design and manufacturing in machine tools using an open architecture motion controller", *Journal of Manufacturing Systems*, vol. 32, no. 1, pp. 248–259, 2013.
- [9] P. B. Carlos Maximiliano Giorgio Bort, Marco Leonesio, "A model-based adaptive controller for chatter mitigation and productivity enhancement in CNC milling machines", *Robotics and Computer-Integrated Manufacturing*, vol. 40, pp. 34–43, 2016.
- [10] J. Liu, Y. Fu, Z. Han, and H. Fu, "Design of an Industrial Ethernet Based Embedded Open Architecture CNC System", *2015 International Conference on Estimation, Detection and Information Fusion (ICEDIF 2015)*, no. ICEDIF, pp. 413–417, 2015.

(BBT nhận bài: 10/05/2017, hoàn tất thủ tục phản biện: 02/06/2017)