

实验一：一位全加器的设计与实现

【实验要求】：

1. 利用“与门”、“或门”、“非门”设计并实现 1 位全加器电路。

【实验目的】

1. 掌握组合逻辑电路的设计方法；
2. 熟悉 Vivado2014 集成开发环境和 Verilog 编程语言；
3. 掌握 1 位全加器电路的设计与实现。

【实验环境】

- ◆ FPGA 虚拟仿真平台。
- ◆ Vivado2014 集成开发环境。
- ◆ Verilog 编程语言。

【实验原理】

功能描述

全加器是能够计算低位进位的二进制加法电路。与半加器相比,全加器不只考虑本位计算结果是否有进位,也考虑上一位对本位的进位,可以把多个一位全加器级联后做成多位全加器。

真值表

A	B	Cin	Cout	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1

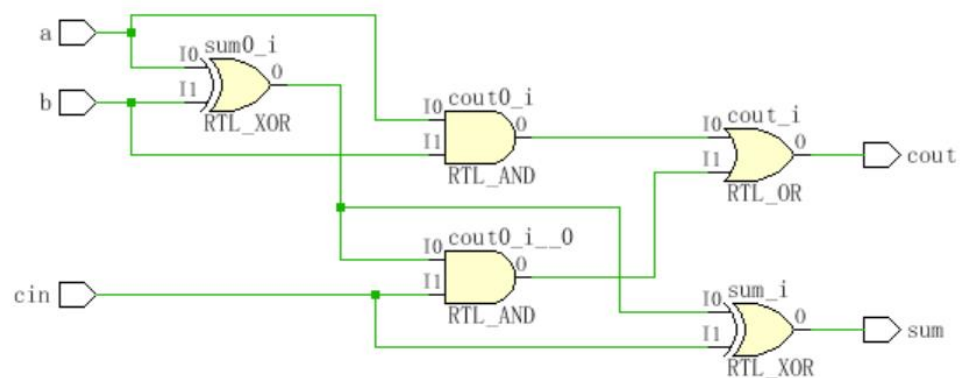
1	0	1	1	0
1	0	0	1	0
1	1	1	1	1

逻辑方程

$$\text{Sum} = A \oplus B \oplus \text{Cin}$$

$$\text{Cout} = \text{Cin}(A \oplus B) + AB$$

电路图



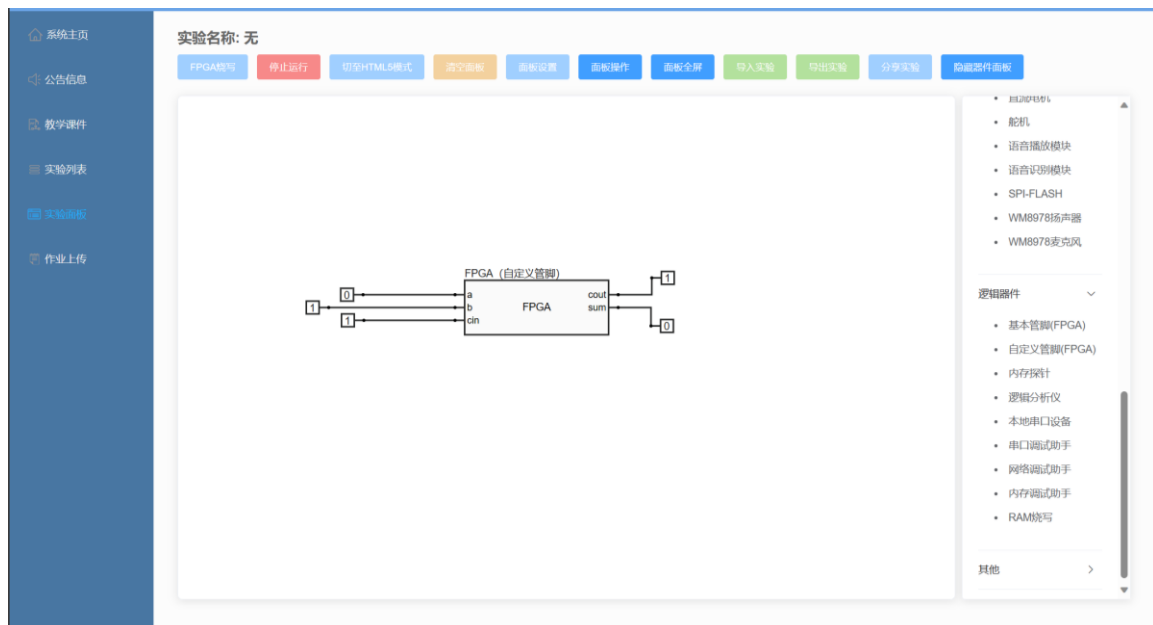
Verilog 代码实现

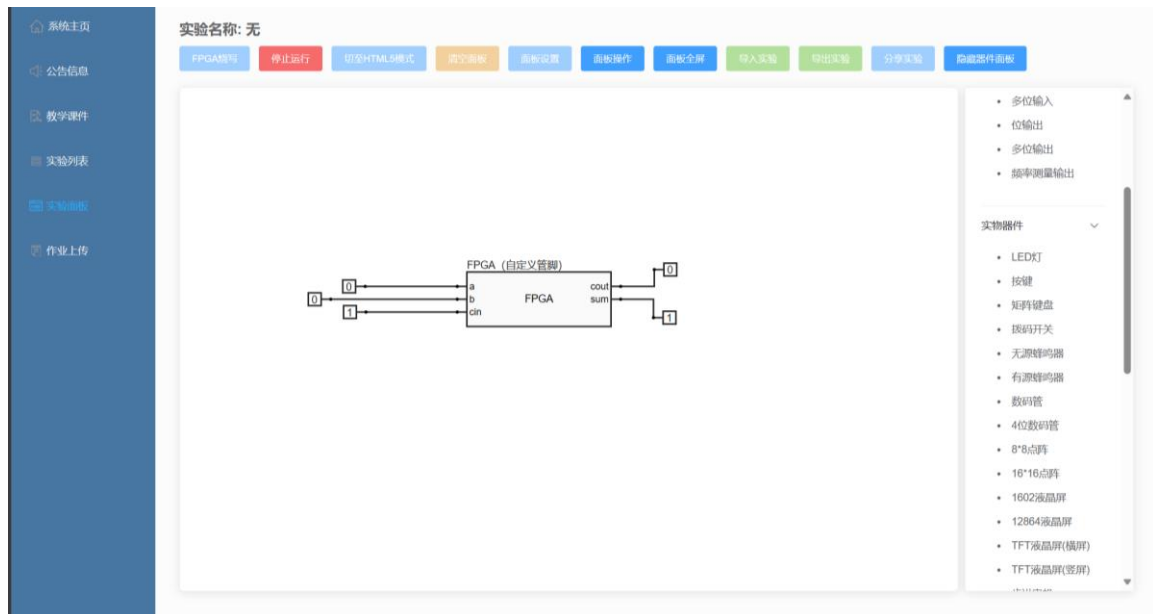
```

module add_full(
    input a,
    input b,
    input cin,
    output sum,
    output cout
);
    assign sum = a^b^cin;
    assign cout = (a&b) | ((a^b)&cin);
endmodule

```

实验结果与仿真结果





实验二：一位 BCD 码转余三码

【实验要求】：

1. 利用“与门”、“或门”、“非门”设计并实现 BCD 码转余三码的电路。

【实验目的】

1. 掌握组合逻辑电路的设计方法；
2. 熟悉 Vivado2014 集成开发环境和 Verilog 编程语言；
3. 掌握 BCD 码转余三码电路的设计与实现。

【实验环境】

- ◆ FPGA 虚拟仿真平台。
- ◆ Vivado2014 集成开发环境。
- ◆ Verilog 编程语言。

【实验原理】

功能描述

8421码	余三码
0000	0011
0001	0100
0010	0101
0011	0110
0100	0111
0101	1000
0110	1001
0111	1010
1000	1011
1001	1100

以上为 BCD 码与余三码，设置的逻辑电路就是实现从 BCD 转余三码，使用与非或门。

真值表

BCD				余三码			
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0

1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

逻辑方程

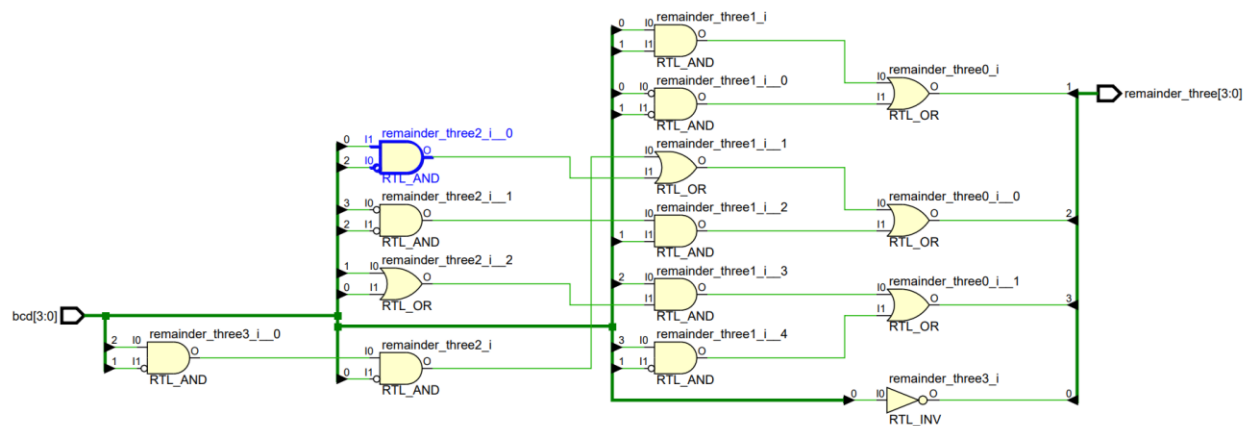
$$R_0 = \bar{A}_0$$

$$R_1 = A_0 A_1 + \bar{A}_0 \bar{A}_1$$

$$R_2 = A_2 \bar{A}_1 \bar{A}_0 + \bar{A}_2 A_0 + \bar{A}_3 \bar{A}_2 A_1$$

$$R_3 = A_2(A_1 + A_0) + A_3 \bar{A}_1$$

电路图



Verilog 代码实现

```

module BCD (
    input [3:0] bcd,
    output [3:0] remainder_three
);

assign remainder_three[0] = ~bcd[0];
assign remainder_three[1] = bcd[0] & bcd[1] | ~bcd[0] & ~bcd[1];
assign remainder_three[2] = bcd[2] & ~bcd[1] & ~bcd[0] | ~bcd[2] & bcd[0] | ~bcd[3] & ~bcd[2] & bcd[1];
assign remainder_three[3] = bcd[2] & (bcd[1] | bcd[0]) | bcd[3] & ~bcd[1];
endmodule

```

实验结果与仿真结果

系统主页

公告信息

教学课件

实验列表

实验面板

作业上传

实验名称: 无

FPGA编译停止运行切回HTML5模式清空面板面板设置面板操作面板全屏导入实验导出实验分享实验新建器件面板

FPGA (自定义管脚)

FPGA

0000

3210

3210

0110

器件面板

基础器件>

实物器件>

逻辑器件>

其他>

系统主页

公告信息

教学课件

实验列表

实验面板

作业上传

实验名称: 无

FPGA编译停止运行切回HTML5模式清空面板面板设置面板操作面板全屏导入实验导出实验分享实验新建器件面板

FPGA (自定义管脚)

FPGA

1111

3210

3210

0110

器件面板

基础器件>

实物器件>

逻辑器件>

其他>