

实验报告lab01

姓名 林凡琪

学号 211240042

班级 匡亚明学院

邮箱 211240042@smail.nju.edu.cn

实验时间 2022/09/25

实验目的

实现一个2位4选1的选择器，完成设计，进行功能仿真，并下载到开发板上验证电路性能。

实验原理

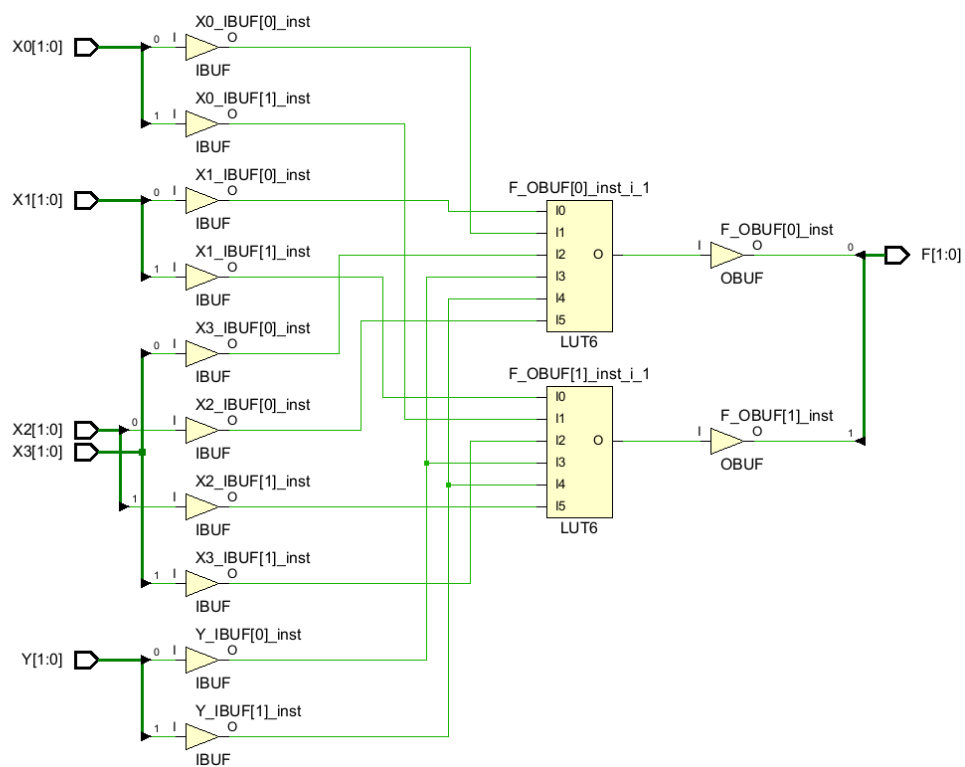
四选一多路选择器，即从输入的四个数据中选择其中一个。通过定义两位变量，产生四种状态，分别对应四个数据其中之一的输出。

逻辑表达式：

$$Y = A\overline{S_0}\overline{S_1} + B\overline{S_0}S_1 + CS_0\overline{S_1} + DS_0S_1$$

表 1-6 4 选 1 多路选择器真值表

X	S0	S1	Y
a	0	0	a
b	0	1	b
c	1	0	c
d	1	1	d



原理图

实验环境/器材

Verilog 2022.1

Windows 10

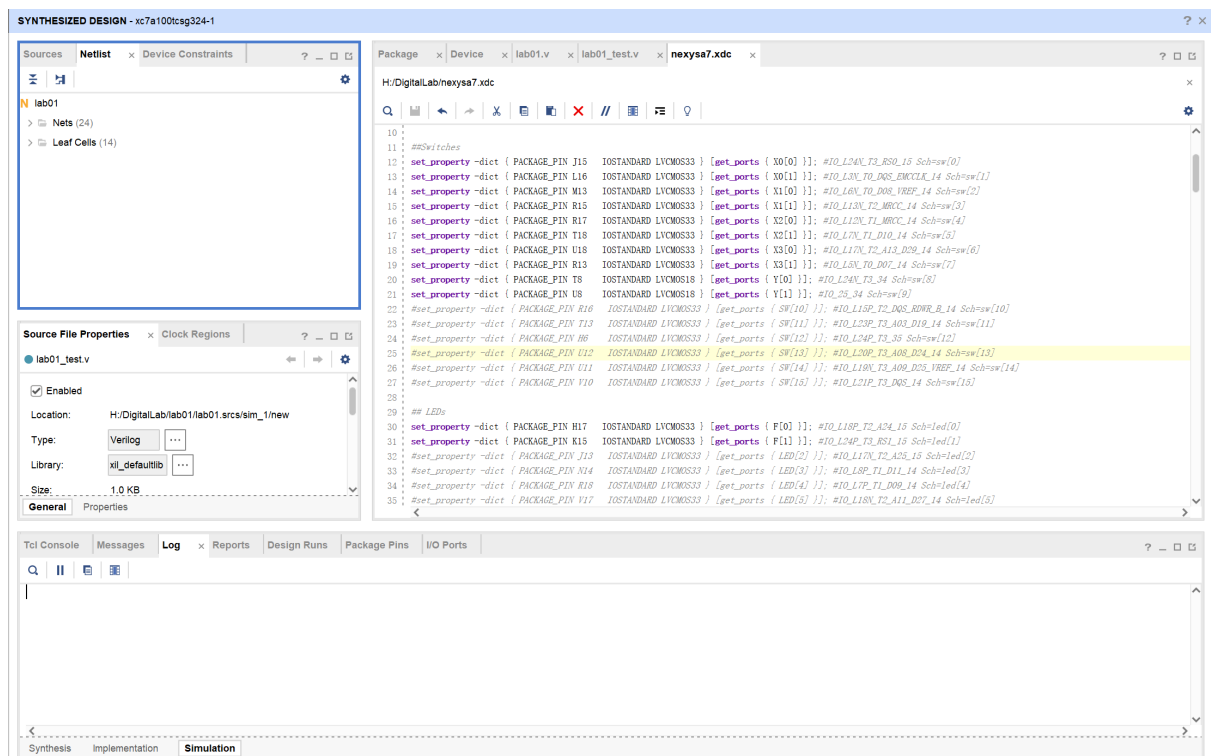
程序代码或流程图

```
Package x Device x lab01.v x lab01_test.v x nexysa7.xdc x
H:/DigitalLab/lab01/lab01.srcs/sources_1/new/lab01.v

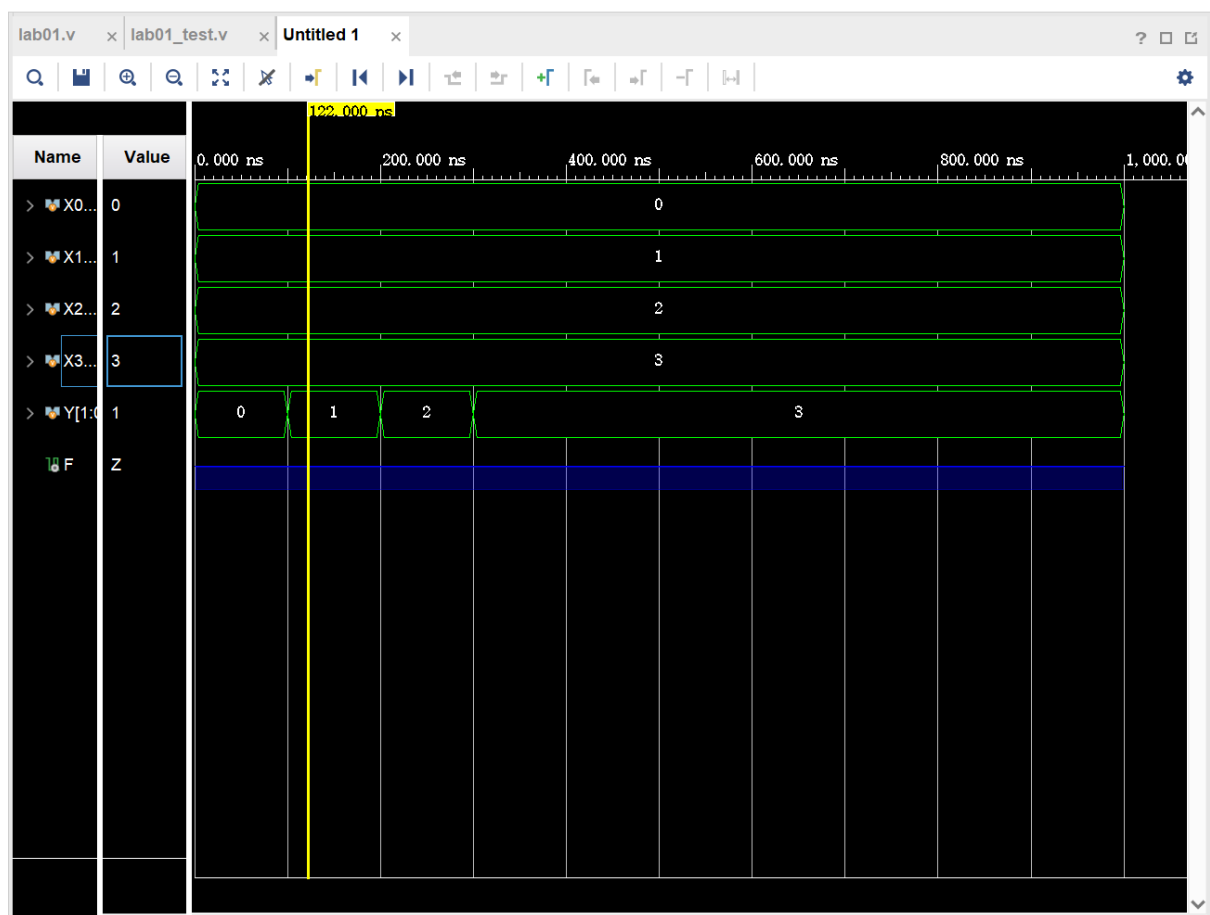
20 //////////////////////////////////////////////////
21
22
23 module lab01(
24     input [1:0] X0,
25     input [1:0] X1,
26     input [1:0] X2,
27     input [1:0] X3,
28     input [1:0] Y,
29     output reg [1:0] F
30 );
31
32 //add your code here
33 always @ (*)
34 begin
35     case (Y)
36         2'b00: F = X0;
37         2'b01: F = X1;
38         2'b10: F = X2;
39         2'b11: F = X3;
40         default: F = 2'bxx;
41     endcase
42 end
43
44 endmodule
45
```

```
Package x Device x lab01.v x lab01_test.v * x nexysa7.xdc x
H:/DigitalLab/lab01/lab01.srcs/sim_1/new/lab01_test.v

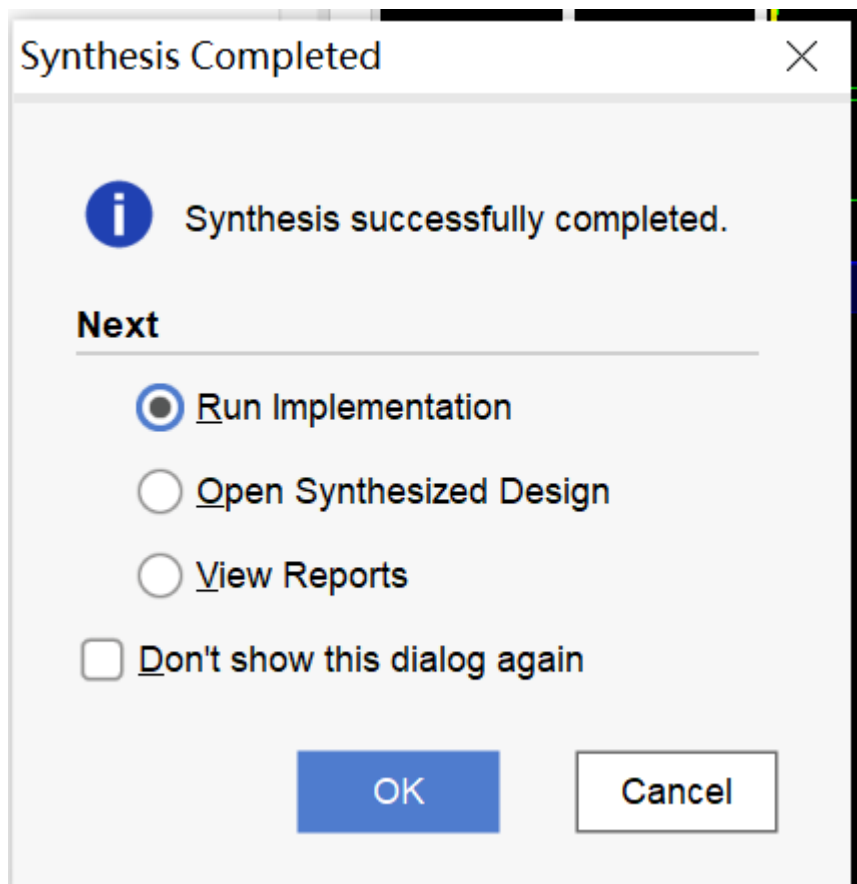
18 // Additional Comments:
19 // input [1:0] X0,
20 //////////////////////////////////////////////////
21
22 `timescale 10 ns / 1ps
23 module lab01_test(
24
25 );
26     reg [1:0] X0;
27     reg [1:0] X1;
28     reg [1:0] X2;
29     reg [1:0] X3;
30     reg [1:0] Y;
31     wire F;
32
33     lab01 i1(
34         .X0(X0),
35         .X1(X1),
36         .X2(X2),
37         .X3(X3),
38         .Y(Y));
39     initial begin
40         X0 = 2'b00; X1 = 2'b01; X2 = 2'b10; X3 = 2'b11; Y = 2'b00; #10;
41         // Y = 2'b00; #10;
42         Y = 2'b01; #10;
43         Y = 2'b10; #10;
44         Y = 2'b11; #10;
45         $display("Running testbench");
46     end
47 endmodule
48
```



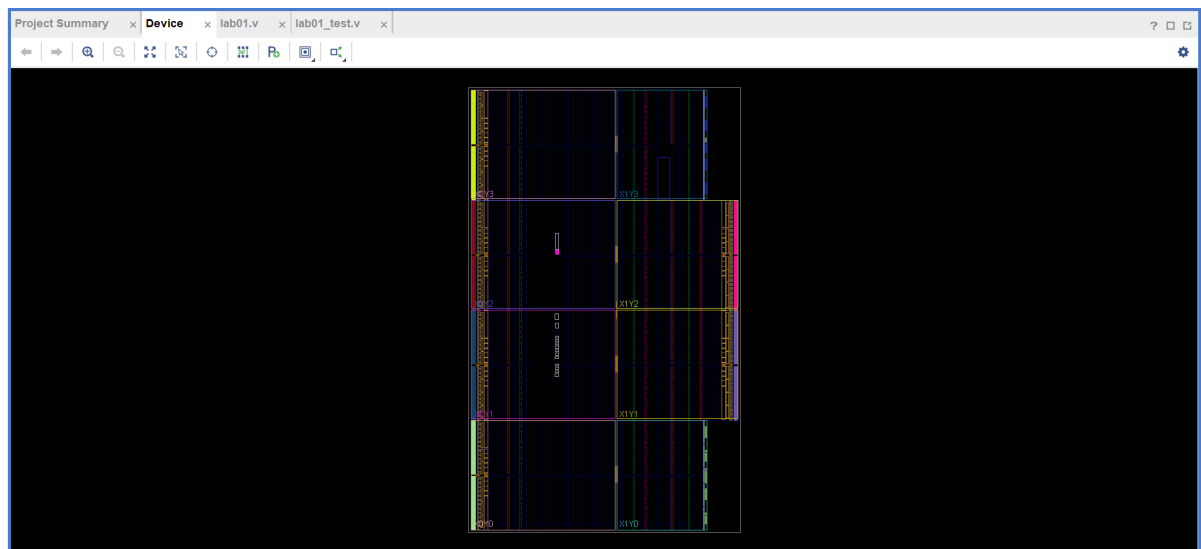
实验步骤/过程



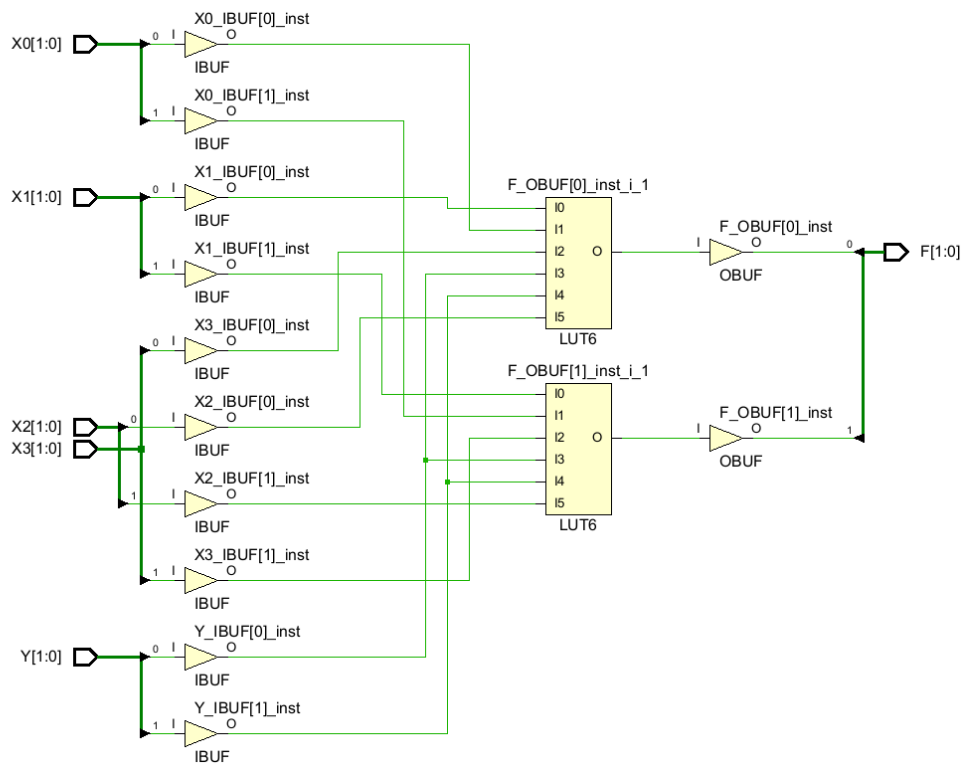
模拟图像



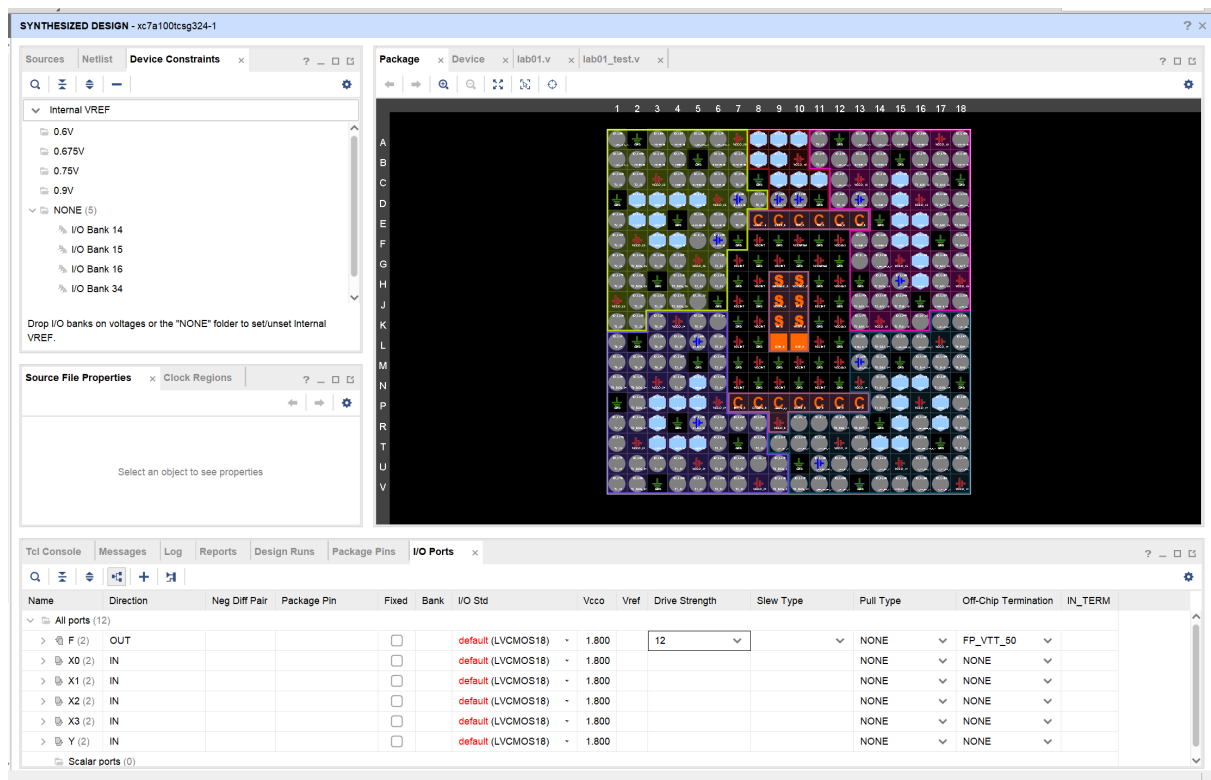
完成设计综合

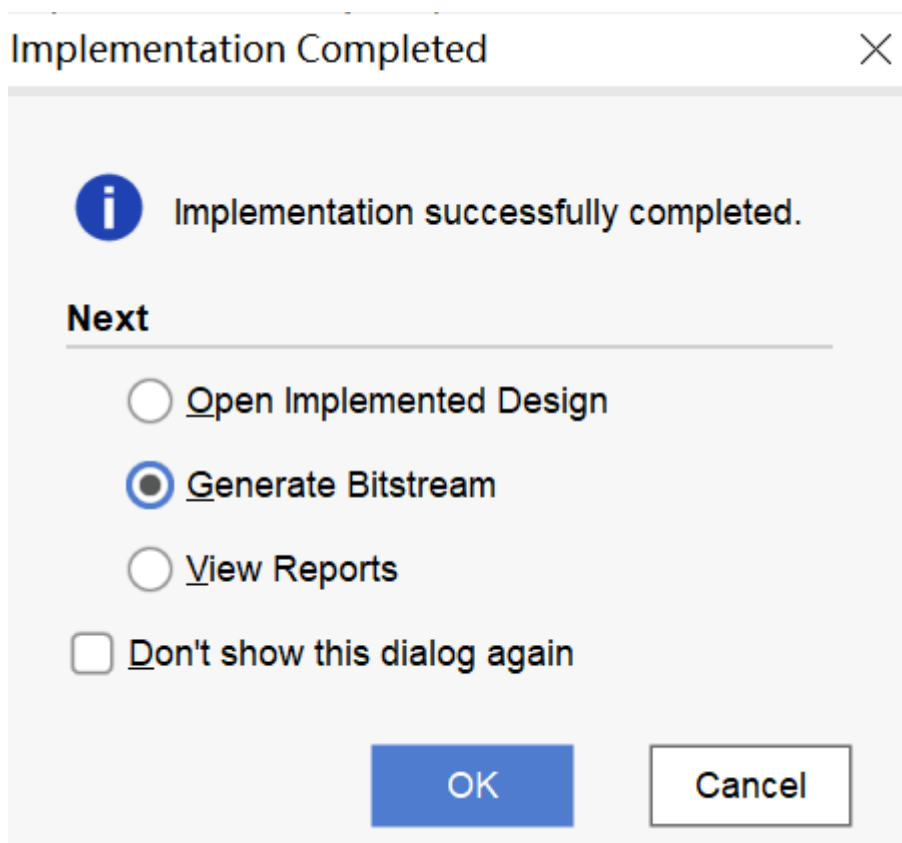
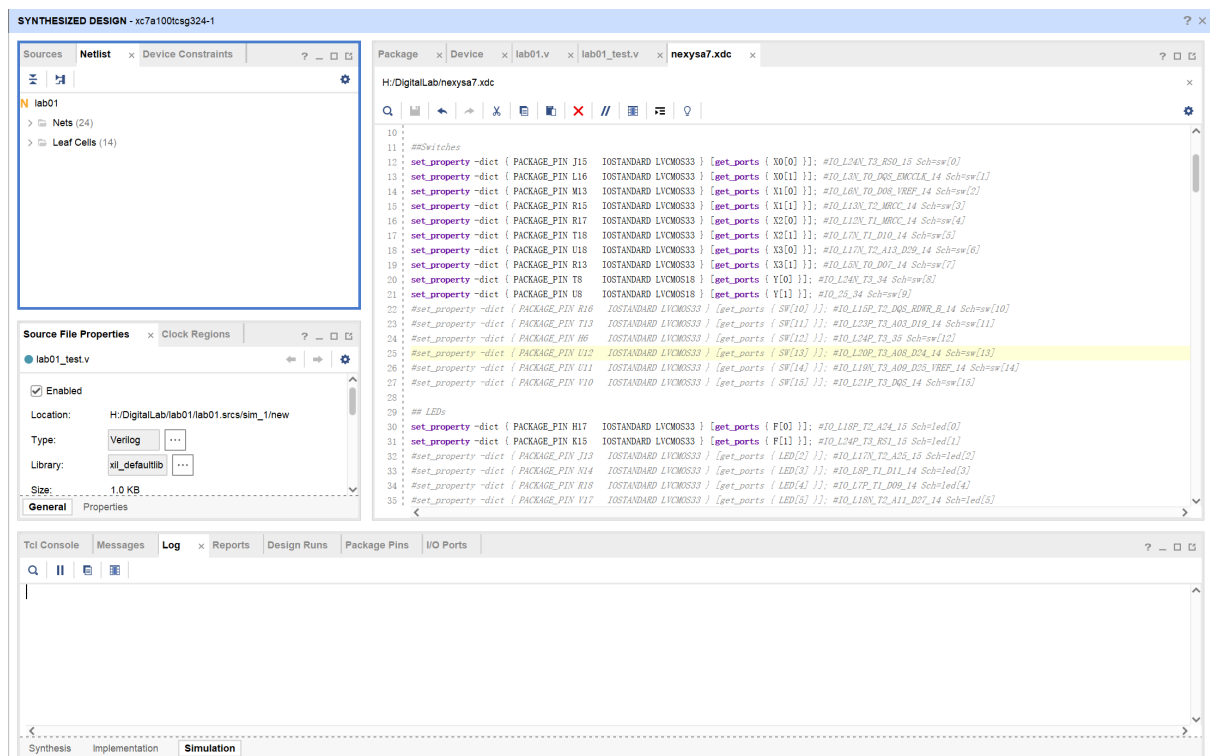


启动综合后

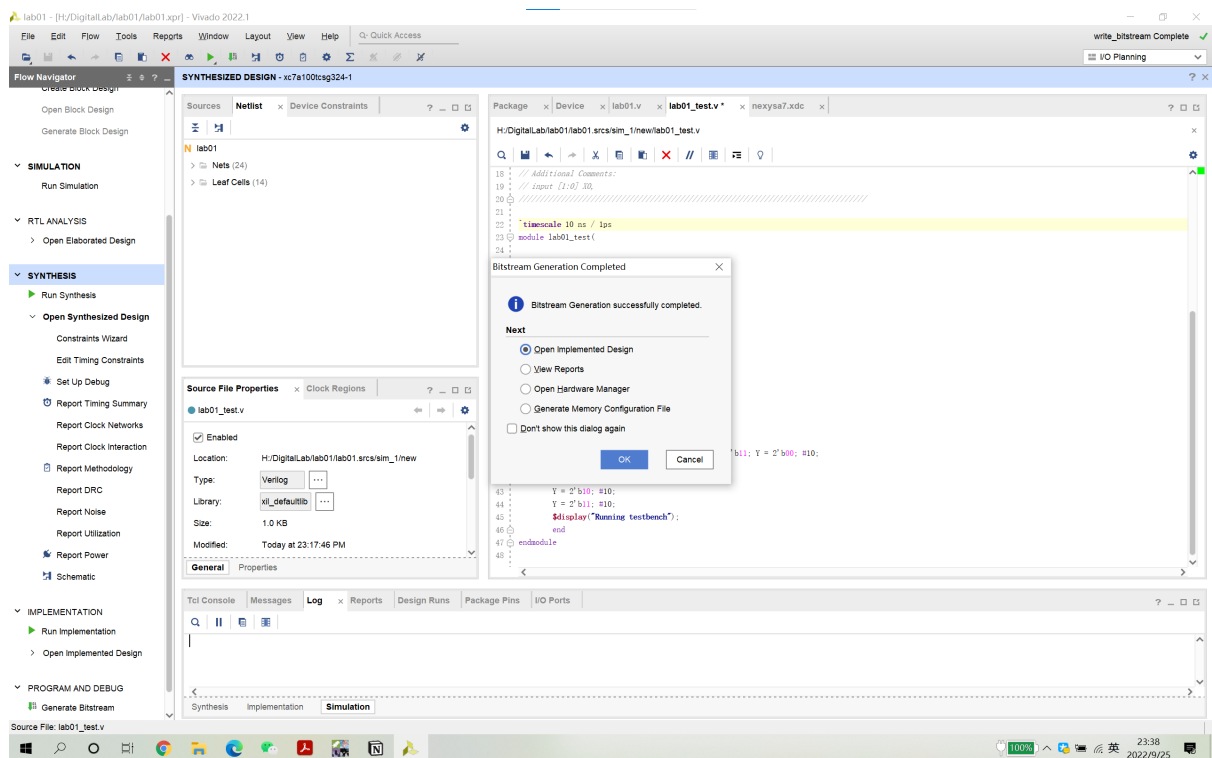


原理图





生成二进制流文件



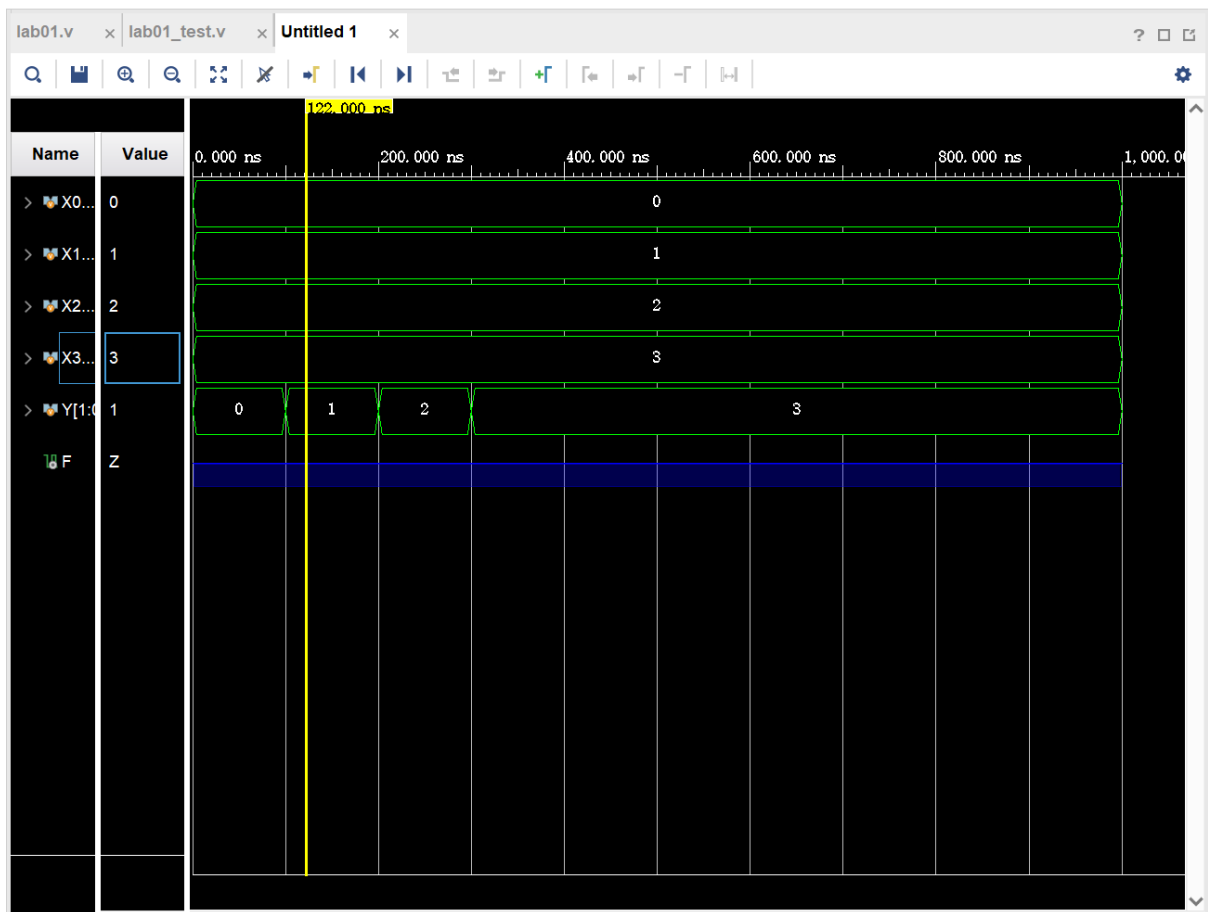
成功生成二进制文件

测试方法

连接硬件进行验证

测试信号：固定X0,X1,X2和X3，变换Y的值{0, 1, 2, 3}

实验结果



仿真模拟图像

其他结果可见“实验步骤/过程”的记录

实验中遇到的问题及解决办法

1. 仿真测试时遇到报错“port cannot be permitted”
test文件里i1部分的名字没用和.v文件的同名
2. implementing失败
因为constains文件修改错误，不知道一个接口只能连接一位
3. 没仔细阅读实验讲义，没有用case语句完成设计
重新设计

实验得到的启示

认真读讲义，不要压ddl

意见和建议

请问能不能给出实验报告样板呢？目前写得很没有头绪qwq