

מעגלים אנלוגיים משולבים

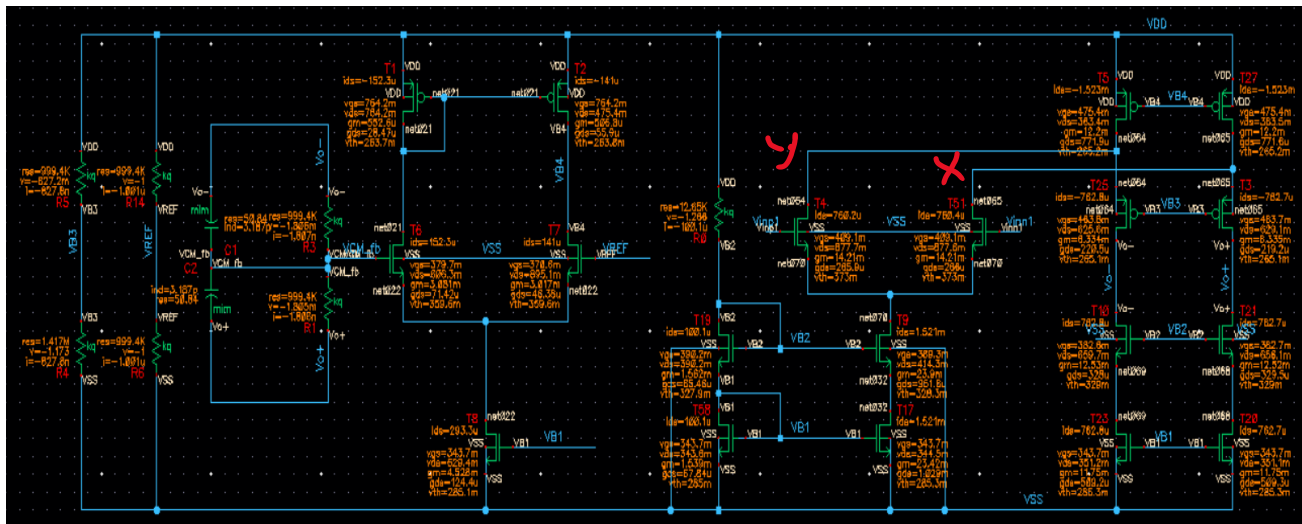
פרויקט סיום - מגבר הפרש מלא

נדב מליכסון 318653193

טל שבתאי 315904284

מטרת הפרויקט הינה לתכנן ולממש Fully differential op amplifier, תוך שימוש במעגל CMFB. למגבר מסוג זה ישנן מספר יתרונות בולטים:

- הגדלת הswing במוצא - לכל צד במוצא יש output swing הזהה לזה של single ended OTA, אך כעת מאחר והמוצא הוא הפרשי, ניתן לקבל swing כפול בגודלו.
 - רגישות מופחתת לרעש common mode.
 - מזעור העיוותים והרעשים תורם להעלאת הטווח הדינמי של המגבר.
- להלן סכמה כללית של המימוש המוצע:



מעגל זה מורכב מארבעה תתי מעגלים עיקריים:

- דרגת כניסה דיפרנציאלית.
- folded cascode amplifier.
- Common mode feedback CMFB, מגבר דיפרנציאלי עם עומס אקטיבי אשר משמש כמגבר שגיאה לאות המתח המשותף. מעגל זה חש את המתח באמצעות מחלק נגדים ומתקן באופן אקטיבי את הסטייה.
- מעגלי bias שמטרתם לספק את הזרמים הנדרשים לפעולה תקינה של המעגל, קרי לוודא כי כל הטרנזיסטורים אכן בנקודת עבודה.

ערך הcommon moden בנקודות x,y המסומנות בשרטוט תלוי בזרמי הטרנזיסטורים. במקרים של אי התאמות בטרנזיסטורים, תתקבל שגיאה קטנה בזרמים ובכדי להתגבר על שגיאה זו ולקיים את חוקי קירכהוף, טרנזיסטורי הכניסה או טרנזיסטורי ראי הזרם התחתון יצאו ממצב רוויה ויכנסו למצב לינארי. דבר זה עלול לגרום לירידה משמעותית בהגבר! לפיכך, נוסף מעגל CMFB אשר יגלה את רמת הcommon moden וישנה אותה כך שתתאים לאחד ממקורות הזרם במעגל.

הטבלה הבאה מציגה את גדלי הטרנזיסטורים וכן את נקודת העבודה :

Name	W[um]	L[um]	Vgs[mv]	Vds[mv]	Vth[mv]	gm[1/ohm]	gds[1/ohm]
T4,51	200	0.5	409.1	877.7	373	14.21m	266u
T9	300	0.5	389.3	414.3	328.3	23.9m	951.6u
T17	300	0.5	343.7	344.5	285.3	23.42m	1.03m
T19	20	0.5	390.2	390.2	327.9	1.562m	65.46u
T58	20	0.5	343.7	343.6	285	1.54m	67.84u
T5,27	400	0.5	475.4	363.4	265.2	12.2m	771u
T3,25	200	0.5	463.7	625	265.1	6.33m	219u
T21,10	150	0.5	382.6	659.7	339	12.53m	329u
T20,23	150	0.5	343.7	351.1	285.3	11.75m	510u
T8	50	0.5	343.7	629.4	285.1	4.528m	124u
T6	60	0.5	379.7	606.3	359.6	3.08m	71.42u
T7	60	0.5	370.6	895.1	359.6	3/07m	46.38u
T1	8	0.5	764.2	764.2	263.7	552u	28.47u
T2	8	0.5	764.2	475.4	263.8	506.8u	56u

הטבלה הבאה מציגה את גדלי הרכיבים הנוספים :

Name		Value
R1, R3	CMFB resistors	1[Mohm]
C1, C2	CMFB capacitors	0.2[pF]
R0	Current mirror res	12.66[kohm]
R14, R6	Vref biasing	1[Mohm]
R5	VB3 biasing	1[Mohm]
R4	VB3 biasing	1.4[Mohm]
R30, R31, R32, R33	VIN biasing	2.14[Gohm]

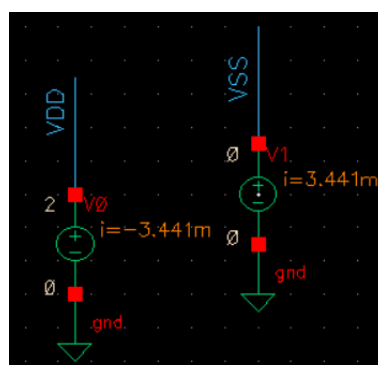
הישגי המימוש מוצגים בטבלה הבאה :

Parameter	Value
Open Loop Gain	48dB
GBW	137MHz
Close Loop Gain	1.95
DR	56dB
Settling time	73nsec
PM	90deg
GM	33.2dB

חישוב ההספק הכולל

צריכת ההספק ניתנת לחישוב על ידי הכפלת זרם הDC הכולל במעגל במתח האספקה הכולל :

$$P = 3.441mA \cdot 2V = 6.882mW$$



כעת נרחיב בקצרה על חלקי המעגל ונפרט אודות השיקולים בבחירתם.

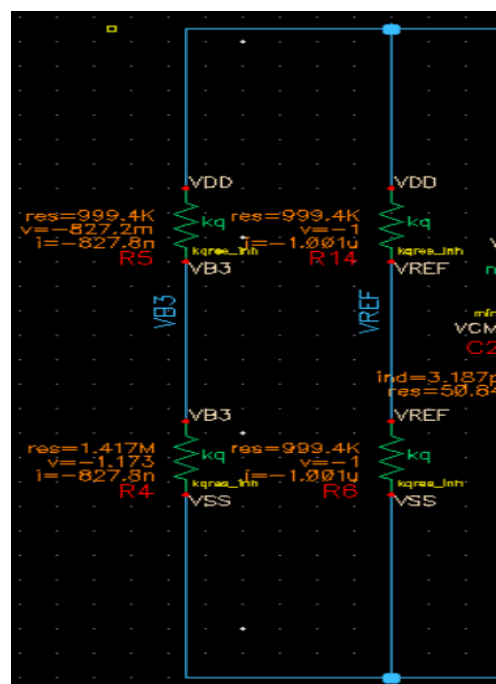
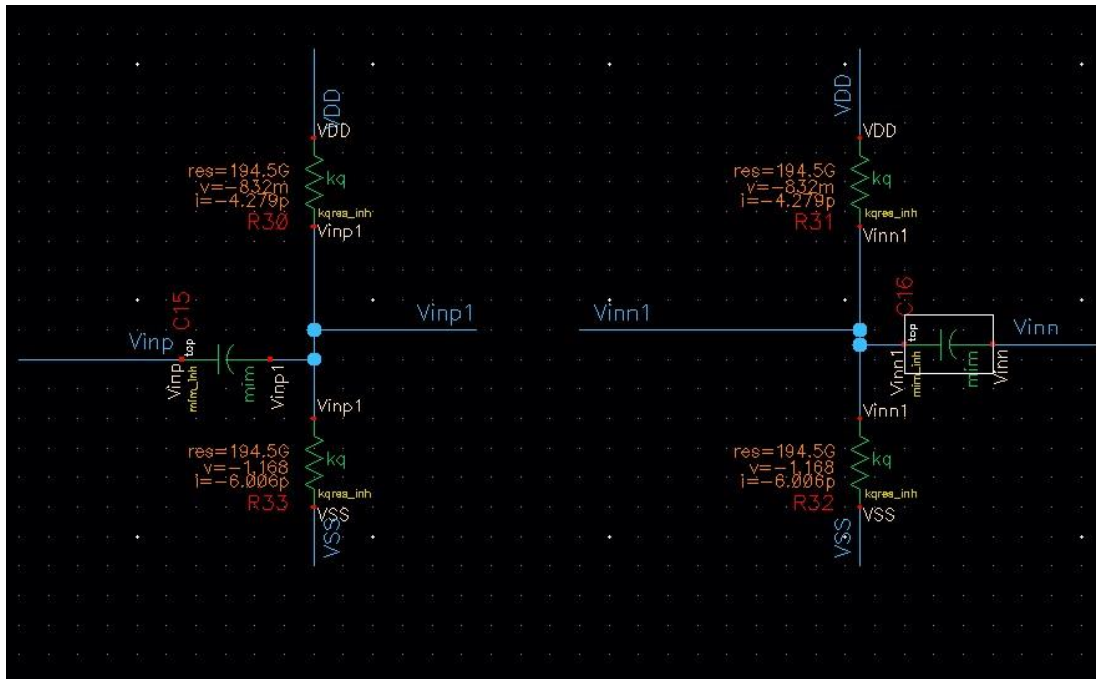
• מעגלי bias

בעזרת רשת נגדים יצרנו מחלק מתח שבעזרתו קבענו את מתחי הכניסה הרצויים בשערי הטרנזיסטורים הרלוונטיים, על מנת לקבל נקודת עבודה תקינה - זאת בהתאם לגדלי הזרמים הנדרשים.

VREF הינו מתח dc המשותף הרצוי והוא נקבע להיות מחצית ממתח האספקה, קרי 1v. מתח זה נכנס לאחד מטרנזיסטורי הכניסה של CMFB, ואליו מושווה המתח המשותף הנוכחי.

נגדי הbias של מתח הכניסה נבחרו להיות גדולים מאוד משתי סיבות :

1. משיקולי הספק - שכמה שפחות זרם יתבזבז.
2. שלא ישפיע על התנגדות הכניסה לתוך השער.



• דרגת כניסה דיפרנציאלית

- דרגה זו מוזנת על ידי ראי זרם cascode אשר מטרתו לספק זרם גדול ממספר סיבות:
1. קבלת gm גדול יותר ובכך לקבל הגבר חוג פתוח גבוה. ככל שהגבר זה גדול יותר, נוכל להתקרב יותר לדרישה של הגבר חוג סגור השווה ל2, שהרי :

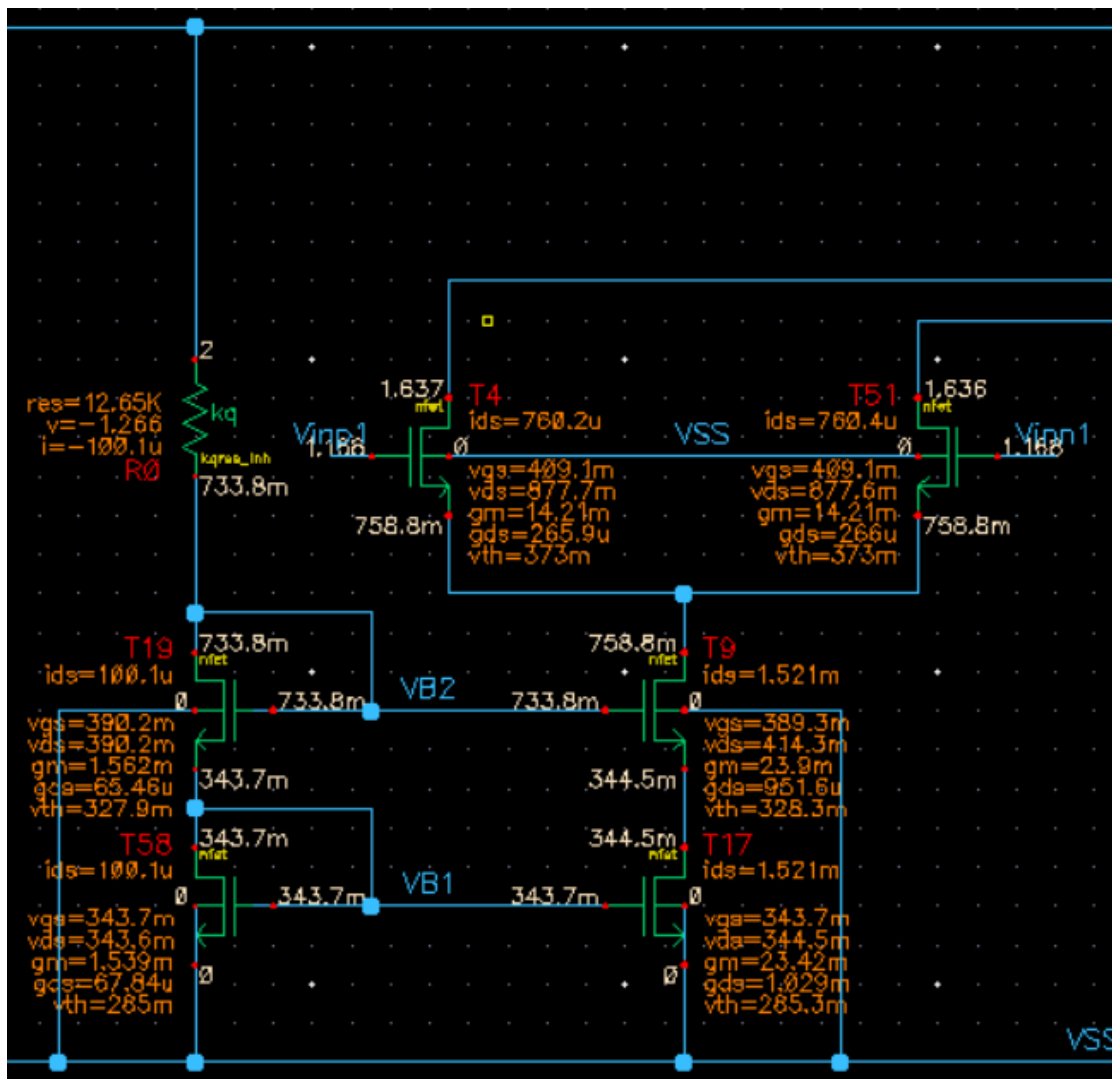
$$A_{close\ loop} = \frac{A_{open\ loop}}{1 + A_{open\ loop}B}$$

- ומכך ש $B = 0.5$, אז ככל שהגבר החוג הפתוח גדול יותר, כך ה1 במכנה זניח ונוכל לקבל בקירוב את הדרוש.
2. עמידה בדרישות התזמון - זרם גדול יותר במוצא פירושו שקבלי העומס נטענים ונפרקים מהר יותר.
 3. הגדלת הGBW, שכן :

$$GBW = \frac{gm}{2\pi C_L}$$

מסיבות אלו בחרנו את גדלי הטרנזיסטורים T9, T17 להיות בעלי יחס (W/L) גדול יותר משמעותית בהשוואה ליחס זה בטרנזיסטורים T19, T58 בענף המאלץ של ראי הזרם.

טרנזיסטורי הכניסה T4, T51 נבחרו להיות גדולים באופן יחסי זאת על מנת לקבל הולכה טובה יותר (gm) וכן עמידות גבוהה יותר לרעשים.



Folded cascode stage

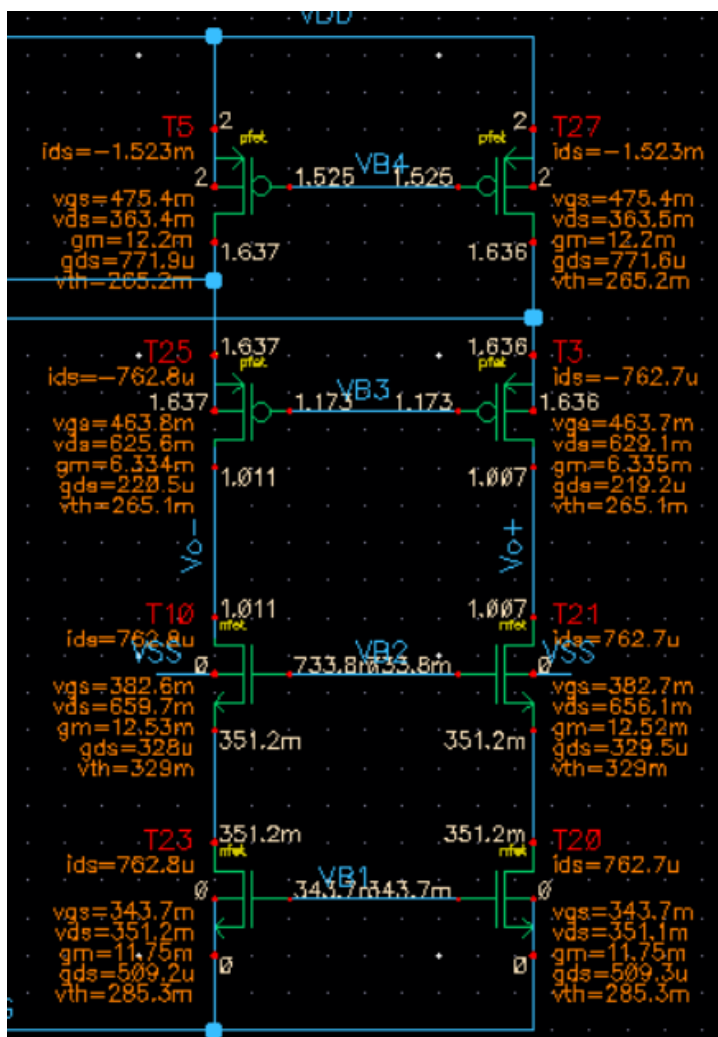
הבחירה בדרגה זו נובעת ממספר שיקולים:

1. בעלת תגובת תדר טובה (יחסית מהיר)
2. דרגה בעלת CMRR טוב.
3. התצורה ה"מקופלת" מעלה את התנגדות המוצא ובכך מעלה את ההגבר.

מתח המוצא מדרגת הכניסה משורשר לדרגה זו דרך טרנזיסטורים T25, T3, T5, T27. common gate משמשים ראויים אשר נשלט על ידי מתח המוצא של ה-CMFB עליו יורחב בהמשך.

גודלם של טרנזיסטורים T5, T27 נבחר להיות גדול (400u), זאת על מנת לצמצם את מפל המתח הנופל עליהם ובכך לאפשר חלוקה נכונה של המתח בארבעת הטרנזיסטורים בענף זה. באופן כללי, שיקול עיקרי בבחירת גדלי pmos העליונים היה לקבוע אותם כך שיספקו מספיק זרם זאת בכדי לקבל יותר gm ולעמוד בדרישות התזמון. ואכן גם טרנזיסטורי CG נבחרו להיות בעלי w גדול (200u).

טרנזיסטורי nmos התחתונים מהווים עומס לענף זה. העומס עצמו מחובר גם כן בתצורת cascode, ובכך ההתנגדות הנראית לתוך הדרגה עולה. באופן כללי גדלי טרנזיסטורים אלו נבחרו כך שהמתח יתפזר עליהם באופן שווה/אחיד, דבר אשר תורם ליציבות המעגל.



CMFB Error Amplifier •

מטרת חלק זה במימוש הינה לשמור על המתח המשותף במוצא קבוע ושווה למתח משותף רצוי (V_{ref}). מעגל זה משתמש במשוב שלילי כדי לאלץ $V_{oc}=V_{ref}$, ובכך ממזער את השגיאה הקומונלית במוצא. V_{ref} נקבע להיות מחצית ממתח האספקה ($1V$) זאת במטרה למקסם את headroom של הטרנזיסטורים וכן לשפר את voltage swing. כאמור, את מתח זה יצרנו באמצעות מחלק נגדים והוא נקבע להיות אחת מכניסות של המגבר הדיפרנציאלי.

פעולת החישה מתבצעת בעזרת מחלק נגדים פשוט. מתחי המוצא הנוכחיים v_{o+} , v_{o-} , משורשרים לרשת הנגדים ודגימת המתח ביניהם נותנת את האות המשותף (ממוצע):

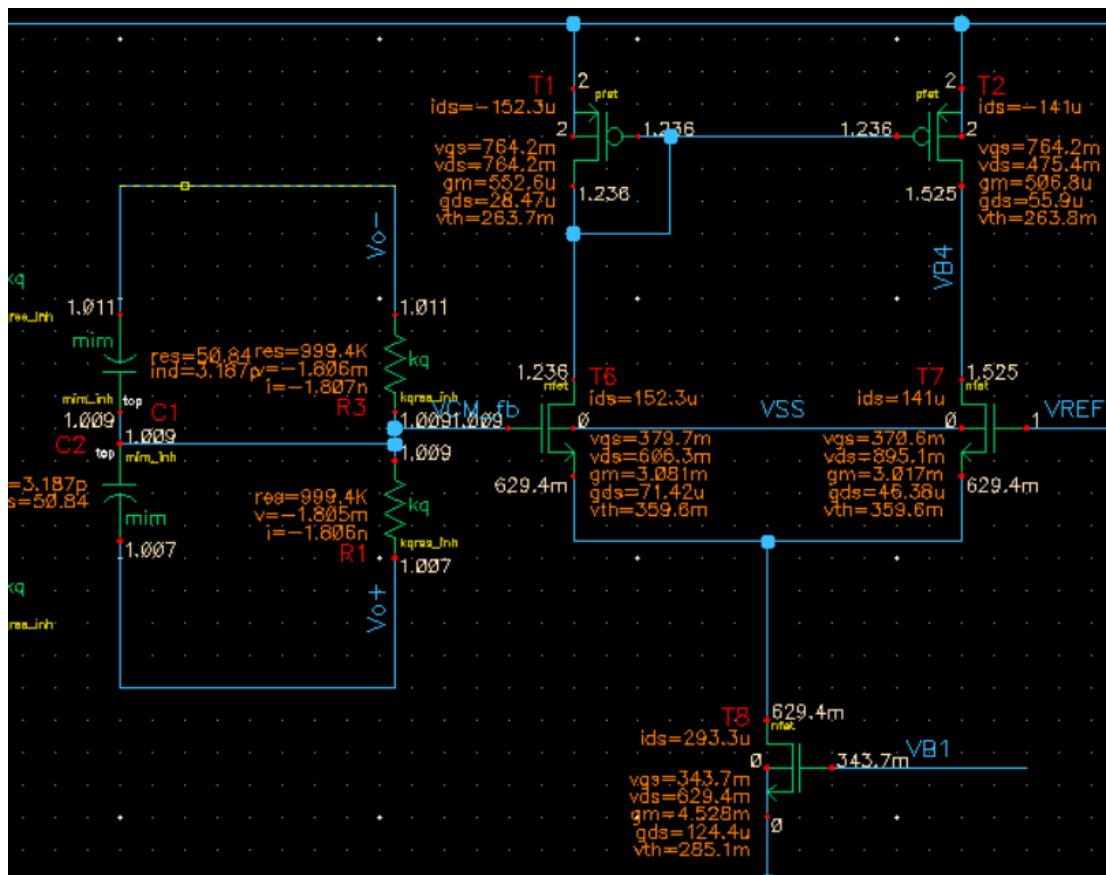
$$V_{cmfb} = \frac{v_{o+} + v_{o-}}{2}$$

מתח זה נקבע להיות הכניסה השנייה למגבר הדיפרנציאלי, הוא מוחסר מהמתח הקומונלי הרצוי (V_{ref}) ועובר scaling על ידי המגבר.

מוצא המגבר, $VB4$ קובע את מתח השער של טרנזיסטורי ראי הזרם (pmos עליונים) בדרגת folded cascode ועל פיו יקבע הזרם בדרגה זו ומכאן מתח המוצא ישנתה בהתאם! באופן זה, יצרנו תיקון להפרש המתח המשותף הנוצר במוצא.

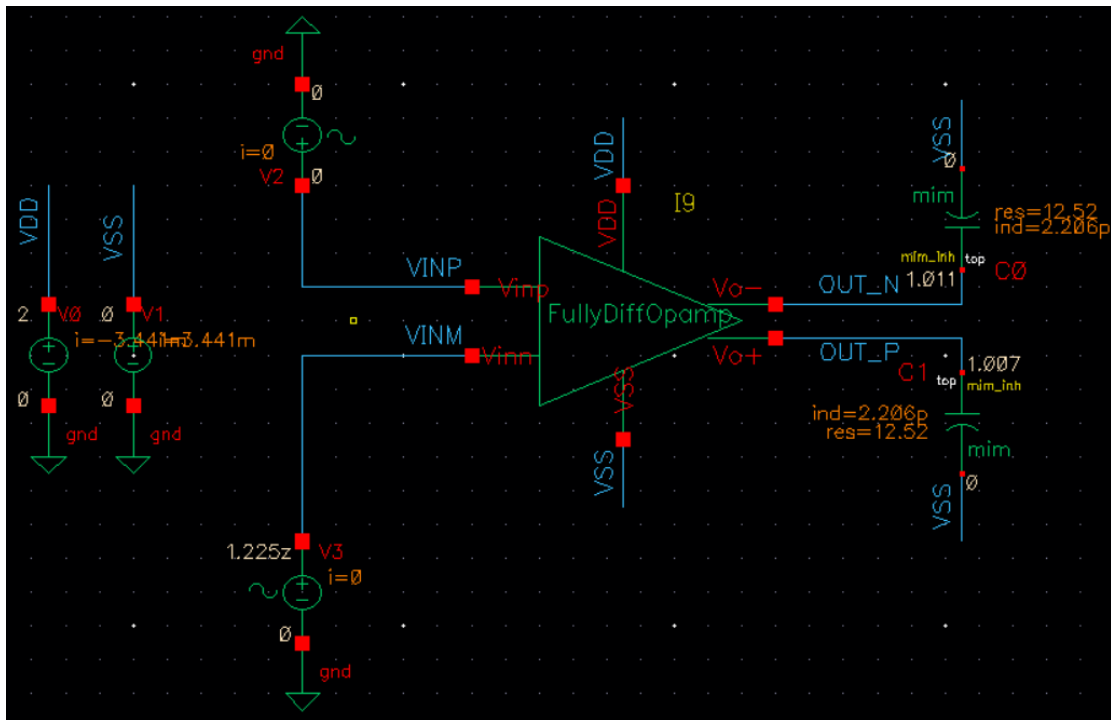
את הנגדים $R1$, $R3$ קבענו להיות גדולים מאוד ($1M\Omega$) בכדי למזער את השפעתם על תפקוד המעגל, זאת מאחר ונגדים גדולים יותר מעמיסים פחות את המוצא ובכך ההגבר נפגע פחות. בנוסף, מאחר ומדובר בפעולת משוב נדרש להוסיף גם קבלי קומפנסציה, $C1$, $C2$ משיקולי יציבות. כאן בשימוש בCMFB ניתנת עדיפות ליציבות במחיר של הנחתה בהגבר.

טרנזיסטורי pmos נבחרו להיות קטנים יחסית על מנת לקבל תגובה נאותה יותר של המגבר.

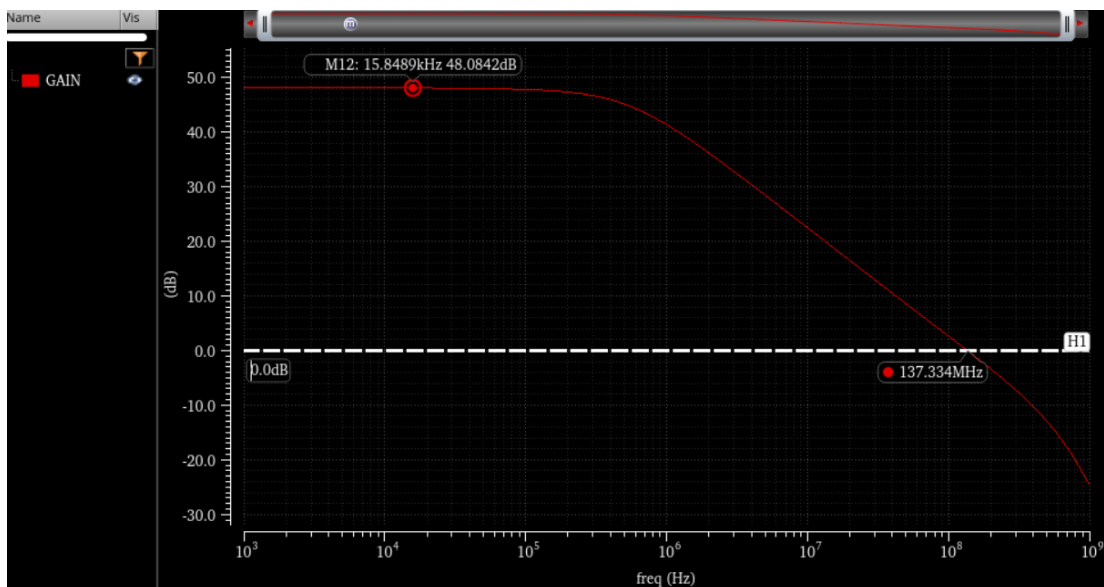


סימולציות

Open loop AC Analysis •

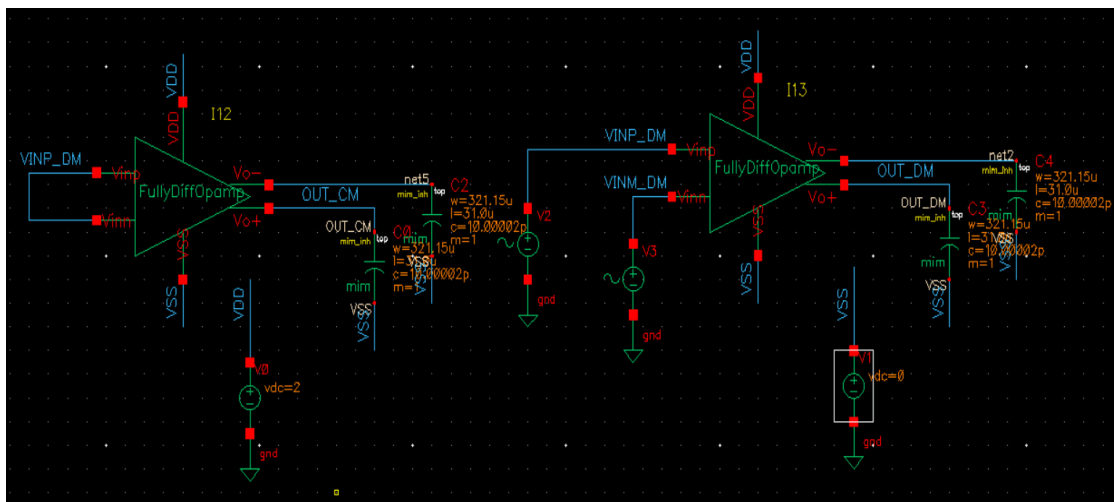


נקבע אות כניסה הפרשי ונמדדה תגובת התדר במוצא ההפרשי, להלן הגרף:

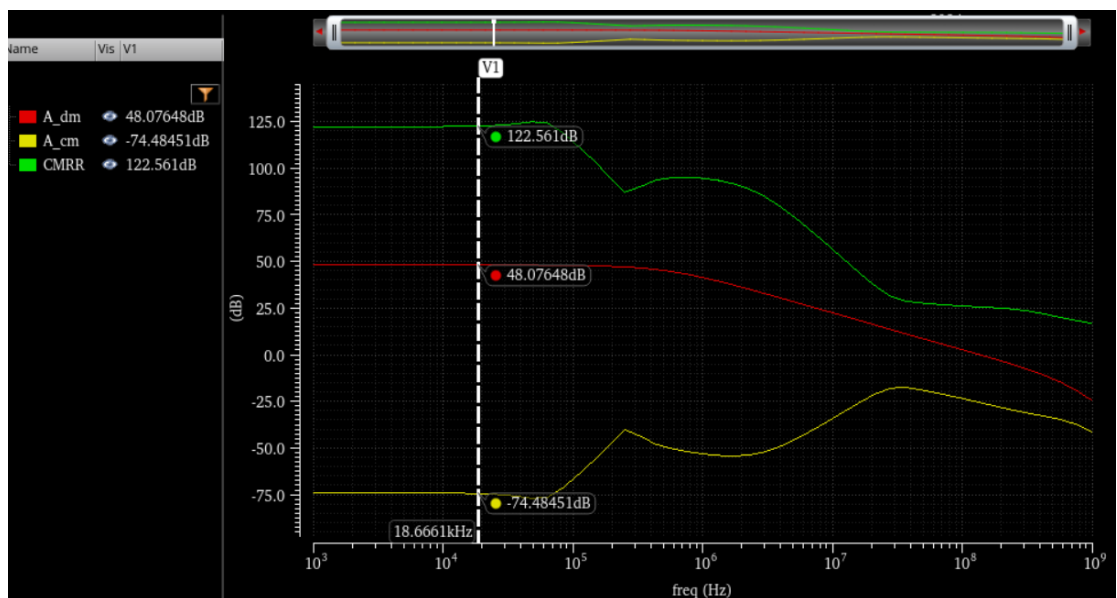


Open loop gain	48.08dB
GBW	137.33MHz

על מנת לחשב את הCMRR, ערכנו סימולציה נוספת עבורה הגבר החוג הפתוח נמדד גם עבור כניסה משותפת:



תגובת התדר שהתקבלה:



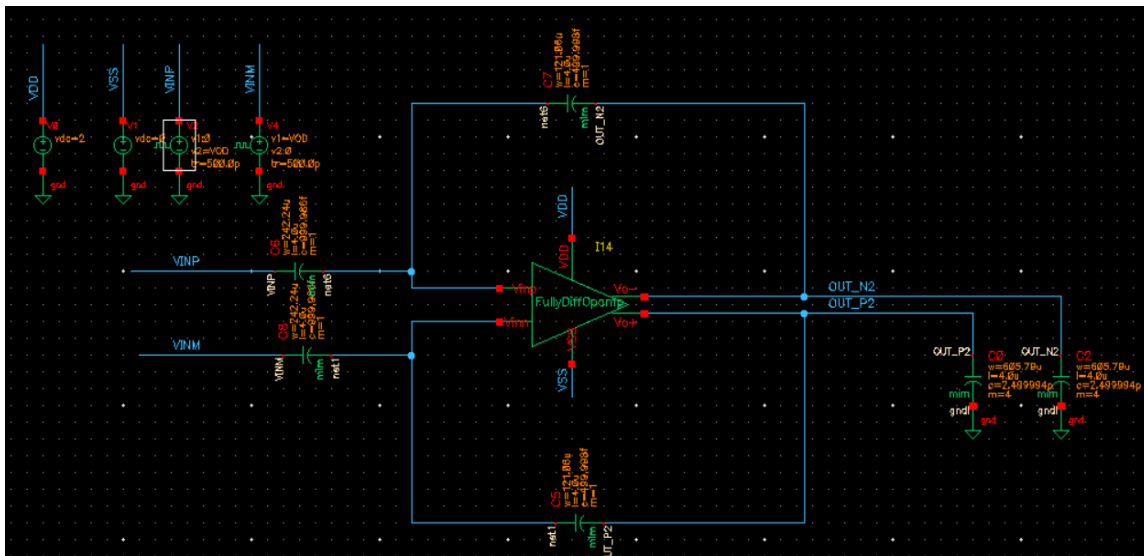
הCMRR חושב על ידי:

$$CMRR = A_{dm} - A_{cm} = 122.561dB$$

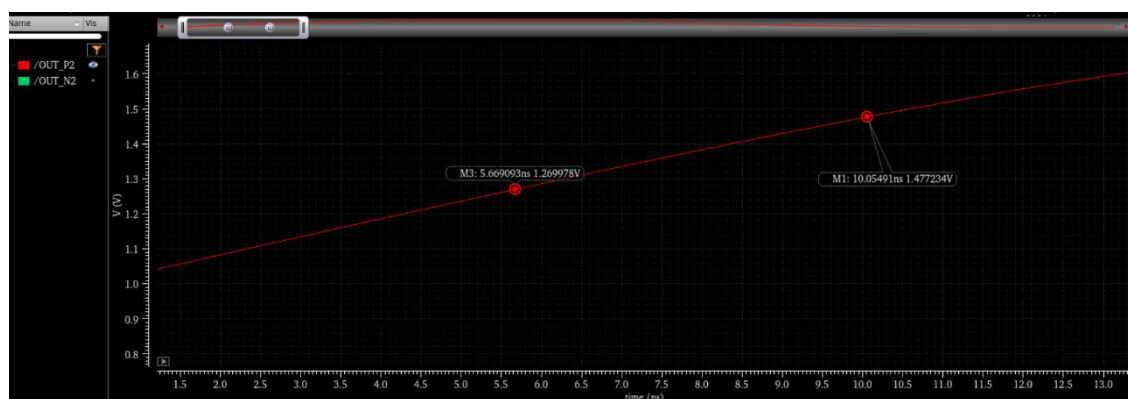
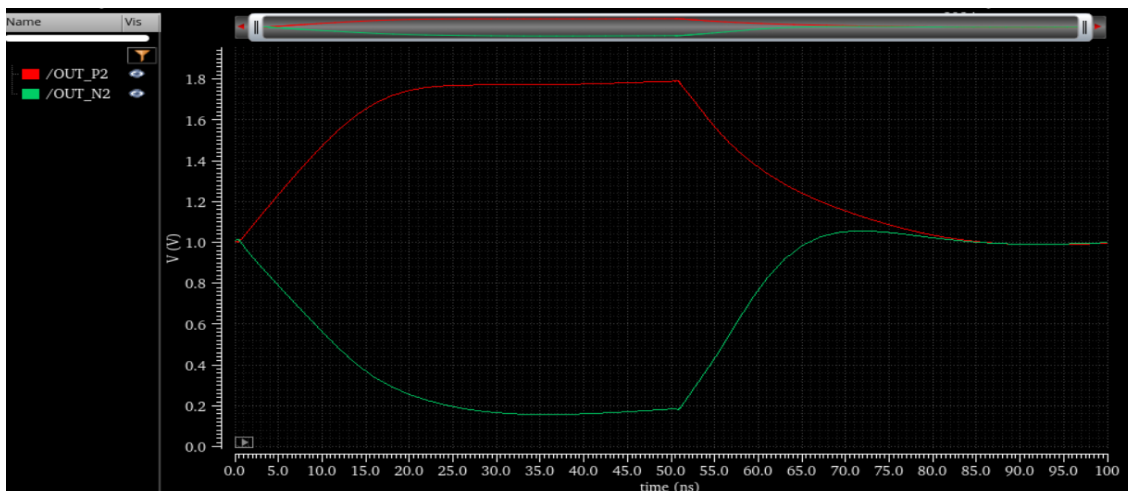
כידוע המצב הרצוי ברוב המקרים הוא טיפול באות דיפרנציאלי בלבד, לכן נדרש הגבר הפרשי גבוה והגבר משותף מאוד נמוך. אכן ניתן לראות כי ההגבר הקומונלי שהתקבל נמוך מאוד (-74.4dB). תוצאה זו אינה מפתיעה שהרי הCMFB מקבל את המתח המשותף במוצא כך שהכניסה הקומונלית בעלת השפעה קטנה מאוד.

אידאלית נרצה CMRR אינסופי, ואכן התקבל יחס דחיית אות משותף גדול מאוד!

כדי לחשב את Slew raten הרכבנו את הבדיקה הבאה :



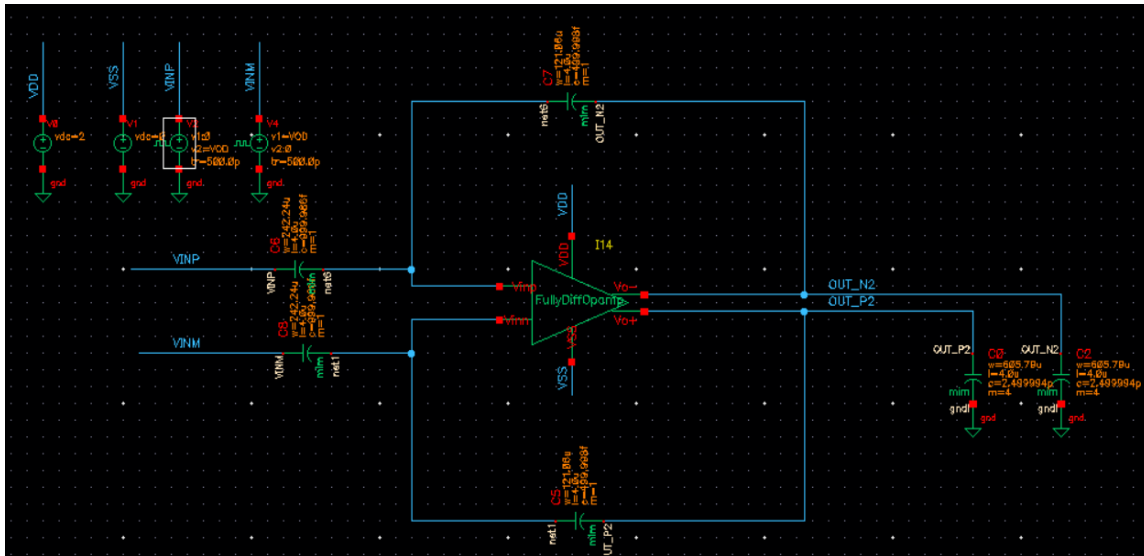
לכניסות חיברנו כניסת מדרגה עם אמפליטודה גבוהה, ערכנו סימולציית transient ובדקנו את שיפוע המוצא המקסימלי האפשרי. להלן התוצאות :



$$SR = \frac{1.477234 - 1.269978[V]}{10.05491 - 5.669093[nsec]} = 47.25[\frac{v}{\mu sec}]$$

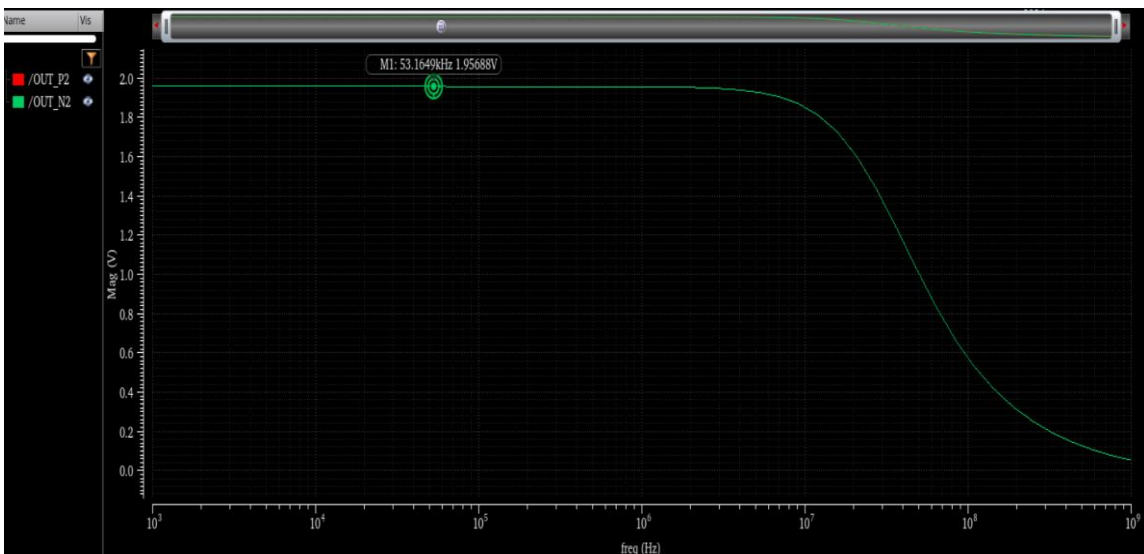
• Closed loop

לבדיקת ההגבר בחוג סגור השתמשנו בסכמה הבאה: (סכמה ששימשה גם לשלע rate)



בסכמה הנ"ל ניתן לראות את החוג הסגור, תוך שימוש בקבלים של 0.5pF לסגירת החוג. ערך זה נקבע כפשרה בין קבל גדול שיפחית את הרעש לבין קבל קטן שיעזור לעמוד בדרישות התזמון, שהרי ככל שהקבל קטן יותר תהליכי הפריקה והטעינה נעשים מהירים יותר.

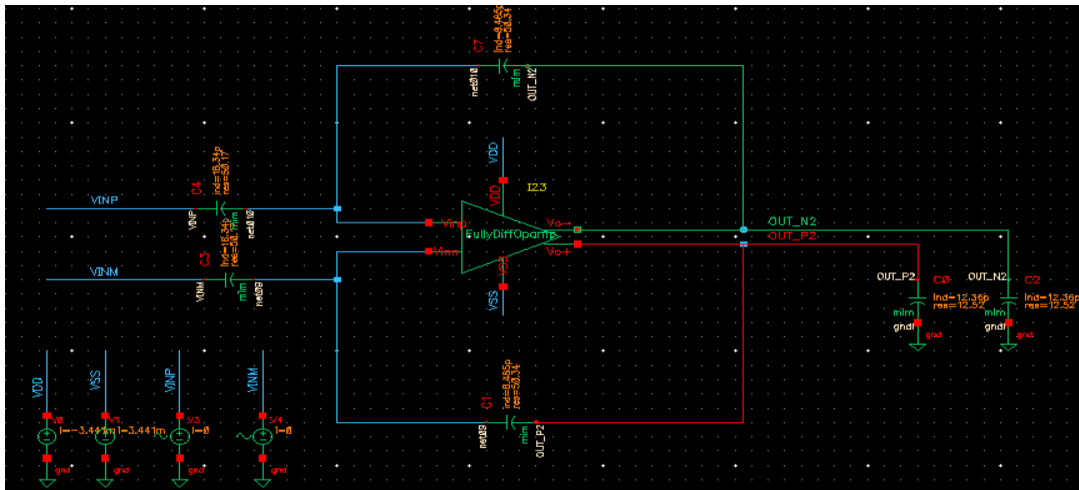
להלן הגבר החוג סגור:



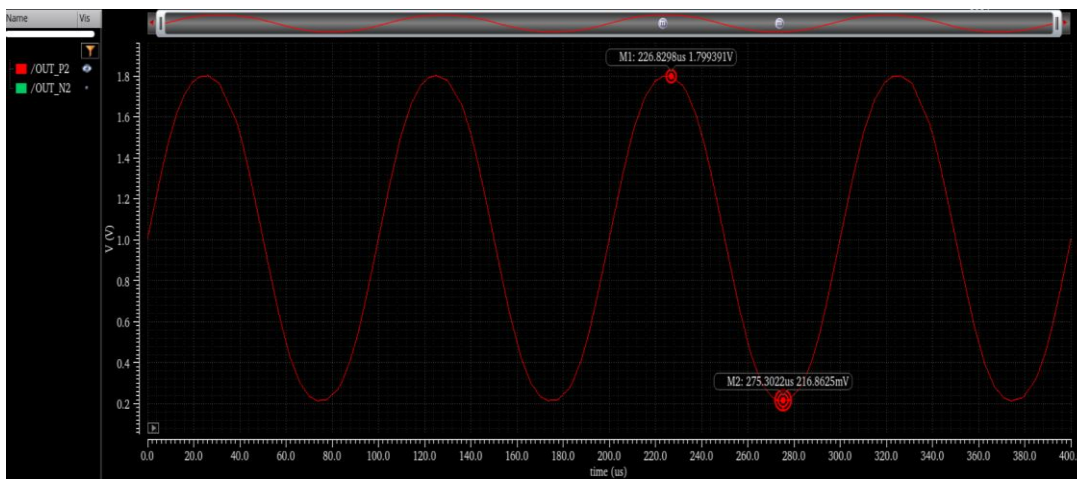
$$A_{CL} = 1.95$$

הגבר החוג הסגור שהשגנו בעל סטיה של כ-2.5% מהערך הדרוש.

סימולציית רעש



על מנת למדוד את voltage swing במוצא, בוצע sweep על מתחי אמפליטודת הכניסות עד אשר התקבל אות סינוס קטום במוצא. מתח זה הוא המתח המקסימלי עד אשר המוצא נהרס. אנו קיבלנו כי המתח הנ"ל הינו 450mV.



כמו כן, ביצענו סימולציית רעש מ 1mHz עד 100GHz, להלן התוצאות:

Device	Param	Noise Contribution	% Of Total
/I23/T51	Shotgd	1.16052e-06	28.86
/I23/T4	Shotgd	1.15415e-06	28.70
/I23/T51	Shotgs	4.84095e-07	12.04
/I23/T4	Shotgs	4.81146e-07	11.97
/I23/T5	Sf1	2.03292e-07	5.06
/I23/T27	Sf1	2.03282e-07	5.06
/I23/T3	Sf1	6.05045e-08	1.50
/I23/T25	Sf1	6.04695e-08	1.50
/I23/T20	Sf1	1.6692e-08	0.42
/I23/T23	Sf1	1.66796e-08	0.41

Integrated Noise Summary (in V²) Sorted By Noise Contributors
Total Summarized Noise = 4.02083e-06
Total Input Referred Noise = 1.69836
The above noise summary info is for noise data

בהתבסס על תוצאות אלו נחשב את DR על פי:

$$DR = 10 \log \left(\frac{P_{peak \text{ signal}}}{P_{noise}} \right)$$

כאשר את $P_{peak\ signal}$ נחלץ מגרף הסינוס לעיל ובהתבסס על המתח המקסימלי במוצא

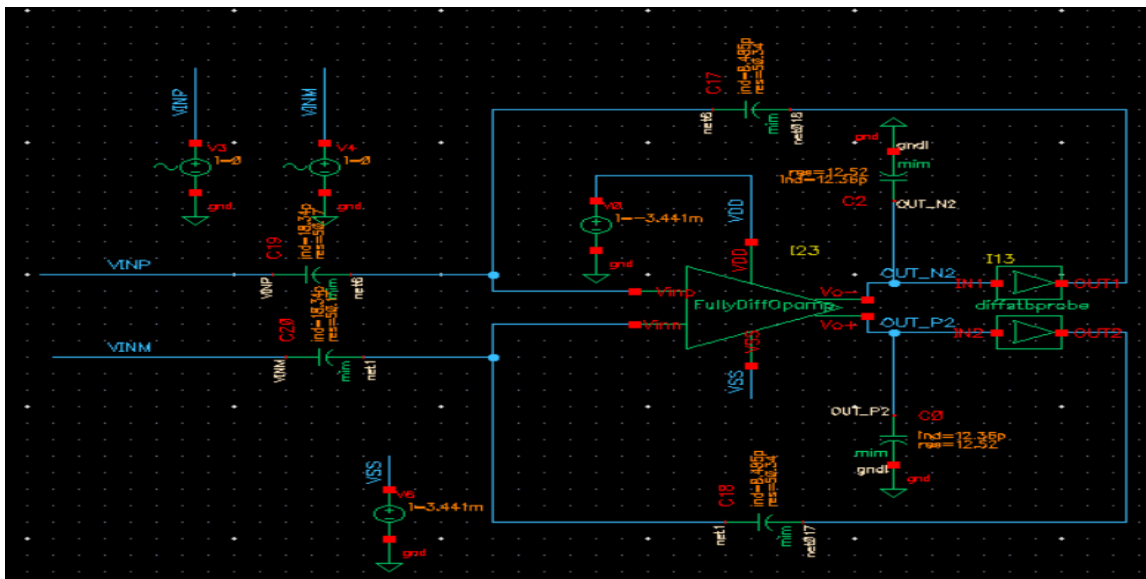
$$P_{peak\ signal} = \frac{1.8^2}{2} = 1.62W$$

ואת P_{noise} ניקח מתוך סיכום הרעש הכולל במעגל.
נקבל:

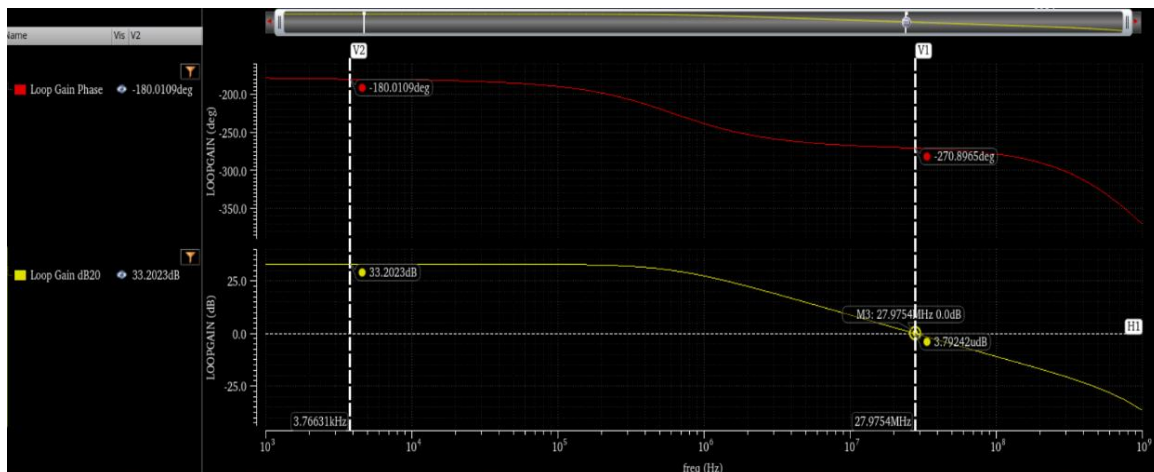
$$DR = 10 \log \left(\frac{P_{peak\ signal}}{P_{noise}} \right) = 10 \log \left(\frac{1.62}{4.02 \cdot 10^{-6}} \right) = 56dB$$

סימולציית יציבות

השתמשנו בבדיקה הבאה:



להלן תגובת התדר בחוג סגור:



לחישוב Phase margin נמצא את הפאזה עבורה הגבר החוג הסגור הינו 0dB ונמדוד את המרחק מפאזת -180deg.

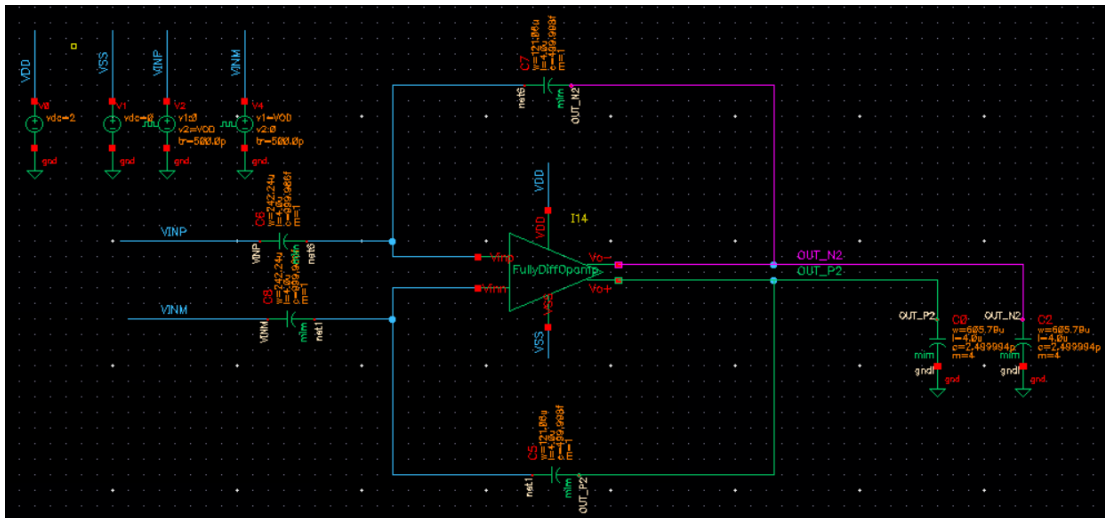
$$PM = |-270.8965^\circ - (-180^\circ)| = 90.89^\circ$$

לחישוב Gain margin נמצא את ההגבר עבורו הפאזה הינה -180deg ונמדוד את המרחק מהגבר 0dB.

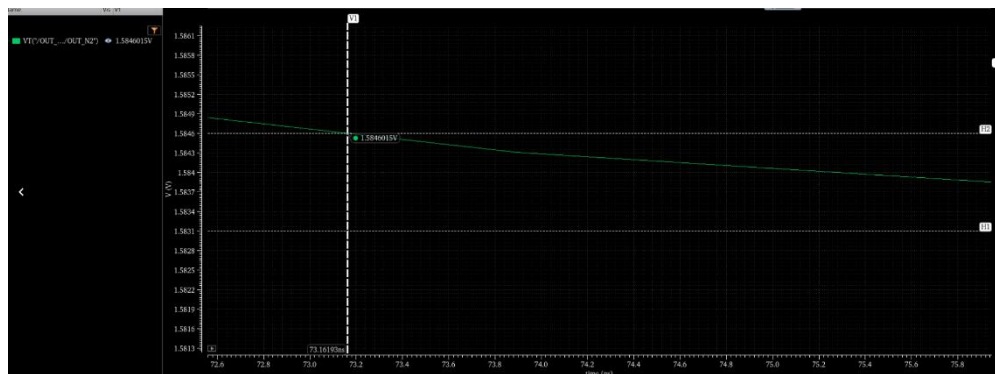
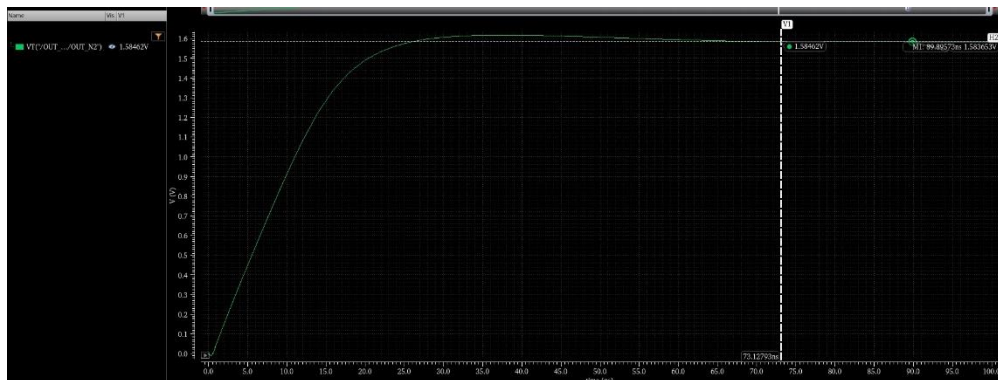
$$GM = |0 - 33.2023dB| = 33.2023dB$$

Settling time, settling error

על מנת לחשב את זמני ההתייצבות, השתמשנו בבדיקה הבאה:



אות המוצא נקבע להיות כניסת מדרגה המתחילה מ-0V עד למתח הכניסה swing המקסימלי שנמצא בסימולציית ה-DR, קרי 450mV. מתח המוצא במצב היציב הינו 1.58V ובהתבסס על הגדרות settling error נבחן מתי הגרף מתכנס למצב היציב בטווח שבין $\pm 0.5mV$ מהערך הסופי. זמן זה הינו settling time והינו 73.13nsec.



נציין כי ערך settling time גם באמצעות פונקציית המחשבון, שם התקבל שונה:

Expression	Value
settlingTime(VT("/OUT_P2") - VT("/...	21.65E-9