

פרויקט גמר

מערכת שוי"ב על תווים RF

לתוכר הנדסאי אלקטرونיקה

המבצע: נדב משה

הנחייה: שי לוי ודניאל תבור



רחוב אמסטרדם 16 פתח-תקווה 49453 טל' 9222332-03 , 9218782-03 פקס 9213844-03

E-mail: amal_b@amalnet.k12.il

סמל מוסד: 470591

**הצעה נושא לפרויקט
لمילוי חלקו של הדרישות לקבלת**

תואר הנדסי בмагמת חשמל - אלקטרוניקה

בהתמחות: מערכות אלקטרוניות

שם הנושא : **מערכת שוו"ב על תווים RF**

תואר: **מהנדס חשמל ואלקטרוניקה**

שם המנחה: **מייכאל גונייקמן**

בהתypress לנאמר בחברת "פרויקט ועובדת גמר במסלול על תיכון
(כיתות י"ג, י"ד) בмагמת חשמל – אלקטרוניקה (تمוז התשנ"ד – יוני 1994)".

אופי עבודה הגמר :

2.1. סעיף 2.1. חקר הנדסי ע"פ הנאמר בפרק ד', סעיף 2.1

2.2. סעיף 2.2. בדיקת התכונות, ע"פ הנאמר בפרק ד', סעיף 2.2

2.3. סעיף 2.3. תכנון ע"פ הנאמר בפרק ד', סעיף 2.3

2.4. סעיף 2.4. תכנון ופיתוח, ע"פ הנאמר בפרק ד', סעיף 2.4

2.5. סעיף 2.5. תכנון, פיתוח וIMPLEMENTATION מערך בדיקה, ע"פ הנאמר בפרק ד', סעיף 2.5

2.6. סעיף 2.6. תכנון מערך החזקה, ע"פ הנאמר בפרק ד', סעיף 2.6

מקום הביצוע :

מכללה

כח"ל

תעשייה

מוסד מחקר

תאריך הגשת ההצעה : _____

שם מרכזי המגמה : _____

חותמת המרכז : _____

חותמת המנכלה : _____

הצהרת הסטודנט : לאחר שעיניší בחומרה נוהלי ביצוע של עבודות גמר / פרויקטים לטכנים והנדסאים ובהצעה, ולאחר הסברני המנחה, הנני מאשר בזאת שההצעה על חילוקיה מובנת לי ומחייבת אותי.

חותימה : _____

תיאור הנושא:

יום בחיל האויר קיים צורך במערכת שליטה ובקירה אלחוטית בעלת משקיע שליטה מגוונים. עקב דרישת זו הוחלט לפתח מערכת הבניה משני מכלולים המבוססים כרטיס ליבת משותף. המכלולים יתקשרו ביניהם בצורה אלחוטית כר' שמלול ה MASTER שלוח פקודות ומכלול ה SLAVE מדווח אליו בקרנות. הפרויקט יכול פיתוח כרטיס מבוסס רכיב מתוכנת עם מספר מקמשים בעלי מגוון תדרי עבודה וטוווחי שידור. המערכת תתמוך באפשרויות שליטה ע"י מגוון רחב של משקיעים כגון: תקשורת RS422, PWM, TTL, מסרים.

מפורט תוכני:

- 1) רכיב מתוכנת התומך בקוד קושחה VHDL של חברת INTEL - ALTERA .
- 2) עבודה עם מקם"ש XBEE באמצעות תוכנת XCTU.
- 3) התמסחות למוקם"ש XBEE באמצעות בפורוטוקל UART.
- 4) כניסה DEBOUNCER לשיטה באמצעות מפסקים.
- 5) כניסה/יציאה RS422.
- 6) שליטה על מנוע סרוו באמצעות PWM.

פירוט הדרישות מהמבצע:

- 1) לימוד סביבת פיתוח רכיבים מתוכנים של חברת INTEL - ALTERA .
- 2) לימוד תקשורת UART .

- (3) לימוד סביבת עבודה XCTU לשיליטה על מקם"ש XBEE.
- (4) שרטוט חשמלי בתוכנת ORCAD.
- (5) תכנון מעגל מודפס רב שכבות.
- (6) לימוד וכתיבת קוד קושחה VHDL.
- (7) שימוש בცב"דים סטנדרטיים לטובת ביצוע בדיקות אינטגרציה ובדיקות סופיות של המערכת.
- (8) תיעוד וכתיבת ספרות פרויקט.

ביבליוגרפיה:

- לימוד שפת VHDL לסימולציה וסינטזה – עמוס זולבסקי.
- שפת תיאור חומרה VHDL – איל חברבר.
- אתר מידע לרכיבים מתוכננים של חברת INTEL - ALTERA
 - <https://www.intel.com>
- אתר מידע לדפי מפרט של רכיבים
 - <http://www.alldatasheet.com>
 - <http://www.analog.com>
- דפי נתונים
 - <http://www.ti.com>

נספחים:

1. תרשימים מבנים של הפרויקט

ת.ז. 211882212

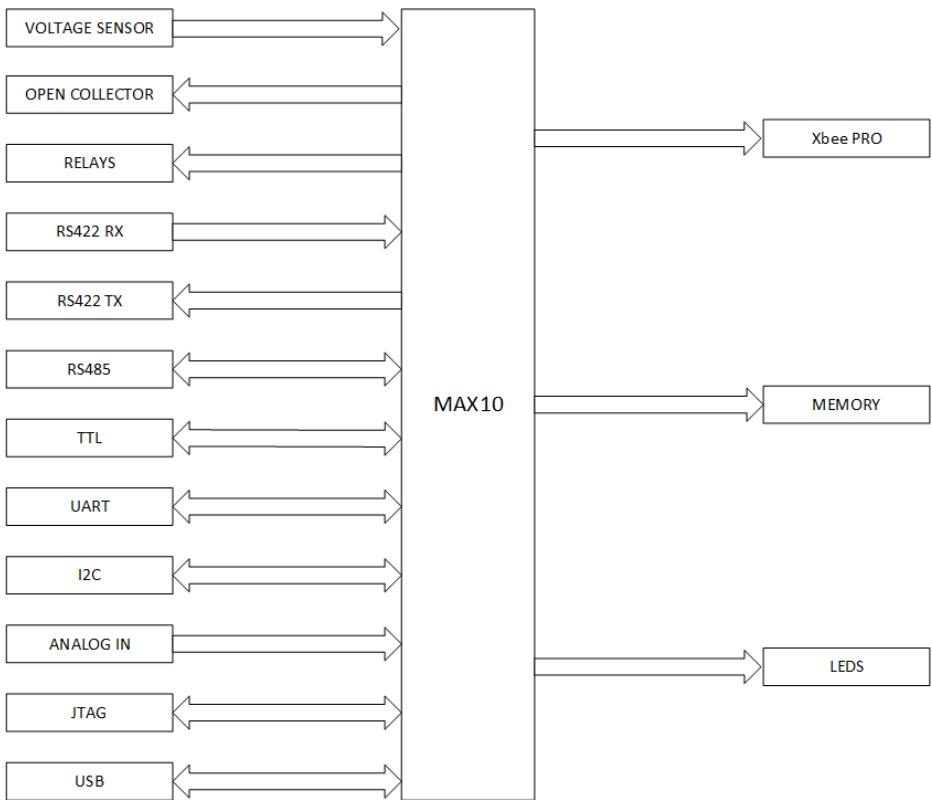
שם הסטודנט: נדב משה

החלטת הצוות המאשר: הנושא אושר לביצוע.

שם וחתימת ראש הצוות המאשר

תאריך

נספח – תרשימים מלבנים של הפרויקט



הצהרת הסטודנט

שם הסטודנט: נדב משה ת"ז: 211882212

אני החתום מטה, מצהיר בזאת כי כל פרויקט הגמר המוגash בספר זה, הינו פרי עבודתי בלבד.

פרויקט הגמר נעשה על סמך הנושאים שלמדתי במכילה ובאופן עצמאי.

פרויקט הגמר וספר הפרויקט נעשו על בסיס הדריכתם של המנהלים האישיים.

מקורות המידע בהם השתמשתי לביצוע פרויקט הגמר מצויים ברשימה המקורית בסוף הספר בסעיף ביבליוגרפיה.

אני מודע לאחריות שאני מקבל על עצמי על ידי חתימתה זו שכל הנאמר בה אמת ורק אמת.

תאריך

חתימת הסטודנט

אישור המנהה

הרini מאשר שהפרויקט בוצע בהנחייתך, קראת את ספר הפרויקט וממצאת כי הוא מוכן לצורך הגשת הסטודנט להגנה על פרויקט הגמר.

תאריך

חתימת המנהה

שם המנהה

תודות

ברצוני להודות לכל האנשים שעזרו, תמכו, לימדו ויעצו לי בביצוע הפרויקט.
למחלקות פרויקטים ב"מ ל"א, יחידת מופת, במצ"א 108 אשר לימדו, הכשירו, תמכו, ייעצו ונתנו
עצמם מעל ומ עבר וביניהם:

- שי לוי
- מיכאל גוניקמן
- דניאל תבור
- שלון קשתן
- ניב מינקוב

ברצוני גם להודות למנהל המכללה דוד פורקוש, לרכז מחלקה אלקטרוניתה שבתאי מזרחי ולכל מרצים
במכללה במהלך הלימודים על ההכשרה המקצועית בתחוםים השונים.

תוכן עניינים

14.....	1.	מבוא
14.....	.1.1	הצורך בפרויקט
14.....	.1.2	הפתרון המוצע
15.....	2	2. מפרט טכני
15.....	.2.1	מבוא
15.....	.2.2	מאפיינים
18.....	3	רקע עיוני
18.....	3.1	רכיבים מתוכנתים
18.....	.3.1.1	מבוא
19.....	.3.1.2	תכונות רכיב CPLD הנבחר
19.....	.3.2	אפנון PWM
20.....	.3.3	מנוע SERVO
20.....	.3.4	פרוטוקול תקשורת IEEE 802.15.4
22.....	.3.5	פרוטוקול תקשורת Zigbee
24.....	.3.6	פרוטוקול תקשורת UART
25.....	4	רכיבים
25.....	4.1	חוצץ אוקטלי 74HCT541
26.....	4.2	חוצץ אוקטלי 74VHC541
27.....	4.3	דוחף זרם DS2003
28.....	4.4	ממיר מתח DO כיוונו 8TXB0108
29.....	4.5	מגן ריטוטים ללוגיקה מכנית MAX6818
30.....	4.6	חוצץ ISO1541
31.....	4.7	נתיר אלקטרוני אוטומטי TPS2660
32.....	4.8	רכיב משדר AM26LS31 RS422
34.....	4.9	רכיב מקלט AM26LS32 RS422
35.....	.4.10	רכיב מקם"ש SN65HVD1782 RS485

תוקן עניינים	בלמ"ו	מערכת ש"ב על תווים RF
36.....	ASSR-1611	4.11.
37.....	HDC1000	4.12.
38.....	FT232RL	4.13.
39.....	INA226	4.14.
41.....	MAX10 CPLD	4.15.
42.....	Dogm 17205	4.16.
44.....	LTM8024	4.17.
46.....	MT48LC8M16A2B4-6A SDRAM	4.18.
48.....	8034AD Rail to Rail	4.19.
49.....	E01-2G4M27D	4.20.
50.....	Xbee S3B PRO RF	4.21
52.....	Xbee 3 Zigbee 3.0 RF	4.22.
54.....	XTend vB RF	4.23
56.....	הומרה	5.
56.....	מעגלי תקשורת	5.1
56.....	מעגל חוצץ תקשורת I2C	5.1.1
57.....	מעגל תקשורת RS485 RS422	5.1.2
58.....	מעגל USB TO UART CONVERTER	5.1.3
59.....	CPLD	5.2
59.....	מעגל CLOCK	5.2.1
60.....	מעגל POWER	5.2.2
61.....	CPLD CONFIGURATION JTAG	5.2.3
61.....	מעגלי ממשקים	5.3
61.....	מעגל DEBOUNCER	5.3.1
62.....	מעגל LEDS	5.3.2
63.....	מעגל LVTTL OUT	5.3.3
64.....	מעגל OPEN GROUND	5.3.4
64.....	מעגל RELAYS	5.3.5
65.....	מעגל TTL INPUTS	5.3.6
65.....	מעגל TTL OUTPUTS	5.3.7

66.....	Voltage Monitor	.5.3.8
67.....	מעגל זיכרון5.4
67.....	מעגל SDRAM5.4.1
67.....	מעגלי בקרות וnitro5.5
67.....	מעגל Battery Power Gauge5.5.1
68.....	מעגל Temperature Sensor5.5.2
69.....	מעגל אספקה5.6
69.....	מעגל Dual Power Supply5.6.1
70.....	מעגל Regulator5.6.2
71.....	מעגל הפרדת אדמה5.6.3
71.....	מעגל משדר – מקלט RF5.7
71.....	מעגל ממשך 2G4M27D5.7.1
71.....	מעגל XBee Pro5.7.2
72.....	מעגל XTEND5.7.3
73.....	מעגל Buffers5.7.4
74.....	תוכנה	6.
74.....	מבוא6.1
75.....	תרשים מלכנים יחידת SLAVE	6.2.
76.....	תרשים מלכנים יחידת MASTER6.3
77.....	פירוט על כל בלוק בקורס6.4
77.....	UART INTERFACE	6.4.1.
77.....	אוגר FIFO	6.4.2.
77.....	PLL	6.4.3.
77.....	PROGRAM RESET	6.4.4.
78.....	MSG ENCODER	6.4.5.
79.....	MSG DECODER	6.4.6
79.....	SYSTEM MANAGER	6.4.7.
81.....	LED CONTROL	6.4.8.
81.....	SWITCH CONTROL	6.4.9.
82.....	I2C INTERFACE	6.4.10
82.....	PWM CONTROLLER	6.4.11
83.....	סביבות עבודה	7.

83.....	סימולציה ModelSim	7.1.
83.....	הגדרת המקם"שים על ידי תוכנת XCTU	7.2.
86.....	סיכום ומסקנות	8.
87.....	ביבליוגרפיה	9.
88.....	רשימת נספחים	10.

רשימת איורים

איור 1. תרשימים בЛОקים מערכתי	14
איור 2. תמונה מידול מכלולי הפרויקט	17
איור 3. תרשימים בЛОקים של ממשק הcartis	17
איור 4. תרשימים גלים לאות PWM	19
איור 5. מרכיבים ותרשימים מלכנים למנוע SERVO	20
איור 6. מודל שכבות לפרטוקול Zigbee 802.15.4	23
איור 7. טופולוגיות רשת Zigbee אפשריות	23
איור 8. תיאור מידע מסוג UART	24
איור 9. תיאור מבנה רכיב 74HCT541	25
איור 10. תיאור מבנה רכיב 74HCT541	26
איור 11. תיאור מבנה רכיב DS2003	27
איור 12. תיאור מבנה רכיב TXB0108	28
איור 13. תרשימים גלים לפתיחה וסיגרת מפסק ותגובה הרכיב	29
איור 14. תיאור מבנה רכיב MAX6818	30
איור 15. תיאור מבנה רכיב ISO1541	31
איור 16. תיאור מבנה רכיב TPS2660	32
איור 17. תיאור מבנה רכיב AM26LS31	33
איור 18. תיאור מבנה רכיב AM26LS31	34
איור 19. תיאור מבנה רכיב SN65HVD1782	35
איור 20. תיאור חיבור רכיב ASSR-1611	36
איור 21. תיאור מבנה רכיב HDC1000	37
איור 22. תיאור מבנה רכיב FT232RL	38
איור 23. תיאור מבנה הפנימי של רכיב INA226 וחיבורו לעומם	40
איור 24. תיאור מבנה רכיב INA226	41
איור 25. תיאור האופציות ברכיב MAX10	42
איור 26. תיאור מבנה רכיב MAX17205	43
איור 27. תיאור מבנה פנימי של רכיב LTM8024	44
איור 28. תיאור מבנה רכיב LTM8024	45
איור 29. תיאור מבנה בЛОק פונקציוני של רכיב MT48LC8M16A2B4-6A	47
איור 30. תיאור מבנה רכיב MT48LC8M16A2B4-6A	47
איור 31. תיאור מבנה רכיב AD8034	49
איור 32. תיאור מבנה רכיב E01-2G4M27D	50
איור 33. תיאור מבנה רכיב Xbee S3B PRO	51
איור 34. תיאור מבנה רכיב Xbee 3 Zigbee 3.0	53

איור 35. תיאור מבנה רכיב XTend	54
איור 36. מעגל חוצץ תקשורת I2C	56
איור 37. מעגלי תקשורת RS422	57
איור 38. מעגלי תקשורת RS422	58
איור 39. מעגל ממשך בין רכיב מתוכנת לתקשורת RS422 ו-RS485	58
איור 40. מעגל FTDI USB TO UART CONVERTER	59
איור 41. מעגל CLOCK CPLD	60
איור 42. מעגל POWER CPLD	60
איור 43. מעגל JTAG CPLD CONFIGURATION	61
איור 44. מעגל DEBOUNCER	62
איור 45. מעגל LEDS	62
איור 46. מעגל LVTTL OUT	63
איור 47. מעגל OPEN GROUND	64
איור 48. מעגל RELAYS	64
איור 49. מעגל TTL INPUTS	65
איור 50. מעגל TTL OUTPUTS	66
איור 51. מעגל Voltage Monitor	66
איור 52. מעגל SDRAM	67
איור 53. מעגל Battery Power Gauge	68
איור 54. מעגל Temperature Sensor	68
איור 55. מעגל Dual Power Supply	69
איור 56. מעגל Regulator	70
איור 57. מעגל 2G4M27D	71
איור 58. מעגל XBee Pro	72
איור 59. מעגל XTEND	72
איור 60. מעגל Buffers	73
איור 61. תרשימים מלבנים של הקוד – יחידת Slave	75
איור 62. תרשימים מלבנים של הקוד – יחידת MASTER	76
איור 63. שו"ב Master – דיאגרמת בועות	80
איור 64. שו"ב Slave – דיאגרמת בועות	81
איור 65. תיאור מימוש מעגל סינכרון	82
איור 66. דוגמא לSIMOLICIT קוד ב ModelSim	83

1. מבוא

1.1. הצורך בפרויקט

בחיל האוויר קיימצורך במערכת שליטה ובקרה אלחוטית התומכת בממשקים רבים. המערכת נדרשת לצורך שימוש מגוון ועלייה להיות מותאמת לשימושים ממושכים באמינות גבוהה. בנוסף לכך, המערכת צריכה להתאים להתקנה ניידת או נייחת.

המכלולים יתקשרו ביניהם בתקשורת אלחוטית מבוססת תדרי רדיו RF. המערכת דורשת ביצועים טובים ואמינים בטוווח התקשרות וכן גמישות בתחום תדרי השידור.

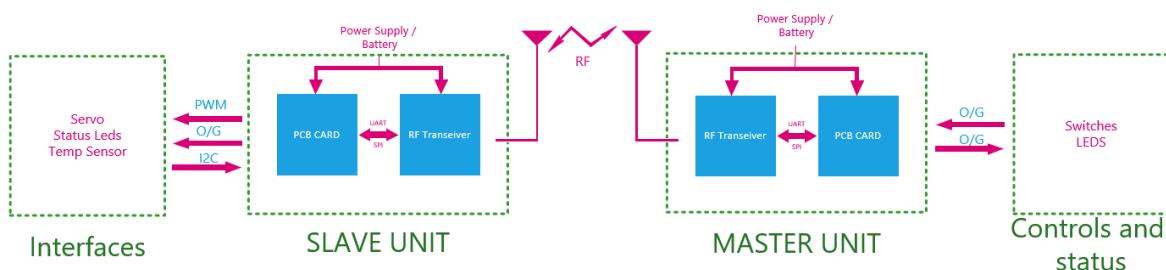
המערכת בנויה משני מצלולים:

- מצלול MASTER – מקבל פקודות ממפעיל המערכת ואחראי על התקשרות מול מצלול SLAVE.
- מצלול SLAVE – מתממשק חומרתי עם אביזרי הקצה ומחזיר חיויים למצלול MASTER.

1.2. הפתרון המוצע

כדי לחתת מענה לדרישה זו הוחלט לפתח מערכת הבנויה משני מצלולים המבוססים על כרטיסי אלקטטרוני מודפס (PCB). במסגרת הפרויקט, יפותח כרטיס אלקטטרוני גנרי אשר יכלול את הממשקים הדרושים לשני המצלולים: Slave-Master.

כדי למש את התקשרות האלחוטית, הוחלט להשתמש במודול מקלט-מصدر (מקמ"ש) RF של חברת Digi. החברה מציעה מספר דגמים של מודולי מקמ"ש אשר מתאימים לתחומי תדר והספקים השונים. המודולים האלה מוכרים כאמינים ובעלי ביצועים טובים. כמו כן, השימוש בהם פשוט. חברת Digi מספקת תוכנה "יחודית XCTU" המאפשרת להגדיר, לתוכן ולבדוק את המערכת על ידי ממשק ידידי למשתמש. המודול ירכיב על הkartיס האלקטרוני שיפותח באמצעות תושבת והתקשרות אליו תהיה באמצעות ממשק UART.



איור 1. תרשימים בלוקיים מערכתי

2. מפרט טכני

2.1. מבוא

סעיף זה מגדר את רכיב הליבה והמשקעים הנמצאים בכרטיס האלקטרוני. הכרטיס כולל משקיע אלחוטי לתקשורת עם המערכת המkosherת אליו, משקיעים נוספים לשילטה ובקרה ומגון משקיעים תקשורת טוריות (חותיות). חלק מהמשקיעים משמשים כיתירות או לשימוש עתידי.

2.2. מאפיינים

רכיב ליבה

- רכיב מתוכנת CPLD משפחת MAX10 - הרכיב המתוכנת ישמש כבקר הראשי של המערכת שינהל את כל המשקיעים הרכטיס. במסגרת הפרויקט יכתב קוד ייעודי לרכיב בשפת VHDL אשר יגדיר ויפעל את כל המשקיעים הרלוונטיים.

תדר עבודה

- תדר שעון ראשי של 100MHz .

מתחי הזנה וממיר מתח

- הפעלת הרכטיס תעשה בעזרת מתח כניסה DC הנע בין $3.7V$ - $5V$.
- הרכטיס כולל ממיר ממוגן DC-DC כדי לייצר מתחי הזנה של $5V$ ו- $3.3V$ לרכיבים שעל הרכטיס.

רכיבי זיכרון

- הרכטיס כולל רכיב SDRAM חיצוני.
- התוכנה תיצור ותשמר על זיכרון Flash המשלב בתוך הרכיב המתוכנת MAX10.

մաշր-מקלט RF

הרכטיס כולל תמייה חומרתית ל-4 סוגים של מודולי RF. המודולים יתחברו לכרטיס על ידי תושבות מתאימות, כך שתאפשר גמישות בבחירה המודול. ניתן להשתמש רק במודול אחד, ככלומר לא ניתן לחבר 2 או יותר במקביל.

- Digi Xbee •
- Digi Zigbee •
- Digi xTend •
- NRF24 •

בקרות וניתור

- רכיב דגם מתח זרם אנלוגי לבקרה על מצב הסוללה.
- חישון טמפרטורה ולחות לבקרת סביבה של המכולול.

משקי קלט ופלט

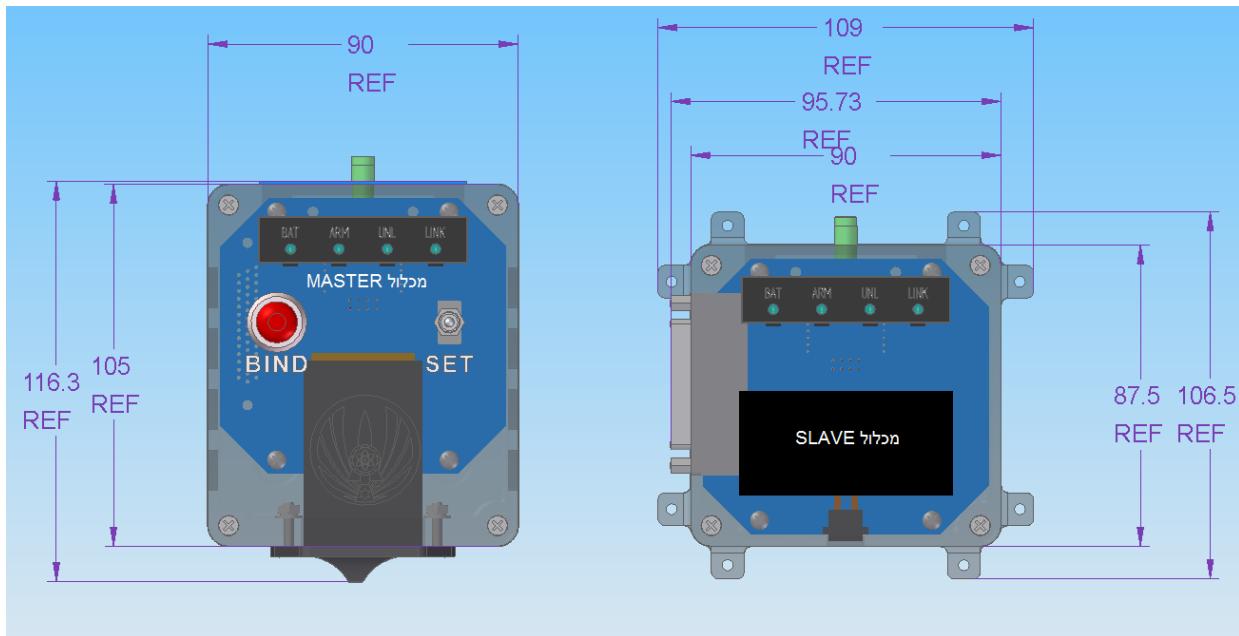
- 4 כניסה TTL ו-4 כניסה LVTTL .3.3V
- 2 יציאות TTL ו-4 יציאות LVTTL .3.3V
- 2 יציאות PWM להפעלת מנוע (5V O.SERVO)
- 4 כניסה Open/Ground למפסקים.
- יציאות Open/Ground
- 2 ממסרים Normally Open
- 4 נוריות לחיווי.

משקי תקשורת

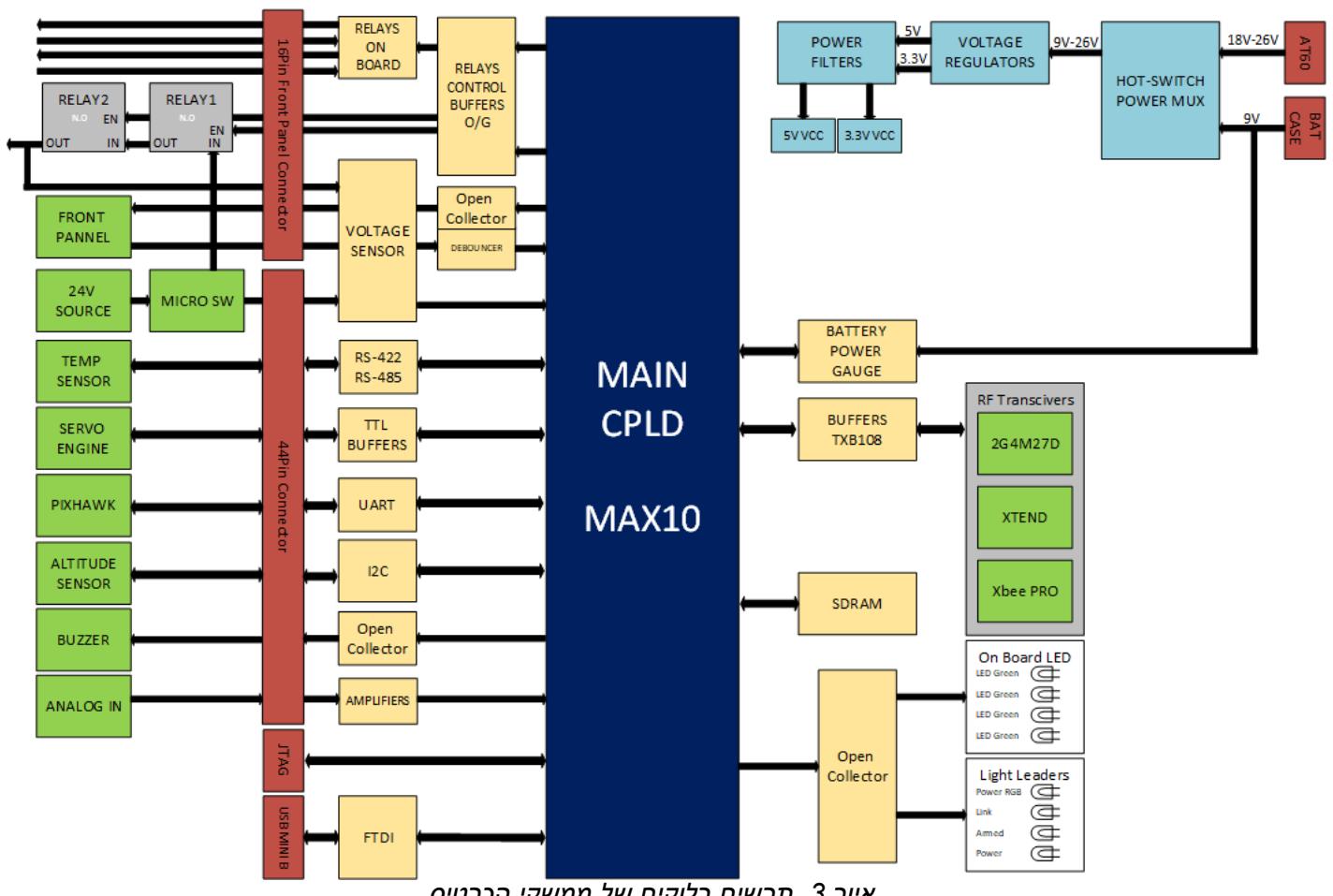
- UART
- SPI
- I2C
- RS422
- RS485
- USB

מחברים

- מחבר מתח ראשי.
- מחבר מתח סוללה משני.
- מחבר משקיים D-Type 44Pin
- מחבר לפANEL קדמי 16Pin
- מחבר לצורב JTAG.
- מחבר USB-Mini B



אייר 2. תמונה מידול מכלול הפרויקט



אייר 3. תרשימים בלוקים של ממתקי הcartris

3. רקע עיוני

3.1. רכיבים מתוכננים

3.1.1. מבוא

רכיבים מתוכננים מחולקים לשתי משפחות: רכיבי FPGA ורכיבי CPLD. השיקולים בבחירה סוג הרכיב הינם: שיקולי גודל, כמות זיכרון, כמות O/I וכו'.

רכיב A FPGA (Field-Programmable Gate Array) הינו מעגל מושלב שניtan לתוכנות על ידי שעריםalogים. הרכיב מאפשר לתוכנת אותו, מבחינת חומרתית, מספר רב של פעמים על פי דרישת המשמש. הרכיב כולל מערכ של בלוקיםalogים הנינתנים לתוכנות וכן היררכיה של חיבורים בין הבלוקים השונים.ocr ניתן לתוכנת את הרכיב לבצע פונקציות דיגיטליות רבות, מגוונות ובצורה גמישה. הבלוקיםalogים יכולים למשוך פונקציות מורכבות או פשוטות כמו שערי AND, OR וכו'. הבלוקים כוללים בתוכם רכיבי זיכרון מדלגלגים (Flip Flops) ועד בלוקים מורכבים יותר של זיכרונות כמו למשל ROM, RAM וכו'.ocr מוגדרים (Registers) וארטיפציונים (Artifacts) ב們 המהו של הרכיב. הביעותיו של הרכיב יש מספר גדול של שעריםalogים ודילגלים לשם ביצוע הפעולות הדיגיטליות. הרכיב FPGA הינה שהוא מבוסס על זיכרון נדיף מסוג RAM ועקב כך, הזיכרון נמחק בעת ניתוק הרכיב מקור המתח המזין אותו. לכן, יש לחבר ל FPGA זיכרון לא נדיף במקרה שהפונקציונאליות של ה-FPGA נשמר, כמו זיכרון FLASH. בנוסף רכיבי ה FPGA מהירים מאוד ויש להם מספר רב של גגלי O/I אשר ניתן להשתמש בהם ככניסות ויציאות לרכיב.

רכיב CPLD (Complex Programmable Logic Device) הינו רכיבalog הניתן לתוכנות מבוסס על זיכרון EEPROM (Electrically Erasable Read Only Memory) כולם זיכרון לקריה הניתן לתוכנות ולמחיקה על ידי אותן חשמליות. הארכיטקטורה של ה CPLD פשוטה ביחס להזו של FPGA, והוא מתאימה לתוכנות שכוללים מספר מועט של שערים. ל CPLD יש מספר מוגבל של בלוקיםalogים בניגוד ל FPGA שמספר הבלוקים שלו יכול להגיע ל 100000, הכמות הקטנה של הבלוקיםalogים גורמת לכך שרכיבי ה CPLD זולים בדרך כלל.

יתרונות בשימוש ברכיבים מתוכננים:

- צרכית הספק מינימלית.
- עלות נמוכה יחסית.
- ניתן לבדוק את היישום שבוצע על ידי סימולציה.
- חסכון במקומם ובוחורה על גבי המעגל.

קיימים גם חסרונות לשימוש ברכיבים מתוכננים:

- קושי מסוים בתכנון המעגל.
- דרישות גבוהות בתכנון הלוח.

בפרויקט "מערכת שׁוֹב על תוֹר RF" ק"מ שימוש ברכיב מתוכנת מסווג CPLD. בחירה זו נובעת משיוקלי מיקום (חסכו בכמות/גודל רכיבים על המעגל), עלות והיקף קושחה נמוך עד בינוי.

3.1.2. תוכנות רכיב CPLD הנוכחי

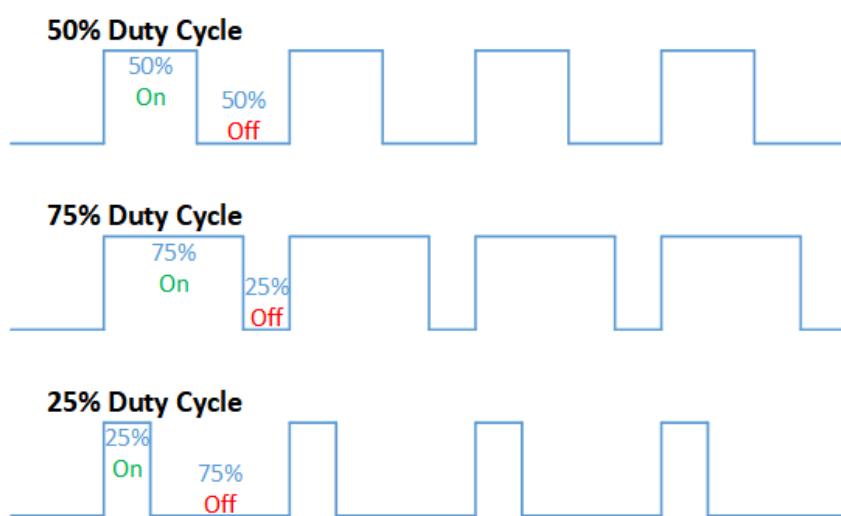
- משפחת MAX10.
- 16 אלף יחידות לוגיות הנitinoot לתוכנות.
- ממיר אנלוגי לדיגיטלי (ADC) משלבים ברכיב.
- יחידות זיכרון: $549KB = M9K$.
- זיכרון FLASH לא נדי' בגודל $2.368KB$.
- תדר עבודה מקסימלי $f_{max} = 416MHz$.
- מעגלי PLL משלבים ברכיב הנitinoot לתוכנות דיגיטלי.
- 130 קו' O/I לשימוש כל'.

3.2. אפנון PWM

Pulse Width Modulation (PWM) הינה שיטת אפנון דיגיטלי המאפשרת הפחתת ההספק הממוצע שמועבר על ידי אות חשמלי, זה נעשה על ידי חילוק האות לחלקים נפרדים.

שיטת האפנון מבוססת על שינוי מחזור הפעולות של האות (Duty Cycle) כאשר זמן הממחזר הכללי נשאיר קבוע. ככל שמחזור הפעולות גבוהה יותר, האות נמצא יותר זמן במצב של '1' ועקב אחר, ההספק הממוצע של האות גדול.

שיטת אפנון זו מתאימה במיוחד למגוון מושום שהם מגיבים להספק הממוצע של האות ולא לשינויים הרגיעים.



איור 4. תרשימים גלים לאות PWM

נוסחה לחישוב Duty Cycle:

$$\text{Duty Cycle (\%)} = \frac{t_{on}}{t_{on}+t_{off}} \cdot 100\%$$

נוסחה לחישוב והספק ממוצע של אות PWM:

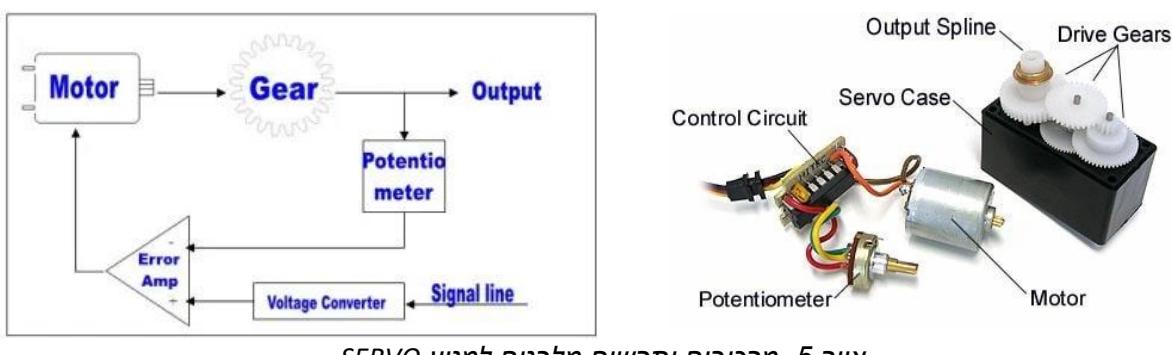
$$P_{avg} = \frac{1}{T} \int_0^T P(t)dt$$

היתרון המשמעותי של שיטת אפנון זו הינה שעבור רכיבים מסווגים אובדן ההספק נמוך מאוד, משום שכאשר האות בנמוך ('0' לוגי) אין זרם, וכשאר האות בגובה ('1' לוגי) ההספק מועבר לעומס, מה שאומר שאין כמעט נפילת מתח על המתג.

3.3. מנוע SERVO

מנוע סרווו הינו מנוע זרם ישיר (DC) המורכב ממערכת פנימית של גלגלים שניים ובקרה אלקטרונית על מיקום המנוע. מה שמייחד מנוע זה מנוע DC רגיל המסתובב בצורה חופשית הינו שהוא נע על פי בקרת זווית מדויקת, לרוב בין 0 ל 180 מעלות. למנוע ישם שלוש רגליים: רגל אספקת מתח, רגל אדמה ורגל בקרה על זווית הסיבוב של המנוע.

תוצרת השימוש הפешטה ביותר היא שהמנוע עובד בצורה צזו'ו שלוחים לו פולסים שימושיים ברווח מוגדר מראש (אות PWM), ישנו נגד משתנה המקבל פולסים אלו, רגל הבקרה קוראת את התנגדות הנגד ומסובבת את המנוע על פי ההתנגדות. בתוצרת שימוש זו אין שליטה על מהירות הסיבוב. ישנו תוצאות שימוש מרכיבות יותר בהן ניתן לשולט על מהירות המנוע, ניתן להביא את המנוע לזווית הרצויה באופן מהיר יותר וכן ניתן לבדוק יותר במדויק הזווית הסיבוב של המנוע.



איור 5. מרכיבים ותרשים מבנים למנוע SERVO

3.4. פרוטוקול תקשורת IEEE 802.15.4

פרוטוקול IEEE 802.15.4 הינו תקן טכני המגדיר את פעולהן של רשתות אזוריות אלחוטיות בעלות קצב נמוך ובולות צריכה אנרגיה נמוכה – LR-WPANs - low-rate wireless personal area

תקן תקשורת זה מתמקד בעלות נמוכה, ומהירות תקשורת איטית בין מכשירים. ניתן להשוות תקן תקשורת זה עם תקנים אחרים כמו WiFi שדורש יותר רווח פס ויותר הספק.

הדגש העיקרי של תקן זה הוא תקשורת זולה בין מכשירים קרובים על ידי תשתיות בסיסית, כאשר המטרה להשתמש בזיה בכדי להפחית את צרכית ההספק עוד יותר.

המכשירים בעלי תקן זה מייצרים בצורה צו שיהיה קל יחסית לתקשר ביניהם. ההגדרה של שכבות הרשת מוגדרת על ידי מודל OSI. למחרת שرك השכבות הנמוכות מוגדרות בתקן זה, יש צורך גם לתקשר עם השכבות העליונות.

ארQUITקטורת הפרטוקול:

השכבה הפיזית זו שכבה פנימית במודל OSI המשמשים בה ברחבי העולם, תפקיד שכבה זו הוא לספק את שירות העברת המידע. שכבה נוספת הינה שכבת MAC (Medium access control).

שכבה זו מאפשרת העברת מסגרות MAC על ידי שימוש בשכבה הפיזית, שכבה זו אחראית על אימונות המסגרת. אין שכבות גבהות יותר מוגדרות בתקן זה.

מודל הרשות:

התקן מגדיר שני סוגי של צומתי רשות: הראשון שבhem הוא FFD (Full-Function Device) שיכל לשמש כמתאם של רשות אזורית אישית. הצומת יכול לשמש צומת משופף ובכך הוא מיישם דגם כללי של תקשורת המאפשרת לתקשר עם כל מכשיר אחר בצומת. בנוסף, צומת זה יכול לשמש כרכצת שאחראית על כל הרשות. הסוג השני של צומתי הרשות היא RFD (reduced-function devices), תצורה זו נועדה להיות פשוטה מאוד ולהשתמש במסאים ודרישות תקשורת נמוכים מאוד. אך בתצורה זו לא ניתן להשתמש בצומת כרכצת.

טופולוגיות חיבור - רשותות יכולות להתחבר בטופולוגיות מסווג עמידת או כוכב, בנוסף הן צרכיות לפחות צומת אחד מסווג FFD שיישמש כרכצת. רשותות נוצרות על ידי קבוצות רכיבים במופרדים אחד מהשני ונמצאים במרקם מתאים. לכל רכיב יש מזהה ייחודי בעל 64 סיביות, ואם תנאים מסוימים מתקיימים המזהים יכול להיות בעלי 16 סיביות.

מאפייני הפרטוקול:

- קצב שידור של 20kbit/s , 40kbit/s , 250kbit/s .
- שני מצבים כתובות MAC – 16 סיביות | 64 סיביות.
- גישה לערוץ שידור CSMA-CA .
- שיטת אפנון Urz RF – PSK .
- הקמת רשות אוטומטית על ידי הרכץ.
- הפרטוקול תומך בפרטוקול הלחיצת יד (HandShake) מה שמוסיף לאמיניות העברת.
- ניהול צרכית חשמל בכדי להבטיח צרכיה נמוכה.
- פרוטוקול ישם 16 ערוצים ב 915MHz , 10 ערוצים ב 2.4GHz | ערוץ אחד ב 868MHz .

3.5. פרוטוקול תקשורת Zigbee

Zigbee הינו פרוטוקול לתקשורת אלחוטית מקומית התואם לתקן תקשורת IEEE 802.15.4. פרוטוקול זה נועד ספציפית למטרת בקרה וחישה על רכיבים. בנוסף, ה프וטוקול מיועד לתקשורת בין מכשירים שצרכית ההספק שלהם קטנה, התקשורת מתבצעת בקצב העברת מידע נמוך יחסית ובמרקח קצר.

פרוטוקולי תקשורת כמו Bluetooth ו-Wi-Fi לא מתאימים מספיק למטרה זו. פרוטוקול ה-Bluetooth לא מתאים משום שהוא יכול לתקשר עם עד 7 מכשירים ברשות כאשר Zigbee מאפשר תקשורת עם עד מאות רכיבים ברשת אחת. פרוטוקול ה-Wi-Fi לא מתאים משום שהוא צריך יותר מדי הספק וקצב העברת מידע גבוה. לפוטוקול זה מספר מרכיבים:

- Coordinator – הרכיב החשוב ביותר המשמש כרכזת, מהויה השורש של טופולוגיה העץ של הרשת. קיימת רצף אחד בכל רשת משומ羞זה הרכיב שבמקור מקיים את הרשות וממחסן את המידע הנוגע אליה.

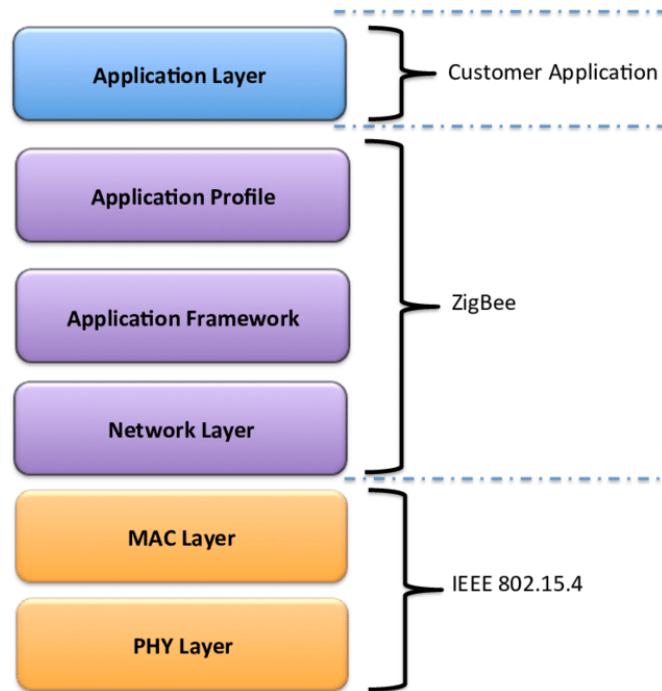
– Router – הנטב, משמש כמרכז פונקציות ובנוסף יכול לשמש כנתב ביןיהם שמעביר מידע מרכיבים אחרים.

End Device – רכיב זה מכיל את הפונקציונליות ב כדי לדבר עם צומת האב (הרכז או הנטב), הוא לא יכול להעביר מידע אל רכיבים אחרים, מה שמאפשר לצומת להיכנס במצב שונהquina ברגע שהוא מודע למידע מסוים. רכיב זה דוחש את כמות הזיכרון הנמוכה ביותר מבין שלושת המכניםים ולכך עלות הייצור שלו נמוכה יותר.

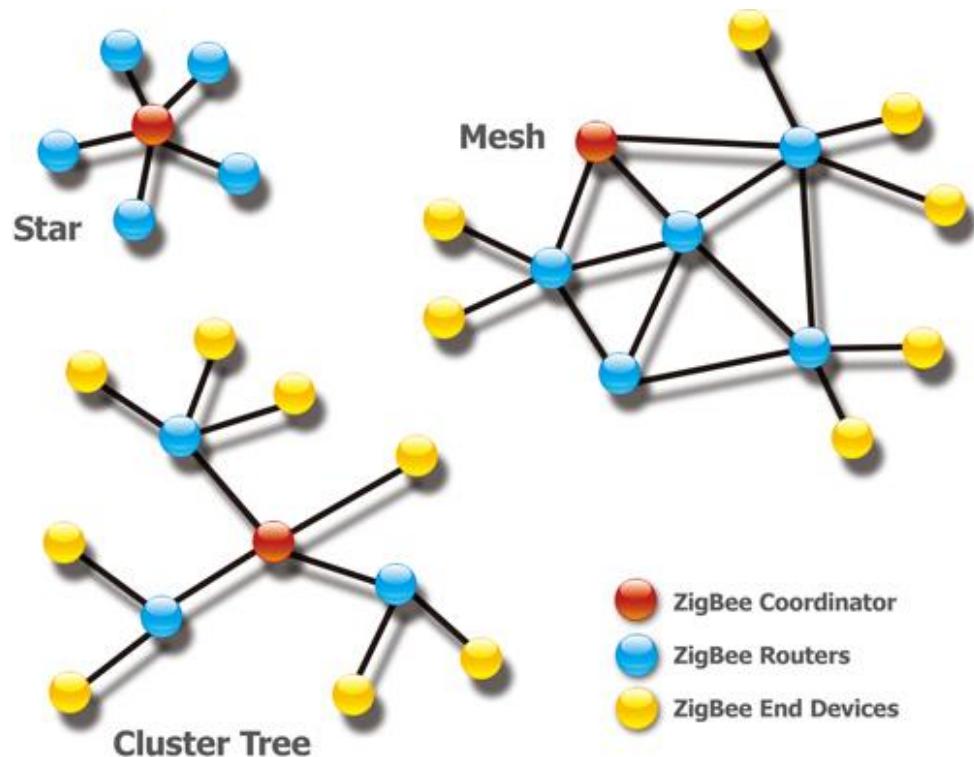
מאפייני ה-프וטוקול:

- צירכית הספק נמוכה, מכשירים יכולים לפעול למשך שנים על ידי סוללה אחת.
- זמן ה가입ות לרשת לוקח בסביבות 30ms.
- קצב נתונים: בין 20kb/s ל 250kb/s.
- מספר תיאורטי של רכיבים כ 65000.
- תקשורת מאובטחת המשתמשת בהצפנה AES 128 שידועה כהצפנה בטוחה מאוד.
- תקשורת MESH המאפשרת התגברות על תקלות בחיבור במקרה שמסלול תקשורת אחד לא תקין.

תחומי תדר	2.4GHz – 2.4835GHz	902MHz – 928MHz	868MHz – 870MHz
מספר ערוצים	16	10	1
מקום	ארצות הברית ואוסטרליה רחלבי העולם איירופה	ארצות הברית ואוסטרליה רחלבי העולם	



איור 6. מודל שכבות לפרטוקול 802.15.4 Zigbee



איור 7. טופולוגיות רשת Zigbee אפשריות

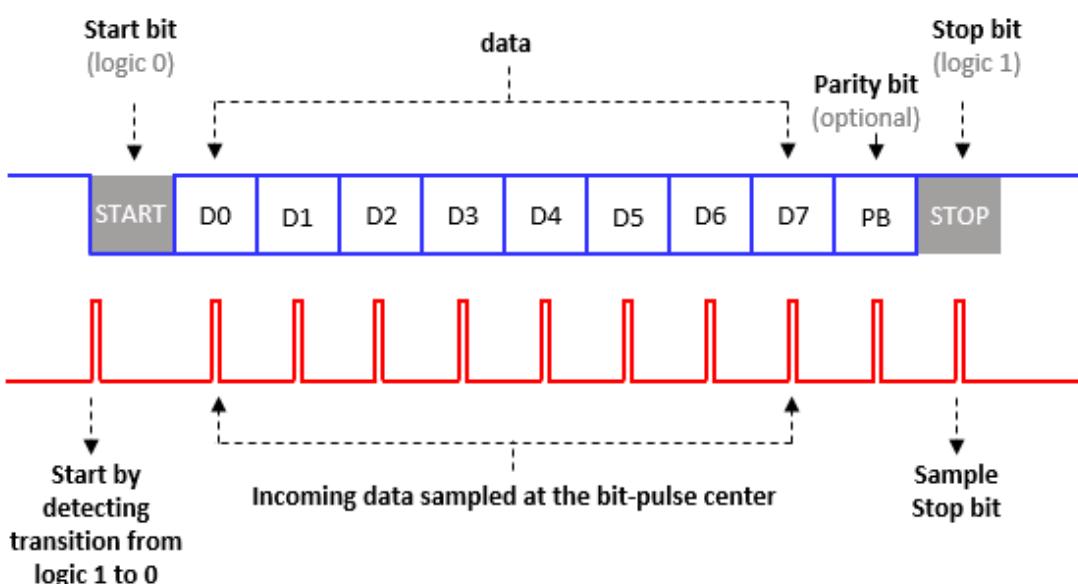
3.6. פרוטוקול תקשורת UART

UART הינו פרוטוקול תקשורת נפוץ לתקשורת טורית אסינכרונית. לתקשורת זו ישנו קצבי שידור סטנדרטיים המוכרים על ידי בקרים ורכיבי קצה. כאשר משתמשים בבקיר UART ואחר שמשתמשים בפרוטוקול כمعالג משולב או רכיב מתוכנת ניתן להשתמש בפרוטוקול עבור כל קצב רצוי, בהתאם למוגבלות על המمعالג בו משתמשים, על שני הצדדים יש להסכים על קצב השידור טרם התחלה התקשורת.

קצבים סטנדרטיים של שידור - 38400, 19200, 9600, 4800, 2400, 1200, 300, 150, 110, 38400, 19200, 9600, 4800, 2400, 1200, 300, 150, 110 ביטים לשניה.

בפרוטוקול זה ישנו שני קווים בשימוש, קו אחד לשידור וקו אחד לקליטה, רמות המתא הסטנדרטיות בשידור זה הין 3.3V ו 5V.

להלן תרשימים בו מוצג תהליך שידור אופייני בUART:



איור 8. תיאור מידע מסווג UART

- סיבית התחילה – התקשורת מתחילה כאשר קו המידע יורד ל'0' למשך זמן מחזור של סיבית בודדת.
- כמות סיביות מידע – בדרך כלל המידע כולל 8 סיביות.
- סיבית זוגיות – ניתן להגדיר לשימוש בסיבית זוגיות זוגית או אי-זוגית, או לא לשימוש כלל בסיבית זאת.
- סיבית סיום – בסיום המידע הקו עולה לנצח של '1' למשך זמן של 1 / 1.5 / 2 סיביות.

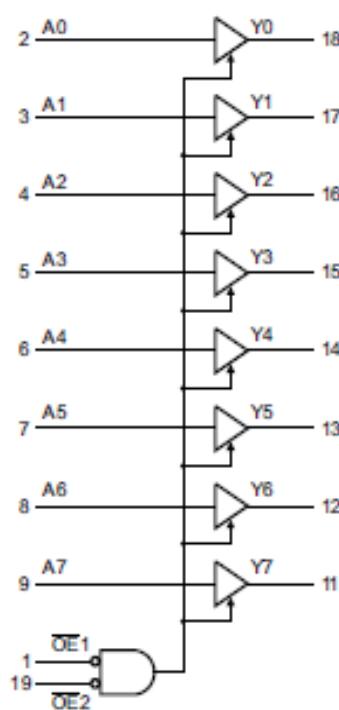
4. רכיבים

4.1. חוצץ אוקטלי 74HCT541

הרכיב הינו חוצץ אוקטלי של חברת Nexperia שמתאים את המוצרים מהרכיב המתוכנת לرمות מתח TTL. לרכיב יש שלושה מצבים ברגלי המוצא: רמה נמוכה, רמה גבוהה ועכבה גבוהה (נטק). כאשר אין אפשרות לרכיב, המוצא אוטומטי עובד לעכבה גבוהה כדי לחסוך בצריכת הזרם. לרכיב יש שתי רגלי אפשר שפעילים ב'0'. הרכיב כולל דיזודות קטימה שמספקות הגנה על רגלי כניסה הרכיב על ידי שימוש ב נגדים שמגבילים את הזרם במקרה שנכנס מתחת לעוללה על VCC.

מאפייני הרכיב:

- מוצאים לא מהפכים.
- מתאימים לرمות מתח של TTL : 0V עבור רמה נמוכה ו 5V עבור רמה גבוהה.
- מתח מוצא 'גובה' מינימלי 4.5V - Voh .
- מתח מוצא 'גבוה' מקסימלי 0V - Vol .
- מתח כניסה 'גובה' מינימלי 2.4V - Vih .
- מתח כניסה 'גבוה' מקסימלי 2.1V - Vil .
- זמן השהייה בין הכניסה למוצא zTpd - 12ns .
- תחום מתחי הזרה בין 4.5V ל 5V .
- זרם אספקה מקסימלי של 70mA .
- הגנה מפני ESD - פריקה אלקטروسטטית) שיכולה לפגוע בביצועי המכשיר .



איור 9. תיאור מבנה רכיב 74HCT541

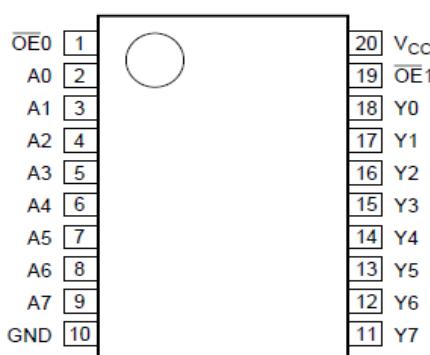
מספר רג'ל	שם רג'	תפקיד הרג'
1,19	$\overline{OE1}$ $\overline{OE2}$	רגל לאפשר הרכיב, פעילה בנומך
2,3,4,5,6,7,8,9	A0 to A7	רגלי כניסה
10	GND	רגל אדמה
11,12,13,14,15,16,17,18	Y0 to Y7	רגלי יציאה
20	VCC	רגל מתח הזנה לרכיב

4.2. חוצץ אוקטלי 74VHC541

הרכיב הינו חוצץ אוקטלי של חברת Nexperia שמתאים המוצאים לرمות מתח CMOS בהתאם למתח ההזנה המסופק לו. בפרויקט, נשתמש ברכיב זה לממשקים העובדים בתוקן LVTTL – כאשר הרמה הגבוהה היא $V = 3.3V$. לשם כך, נספק לרכיב הזנה של $V = 3.3V$. לרכיב יש שלושה מצבים ברגלי המוצא: רמה נמוכה, רמה גבוהה ועכבה גבוהה (נתק). כאשר אין אפשרות לרכיב, המוצא אוטומטית עובר לעכבה גבוהה כדי לחסוך בצריכת הזרם. לרכיב יש שתי רגלי אפשר שפעילים ב'ו'.

מאפייני הרכיב:

- לכל הכניסות יש פעילות של מעגל שמייט טריגר.
- תחום מתחי הזנה בין $V = 2V$ ל $V = 5.5V$.
- מתח מוצא 'גובה' מינימלי $V_{oh} = 2.9V$.
- מתח מוצא 'נמוך' $V_{ol} = 0.1V$.
- מתח כניסה 'גובה' $V_{ih} = 2.1V$.
- מתח כניסה 'נמוך' $V_{il} = 0.9V$.
- זמן השהייה $T_{pd} = 12ns$.
- זרם אספקה מקסימלי של $A = 75mA$.
- יכול לקבל ברגלי הכניסה מתחים גבוהים מ $V = VCC$.
- סביבת עבודה בתחום טמפרטורה של $-40^{\circ}C$ עד $125^{\circ}C$.
- הגנה מפני ESD (פריקה אלקטростטית) שיכולה לפגוע ביצועו המכשיר.



איור 10. תיאור מבנה רכיב 74HCT541

מספר רג'ל	שם רג'	תפקיד הרג'
1,19	$\overline{OE0}$ $\overline{OE1}$	רגל לאפשר הרכיב. פעילה בנמוך.
2,3,4,5,6,7,8,9	A0 to A7	רגלי כניסה
10	GND	רגל אדמה
11,12,13,14,15,16,17,18	Y0 to Y7	רגלי יציאה
20	VCC	רגל מתח הזרנה לרכיב

4.3. דוחף זרם DS2003

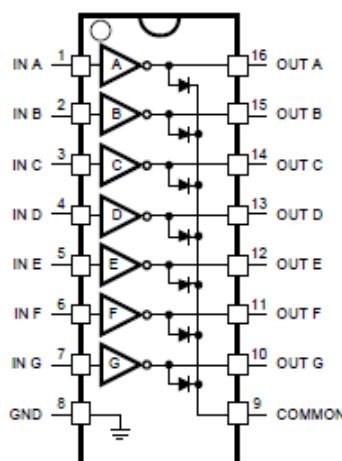
הרכיב הינו דוחף זרם של חברת TEXAS INSTRUMENTS. לרכיב יש שבעה זוגות טרנזיסטורי דרליינגן NPN שעובדים במתחים זרים גבוהים. לכל הזוגות יש מוצא פולט משותף (Common Emitter) וקולט פתוח (Open Collector). כדי להגן על יעלות היחידות האלה, הן מכילות דיוודות שיכור לעומסים השראתיים ונגד'י בסיס – פולט בשביל זליגה.

לרכיב יש נגד המחבר באופן טורי לכל סוג דרליינגן שמאפשר תאימות לרכיבי TTL או CMOS במתה אספקה של 7V.

הרכיב משמש לאספקת זרם עבור מסרים, נוריות, מנועים קטנים ודיוודות פולטות אור (LEDs), לאפליקציות שדרשות זרם ספיגה גדול יותר ממה שמצוין אחד יכול לספק ניתן לחבר שני מוצאים במקביל בכך להגדיל את זרם הספיגה שניתן לספק.

מאפייני הרכיב:

- מתח מוצא גבוה ($V_{ce} = 50V$)
- זרם מוצא גבוה ($I_c = 350 mA$)
- מתאים למתחי TTL,PMOS,CMOS.
- טמפרטורת עבודה רחבה.



איור 11. תיאור מבנה רכיב DS2003

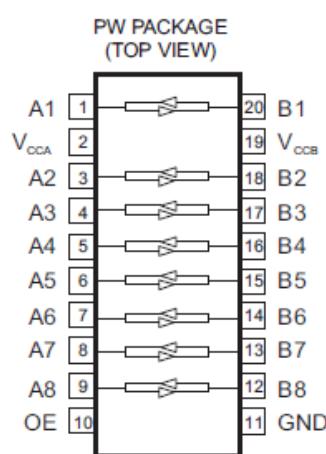
מספר רגל	שם רגל	תפקיד הרגל
1-7	IN A – IN G	רגלי כניסה
8	GND	רגל אדמה
9	COMMON	רגל משותפת לדיווחות למטרת הגנה על הטרנזיסטורים כאשר מחברים עומס השראתי
10-16	OUT A – OUT G	רגלי יציאה

4.4. ממיר מתח דו כיווני TXB0108

רכיב זה הינו ממיר מתח דו כיווני עם יכולת זיהוי אוטומטית לאיזה כיוון תבוצע ההמרה. בנוסף לרכיב יש הגנה מפני ESD. לרכיב יש שני ספקים מתח נפרדים – פורט A וB. כל אחד מהם קובע את רמת המתח של הרגליים באותו פורט. פורט A יכול להמיר מתחים בתחום של 1.2V עד 3.6V. פורט B יכול להמיר מתחים בתחום של 1.65V עד 5.5V. יתרון הרכיב זהה על חוצצים רגילים כמו רכיב 74HCT541 הוא היכולת להמיר מתחים לשני הכוונים בניגוד ל 74HCT541 שנitin להמיר אותו רק לכיוון אחד. לעומת זאת היכולת להמיר מתחים נמוך יחסית. לרכיב יש רגל אפשרי הפעילה בגובה, אשר היא מקבלת '0' כל המוצאים ימצאו במצב של עכבה גבוהה.

מאפייני הרכיב:

- בפורט A מתחי בין 1.2V ל 3.6V, בפורט B מתחי הזנה בין 1.65V ל 5.5V.
- אם אחד מה VCC נמצא ב GND אז כל המוצאים נמצאים בעכבה גבוהה
- זרם אספקה/ספיגה מקסימלי בכל רגל $A_{max} = 50mA$.
- זרם ספיגה מקסימלי מרגלי הזרנה $A_{Vcc} = 100mA$.
- רגל אפשרי לרכיב הפעילה בגובה ('1')
- צריכה עצמית להפעלת המעלג נמוכה, $A_{OE} = 4$ לפחות
- הגנה מפני ESD (פריקה אלקטրוסטית) שיכולה לפגוע בביצועו המכשיר.



איור 12. תיאור מבנה רכיב TXB0108

מספר רגל	שם רגל	תפקיד הרגל
1,3-9	A1-A8	רגלי כניסה/יציאה שמיוחסים לפורט A
12-18,20	B1-B8	רגלי כניסה/יציאה שמיוחסים לפורט B
11	GND	רגל אדמה
2	VCCA	מתנה הזרנה לפורט A
19	VCCB	מתנה הזרנה לפורט B
10	OE	רגל אפשר לרכיב

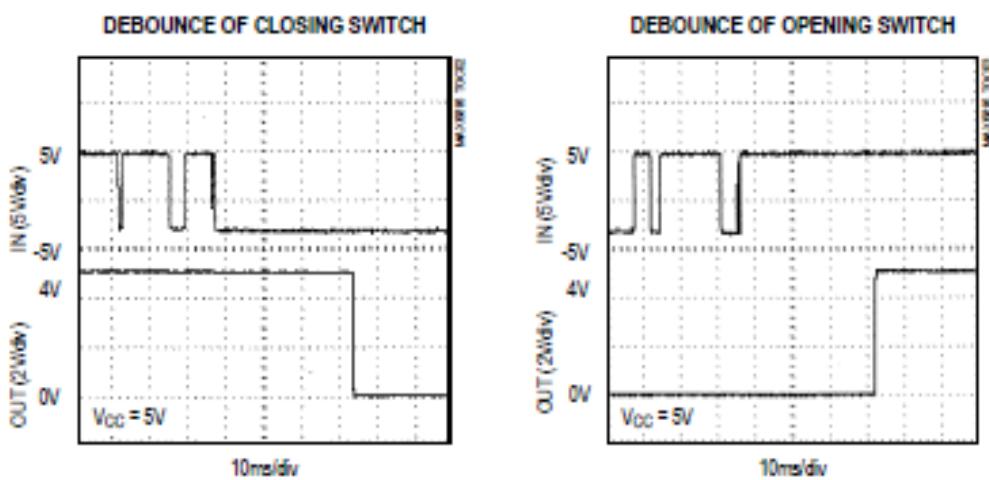
4.5. מגן ריטוטים ללוגיקה מכנית MAX6818

רכיב זה מיוצר על ידי חברת Maxim Integrated והוא נועד להתמודד עם תופעה של ריטוטים מכניים הנפוצה במיוחד בכניסות של מפסוקים.

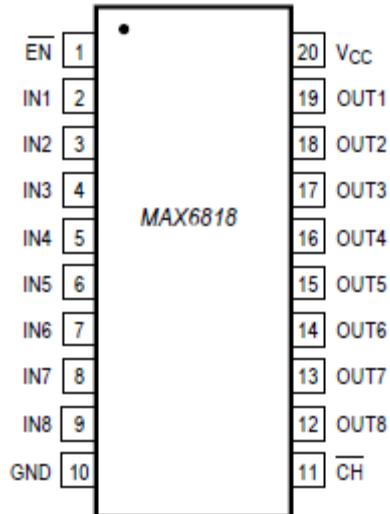
בעת לחיצה על מתג השני הוא לא מייד ולשונית החיבור מתנתקת ומתחברת במהירות גבוהה למשך זמן מה ובקבץ כך יש ריטוטים שעולים להופיע שניים לוגיים. רכיב זה בא לשכך את הריטוטים האלה ולמנוע השפעה שלהם על המצב הלוגי. לרכיב יש 8 מעגלי ריטוט אשר ניתן להשתמש בהם במקביל. לרכיב יש כניסה אפשר הפעלה בתמוך.

מאפייני הרכיב:

- הפעלה על ידי ספק יחיד בין 2.7 ל 5.5V.
- צריכה עצמית להפעלת המعال נמוכה, $A_{n6} = I_{cc}$ לכל היתר.
- זמן שיכוון ריטוטים עד 60mSec.
- מעגל הגנה מובנה שմשפר את מהימנות הרכיב.



אייר 13. תרשימים גלים לפתיחה וסגירת מפסק ותגובה הרכיב



איור 14. תיאור מבנה ורכיב MAX6818

מספר רגל	שם רגל	תפקיד הרגל
1	<u>EN</u>	רגל אפשרי לרכיב
2-9	IN1-IN8	רגלי כניסה
10	GND	רגל אדמה
11	<u>CH</u>	רגל שינוי מצב של כניסות מסווג IN
12-19	OUT1-OUT8	רגלי יציאה
20	VCC	מתח הזנה לרכיב

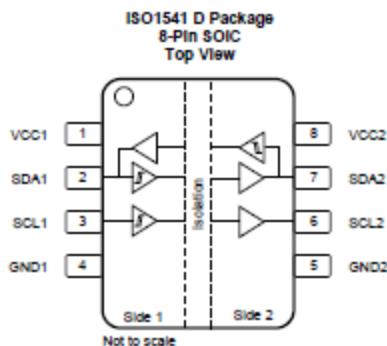
4.6. חוץ ISO1541

הרכיב מיוצר על ידי חברת TEXAS INSTRUMENTS והוא חוץ מבודד דו כיווני שעבוד במיוחד עבור משק Takshoret C^2 .

כאשר הרכיב נמצא בשימוש על ספקים מבודדים אז הרכיב חוסם מתחמים גבוהים מבודד אדמות ומונע מזריםים להיכנס לאדמה. לרכיב יש קו מידע דו כיווני וקו שעון חד כיווני, הרכיב מתאים במשקרים בהם יש מאסטר אחד.

מאפייני הרכיב:

- תומך בתדר שעון SCL של עד 1MHz .
- מתח הזנה בין 3V ל- 5.5V .
- סביבת עבודה בתחום טמפרטורה של -40°C עד 125°C .
- הגנה מפני פריקה אלקטrostטית ESD.



איור 15. תיאור מבנה רכיב ISO1541

מספר רגל	שם רגל	תפקיד הרגל
1	VCC1	מתח הזנה לרכיב צד 1
2	SDA1	קו מידע טורי צד 1
3	SCL1	קו שעון טורי צד 1
4	GND1	אדמה של הרכיב צד 1
5	GND2	אדמה של הרכיב צד 1
6	SCL2	קו שעון טורי צד 2
7	SDA2	קו מידע טורי צד 2
8	VCC2	מתח הזנה לרכיב צד 2

4.7. נתיר אלקטרוני אוטומטי TPS2660

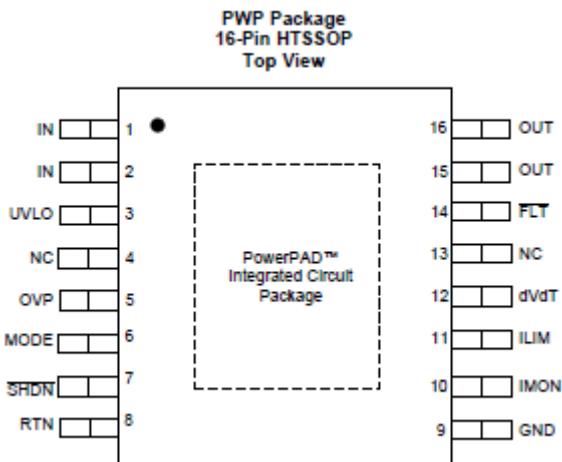
רכיב זה הינו נתיר אלקטרוני (eFUSE) של חברת TEXAS INSTRUMENTS המסוגל לעבוד במתחים גבוהים. יש לרכיב מעגל הגנה מובנה ש מגן מפני מתח יתר, מתח נמוך, וזרם יתר. את מתח הסוף המשמש יכול לקבוע על ידי בחירת נגדים מתאימים. הרכיב מגן עבור מתח הזנה של 4.2V עד 7V. הרכיב יכול להגן על עומסים ולעמוד במתח של 700 ± 60 מבלி להיפגע. טרנזיסטורי ה FET המחברים גב אל גב מספקים חסימת זרם הפוך.

ניתן להשתמש בשני רכיבים כאלו לחברו 2 ספקי מתח שונים עם עומס יחיד. תצורה זו נקראת Dual Power Supply והיחודיות של רכיב זה שהוא מסוגל לבצע החלפה חמה בין הספקים.

מאפייני רכיב:

- הגנה על העומס בזמן שינויים לא צפויים במתח/זרם.
- הגנה מפני מתח יתר, זרם יתר, מתח נמוך - ניתן לקבוע את ההגנות על ידי בחירת ערכי נגדים מתאימים.
- מנגוני עבודה שונים לבחירה: Auto Retry, Latch Off, Circuit Breaker.
- זרם צריכה נמוך, Am300 במצב הפעלה | Am20 במצב כיבוי.
- חסימת זרם הפוך והגנה מפני מתח הפוך.

- הצגה של הזרם לניטור את מצבה הבריאותי של המערכת.
- הגנה תרמיית וכיבוי תרמי אוטומטי.
- התנגדות של טרנזיסטורי FET במסלול המ עבר $\Omega_{Ron} = 50\text{m}\Omega$.



איור 16. תיאור מבנה רכיב 00 TPS2660

מספר רגל	שם רגל	תפקיד הרגל
12	TpA ^p	קבל בין רגלzo לרגל RTN מגדרת את קצב העלייה/ירידה מירבי של המתח
14	<u>FLT</u>	רגל מצינית אם קורתה תקללה, פעילה בנמוך
9	GND	אדמה של הרכיב
11	ILIM	נגד בין רגלו לRTN מגדרת את העומס יתר ומגבילת זרם קצר
10	IMON	רגל אנלוגית להציג הזרם, נגד בין רגלו לRTN ממיר את הזרם למתח באופן יחסי
1,2	IN	מתוח ההזנה של הרכיב
6	MODE	רגל לבחירת התגובה לעומס יתר
4,13	N.C	רגלים לא מחוברות
15,16	OUT	רגלי הייצאה של הרכיב
5	OVP	רגל הגדרת סף ההגנה למתח יתר
8	RTN	הפנייה למעגלי בקרה פנימיים של המקשר
7	<u>SHDN</u>	רגל כיבוי המקשר, פעילה בנמוך
3	UVLO	רגל להגדרת סף הנעילה למתח יתר

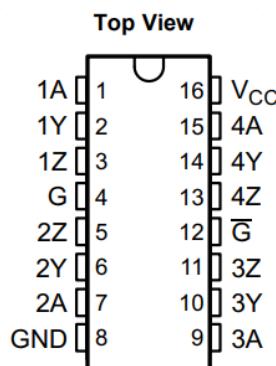
4.8. רכיב מושדר RS422 AM26LS31

רכיב זה הינו מושדר דיפרנציאלי ב מהירות גבוהה ל- 4 ערוצים. הוא משמש לשידור דיגיטלי ב망 משק מואוזן. הרכיב עונה על דרישות רשות התקינה EIA RS422 ויעודו לספק שידור חד כיווני

על גבי זוג חוטים שזרום או משק מקבילי. המעגל הפנימי שלו כולל פונקציית אפשרות וכיבוי ארבעת המשדרים ייחודי. מוצאי הרכיב עובדים בתצורת TRI-STATE וهم משלימים זה את זה לוגית.

מאפייני הרכיב:

- מופעל על ידי מתח של 7V.
- מתאים לרמות מתח של TTL בין 0V ל 7V.
- זרם הספקה מקסימלי $A_{cc} = 80\text{mA}$.
- זרם הספקה/ספיגה מכל רגל דיפרנציאלי $A_{m} = \pm 20\text{mA}$.
- קצב העברת נתונים מקסימלי של 10Mbps .
- מוצאים בעכבה גבוהה במצב כבוי.



אייר 17. תיאור מבנה רכיב AM26LS31

מספר רגל	שם רגל	תפקיד הרגל
1	1A	רגל כניסה מדע ערך 1
2	1Y	רגל מוצא מדע ערך 1
3	1Z	רגל היפוך מוצא מדע ערך 1
4	G	אפשר הרכיב פעיל בגובה
5	2Z	אפשר הרכיב פעיל בנמוך
6	2Y	רגל כניסה מדע ערך 2
7	2A	רגל מוצא מדע ערך 2
8	GND	⏚ נסחף
9	3A	רגל כניסה מדע ערך 3
10	3Y	רגל מוצא מדע ערך 3
11	3Z	רגל היפוך מוצא מדע ערך 3
12	4A	רגל כניסה מדע ערך 4
13	4Z	רגל היפוך מוצא מדע ערך 4
14	4Y	רגל מוצא מדע ערך 4
15		ลงทะเบ זנהה של הרכיב
16	V _{CC}	

8	GND	אדמה של הרכיב
---	-----	---------------

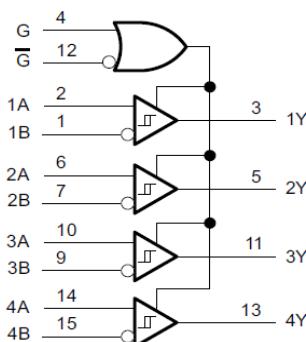
4.9. רכיב מקלט RS422 AM26LS32

רכיב זה הינו מקלט דיפרנציאלי בעל ארבעה ערוצים העונה עלדרישות תקני RS422 וRS423 לשידור דיגיטלי על ממושך מאוזן וממשק בלתי מאוזן. רגישות המבאות של רכיב זה היא V_{m00} כאשר תחום מתחי הכניסה הוא $V_7 \pm$. ברכיב זה קיימת פונקציית אפשרות כיבוי של המשדרים ייחודי. מוצאי הרכיב יכולים להיות בתצורת TRI-STATE ו הם בעלי יכולת של $A_{m0} 8$ זרם ספיגה.

מאפייני הרכיב:

- רגישות המקלט היא V_{m00} טווח מתחי כניסה של $V_7 \pm$.
- מופעל על ידי חזרה של V_5 .
- מוצאים בעלי שלושה מצבים.
- כניסה לאפשר הרכיב.
- עכבות כניסה של לפחות Ω_{12K} .
- מנגנון בטיחות לכניות פתווחות.

Logic Diagram (Positive Logic)



איור 18. תיאור מבנה רכיב AM26LS31

מספר רגל	שם רגל	תפקיד הרגל
2	1A	רגל כניסה מדע לא מהפכת ערוץ 1
1	1B	רגל כניסה מדע מהפכת ערוץ 1
3	1Y	רגל מוצא לוגית ערוץ 1
6	2A	רגל כניסה מדע לא מהפכת ערוץ 2
7	2B	רגל כניסה מדע מהפכת ערוץ 2
5	2Y	רגל מוצא לוגית ערוץ 2
10	3A	רגל כניסה מדע לא מהפכת ערוץ 3
9	3B	רגל כניסה מדע מהפכת ערוץ 3

רגל מוצא לוגית ערוץ 3	3Y	11
רגל כניסה מידע לא מהפכת ערוץ 4	4A	14
רגל כניסה מידע מהפכת ערוץ 4	4B	15
רגל מוצא לוגית ערוץ 4	4Y	13
אפשר הרכיב פעיל בנמוך	<u>G</u>	12
אפשר הרכיב פעיל בגובה	G	4
אדמה של הרכיב	GND	8
מתח הזרה של הרכיב	VCC	16

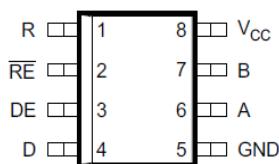
4.10. רכיב מקמ"ש SN65HVD1782 RS485

רכיב זה הינו משדר מקלט דיפרנציאלי במשק RS485 של חברת TEXAS INSTRUMENT. אורך התקשרות המקסימלי במשק RS485 הוא 1200m, תדר העברת מידע של עד 10Mb/s. רגישות המבאות של רכיב זה היא 200m אשר בתחום הכניסה בין 7V-12V. בדרך כלל בסוף הקווים הדיפרנציאליים יש נגד טרמינציה שתפקידו להשוו את ההתנגדות על שני הקווים ובכך לשמר מידע אמין. בנוסף נגד הטרמינציה מחייב רעשים שימוש שיש לו עקב נמוכה, בדרך כלל ערך נגד זה הינו Ω 120. לנגד זה מחוברים נגד "pullup" ו "pulldown" למקרה שבמקרה יש ריר לספק, חיבור אליו במקרה שהוא שום מכשיר לא מתקשר עם הקווים. הרכיב עומד בתחום יתר כמו קצר ישר לספק, חיבור קווים שגוי, כשל בחיבור או קרישות חיבור. לרכיב יש הגנה מפני פריקה אלקטروسטטית וכל בתוכו משדר ומקלט דיפרנציאלי שימושיים על ידי ספק אחד. הרכיב תומך בטקן A-485 TIA/EIA-ANSI.

מאפייני הרכיב:

- הגנה לכניות ($V_{DD} \pm 30\%$).
- מקלט עמיד בתקלות כמו מעגל פתוח, קצר, ובס במצב סרק.
- זרם נמוך במצב המתנה, עד $1\mu A$.
- מתח הזרה בין 3.3V ל 5V.
- זרם אספקה מיקסימלי מקלט $A_{DSS} = 8mA$.
- זרם אספקה מיקסימלי משדר $A_{GSS} = 60mA$.
- שידור אותות בקצבים של 1 Mbps עד 115 kbps ו-10 Mbps.

D Package and P Package
8-Pin SOIC and 8-Pin PDIP
Top View

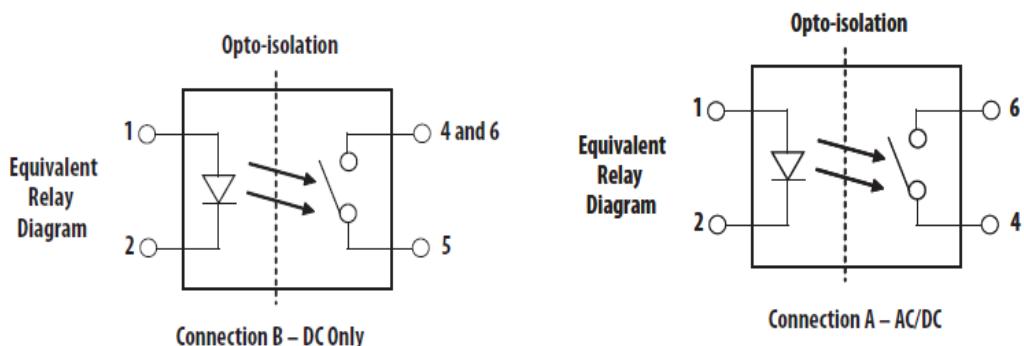


איור 19. תיאור מבנה רכיב SN65HVD1782

מספר רגל	שם רגל	תפקיד הרגל
6	A	מוצא המשדר או כניסה המקלט (B)
7	B	מוצא המשדר או כניסה המקלט (A)
4	D	רגל כניסה מיידע למשדר
3	DE	רגל אפשרי למשדר, פעולה גבוהה
5	GND	אדמה של הרכיב
1	R	רגל יציאה מיידע למקלט
2	<u>RE</u>	רגל אפשרי למקלט, פעולה גבוהה בטווח
8	Vcc	מתוח הזנה של הרכיב בין 4.5 V ל 5.5 V

ASSR-1611. ממסר אופטי 4.11

זהו ממסר אופטי של חברת Avago בטכנולוגיית Solid State Relay. טכנולוגיה זו מمتازת את הרכיב בכך שהיא שיס מתח ברגלי הכניסה. רגלי המוצא מבודדות לחלוון מרגלי הכניסה והmittog מתבצע באמצעות דיודה פולטת אור, כאשר היא נדלקת הממסר מופעל וכאשר היא מכובה הממסר מנתק. הרכיב מועד לממשקים שעובדים בזרמים גבוהים ונפוץ בעיקר בתחום תעשייתי. הממסר מופעל (מקוצר בין מגעי המוצא) במתוח העולה על 0.8V ברגלי LED. הממסר מנתק את מגע המוצא במתוח של 0.8V ומטה. המסר ניתן לחברו עבור מעגל עומס AC ו-DC בטופולוגיה חיבור שונה:



אייר 20. תיאור חיבורו רכיב ASSR-1611

מאפייני הרכיב:

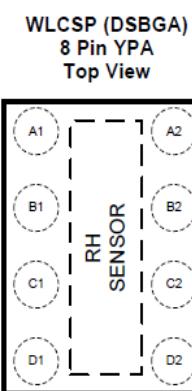
- ממסר דו כיווני, אריזה קומפקטיבית.
- עומד במתוח מוצא של 60V.
- זרם מקסימלי מקסימלי בחיבור A - 5A - DC.
- זרם מקסימלי מקסימלי בחיבור A - 2.5A - DC/AC.
- התנגדות נמוכה, Ω_{20m} למתוח DC ו Ω_{65m} למתוח DC ו AC.
- טמפרטורת העבודה של הרכיב הינה בתחום של 40 - 85°C.

4.12. חישון טמפרטורה ולחות HDC1000

רכיב זה הינו חישון טמפרטורה ולחות של חברת TEXAS INSTRUMENTS המסוגל לספק מדידות מדיקות במתוח הזרנה נמוך. החישונים מכילים לאחר יצור ולא צריכים כיול תוכני כתשח. החישון עצמו נמצא בתחום הרכיב מה שגורם לריבוב להיות יותר חסין נגד אבק, לכלי, ומזהמים סביבתיים אחרים. הרכיב עובד בתחום טמפרטורה של 40- עד 125°C . התקשרות עם הרכיב מתבצעת באמצעות פרוטוקול תקשורת I₂C. רגולציה המדידה עובד מדידת טמפרטורה הינה 11 או 14 סיביות ועבור מדידת לחות הינה 8,11 או 14 סיביות. לריבוב יש שתי רגלי כתובת המאפשרות לפחות עד 4 רכיבים על אותו קו, קריית הכתובות מתבצעת בתחלת התקשרות. עבור זרם אספקה של 1.2nA ניתן לדגם טמפרטורה ולחות בקצב של עד דגימה אחת לשניה.

מאפייני הרכיב:

- רגולציה מדידה של עד 14 סיביות.
- דיוק מדידת טמפרטורה של $\pm 0.2^{\circ}\text{C}$.
- זרם של 1mA במצב שינה.
- מתח הזרנה בין 3V ל 5V .
- ממוקם תקשורת I₂C, תדר אות שעון מקסימלי $\text{fSCL} = 400\text{kHz}$.



איור 21. תיאור מבנה ריבוב HDC1000

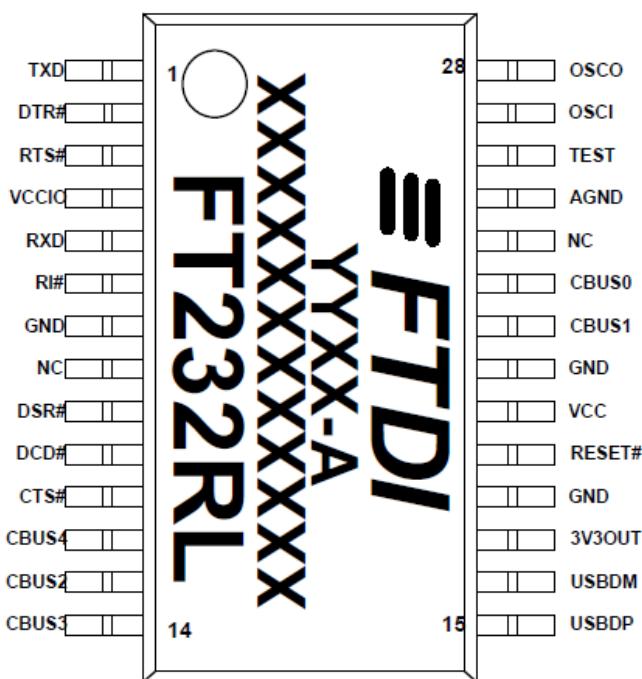
תפקיד הרגל	שם רגל	מספר רגל
קו שעון טורי לתקשרות I ₂ C, נדרש לחבר נגד VDD PULLUP	SCL	A1
מתוח הזרנה של הרכיב	VDD	B1
רגל לבחירת הכתובות, מחובר ל GND או VDD	ADR0	C1
רגל לבחירת הכתובות, מחובר ל GND או VDD	ADR1	D1
קו מידע לתקשרות I ₂ C, נדרש לחבר נגד VDD PULLUP	SDA	A2
רגל אדמה של הרכיב	GND	B2
רגל שמצינית שהתבצעה מדידה, פעיל בנמוך, נדרש לחבר נגד VDD PULLUP	DRDYn	D2

4.13. רכיב FT232RL

הרכיב של חברת FTDI הינו ממיר USB לממשק UART טורי. לממשק USB סטנדרטי יש פרוטוקול כללי (גנרי) הכולל מצבים שונים וחלוקת מידע לחבילות. ממשק זה מסובך יחסית לניהול תקשורת טורית בין רכיבים. ניתן לקיים תקשורת טורית דרך ממשק USB מבלי להשתמש בו ישירות. כדי לפשט את העבודה עם רכיבי USB ניתן להשתמש ברכיב אשר מבצע המרת פרוטוקול USB ל-UART.

מאפייני הרכיב:

- מכיל אוגר FIFO לייעול תהליכי התקשרות.
- קצבי תקשורת בין 300B ל-3MB.
- הרכיב תומך באופן מלא בפרוטוקול USB, אין צורך ברכיבים נוספים.
- כולל נגד טרמינציה של USB.
- טווח מתחי הזרנה 5.25V – 3.3V.
- זרם הזרנה A = 15mA ICC בהפעלה רגילה ועד A = 100uA ICC בהפעלה ללא USB.
- אפשרות בחירת מקור מתח הזרנה: Bus Powered או Self-Powered.



איור 22. תיאור מבנה רכיב FT232RL

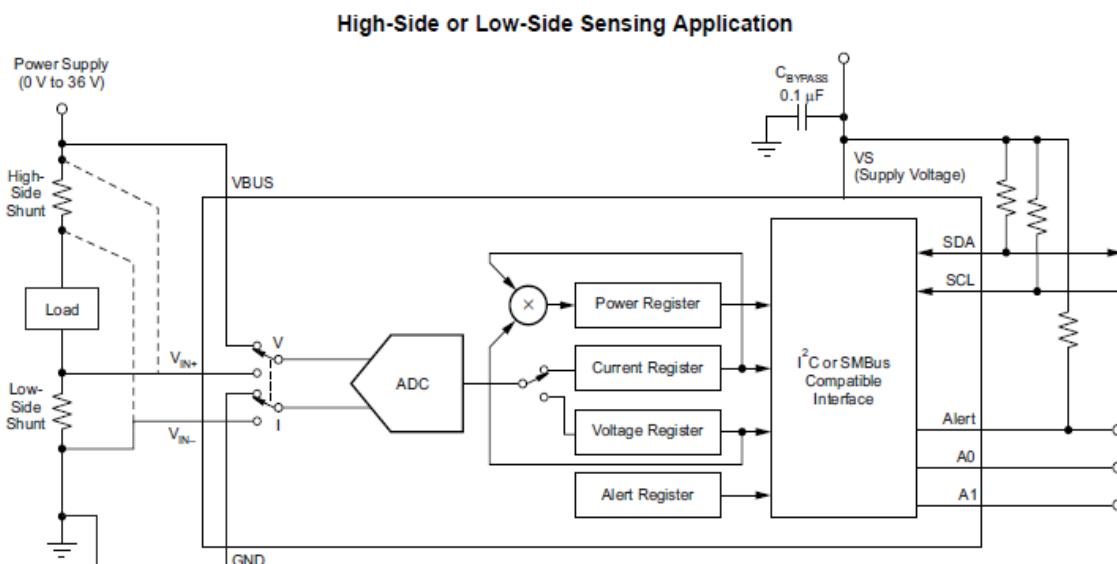
מספר רגל	שם רגל	תפקיד הרגל
1	TXD	רגל לשידור מידע לא סינכרוני UART
2	DTR#	(Data Terminal Ready) DTE מוקן לשידור
3	RTS#	(Request To Stand) מבקש לשדר

רجل המספקת מתח בין 1.8 ל 5.25V למשק ה UART ולקבוצת CBUS	VCCIO	4
קבלת מידע לא סינכרוני UART	RDX	5
שרוצה להיקלט של רצף DCE ((Ring Indicator) – רצף DCE מקבל פולס צר המורה על מידע לא מחוברת	RI#	6
רجل אדמה של הרכיב	GND	7
רجل לא מחוברת	NC	8
צ'יז' DCE מוקן ((Data Set Ready)) – מזזה גל נושא	DSR#	9
צ'יז' DCE מזזה גל נושא ((Data Carrier Detect)) – מזזה גל נושא	DCD#	10
רולו'ן ((Clear To Send)) – מוקן לקליטה	CTS#	11
הדק בקרה לקביעת תצורה של אופן הפעולה. ברירת המחדל נקבעת על פי הגדרת היצרך הנשמרת בזיכרון EEPROM הפנימי	CBUS4	12
	CBUS2	13
	CBUS3	14
	CBUS1	22
	CBUS0	23
הדק USB חיובי, מכיל מערכות של נגדי PULLUP ונגד Ω 1.5k ל- 3.3V	USBDP	15
הדק USB שלילי, מכיל מערכות של נגדי PULLUP	USBDM	16
פלט של 3.3V מ-LDO	3V3OUT	17
רجل אדמה של הרכיב	GND	18
רجل איפוס, פעיל בנמו'	RESET#	19
מתוח הזנה	VCC	20
רجل אדמה של הרכיב	GND	21
רجل לא מחוברת	NC	24
אדמה אנלוגית של הרכיב	AGND	25
רجل להכנסת הרכיב למצב בדיקה. במצב עבודה רגיל לא בשימוש – יש להשאיר רגיל זאת לא מחוברת.	TEST	26
כניסת שעון בתדר 12MHz	OSCI	27
יציאה שעון בתדר 12MHz	OSCO	28

4.14. דוגם מתח זרם - INA226

רכיב זה הינו דוגם זרם ומתח דיגיטלי של חברת TEXAS INSTRUMENTS. קרייאת הדגימה היא באמצעות ממשך דיגיטלי I2C.

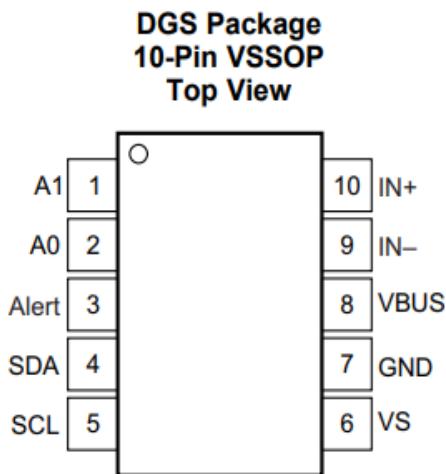
לרכיב יש שתי אפשרויות דגימה לספק כח, האחת על ידי הזרם שעובר בעומס העובר דרך נגד השאנט מה שיוצר מתח בין רגלי ה +IN ו -IN. האפשרות השנייה על ידי חיבור המתח לרجل ה VBUS. בנוסף, לממיר ה ADC יש שני מצבים פעולה, האחת שהרכיב מודד ברכזיות את המתח על נגד השאנט והמתוח על הערז, כך לפि המתח ניתן לחשב את הזרם וההספק. אופן פעולה שני של הרכיב הוא מדידה חד פעמית של מתח, זרם וההספק, ואם רוצים למדוד שוב יש לכתוב לממיר לעשות זאת. ניתן לכיל את ערכי המדידה ולקבוע הגדרות לדוגם על ידי תכונות זיכרון הרכיב. התכונות מתבצע על ידי כתיבה לאוגרים הרלוונטיים דרך הממשק הדיגיטלי I²C. בנוסף לכך, רכיב קיימת יצאת ALERT מסוג Open Collector אשר ניתנת לתכונות. להלן המבנה הפנימי של הרכיב:



איור 23. תיאור מבנה הפנימי של רכיב ANA226 ו宦יבו לעומס

מאפייני הרכיב:

- תחום דגימת מתחים מרמה של 0V עד 36V.
- יכולה למדוד זרם, מתח והספק.
- דיוק גבוה: שגיאה מרבית של 0.1% או 10µm.
- אופציות ממוצע ניתנות לתכונות.
- 16 כתובות ניתנות לתכנות.
- מופעל על ידי ספק בתחום מתחים של 2.7V ל 5.5V.
- ממשק תקשורת I²C, כאשר הרכיב במצב מהיר fSCL = 0.4MHz וכתאר הרכיב במצב מהיר fSCL = 2.94MHz.
- תכונות רgel ALERT בהתאם לצרכי המשתמש.



איור 24. תיאור מבנה ורכיב INA226

מספר רגל	שם רגל	תפקיד הרגל
2	A0	רגל כתובת, מחוברת ל GND,SCL,SDA או VS
1	A1	רגל כתובת, מחוברת ל GND,SCL,SDA או VS
3	Alert	רגל התראה עם אפשרותיות שונות לשימוש. בלוגיקת Open Collector
7	GND	רגל אדמה של הרכיב
10	IN+	מחובר לצד ההזנה של נגד השאנט
9	IN-	מחובר לצד העומס של נגד השאנט
5	SCL	קו שעון טורי
4	SDA	קו מידע טורי
8	VBUS	קו מדידה אנלוגי למתה
6	VS	מתה הזנה לרכיב בין 2.7 ל 5.5V

4.15. רכיב מתוכנת CPLD מסוג MAX10

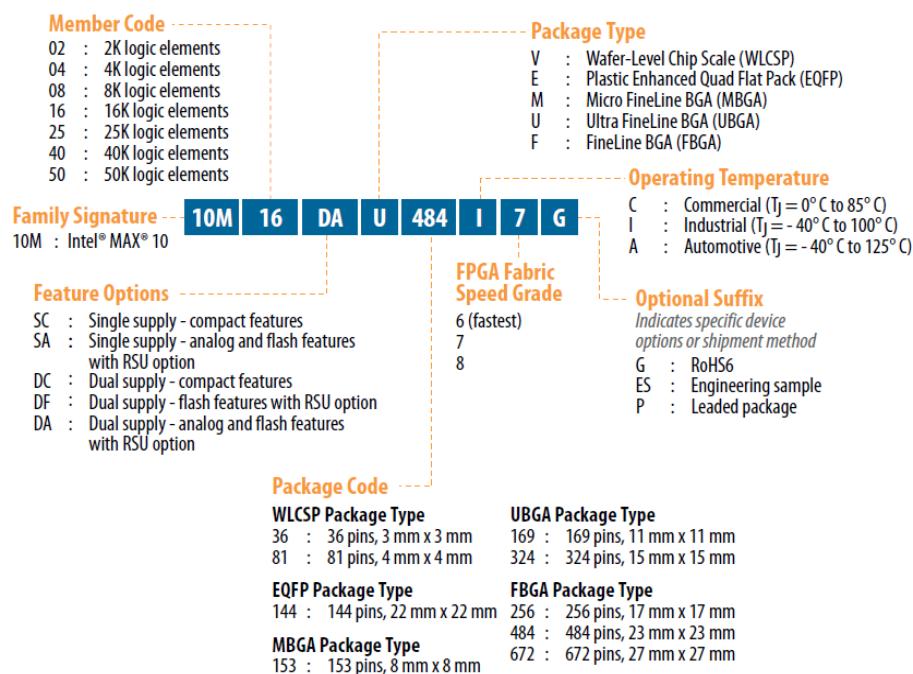
רכיב מתוכנת זה הינו לב המערכת, עליו נצרבים הקודים שנכתבו, רכיב זה פועל באמצעות אלמנטים לוגיים ויזכרונות שניתנים לתוכנות על ידי המשתמש. הרכיב, מיוצר על ידי חברת INTEL. הייחודיות של משפחת MAX10 מהFPGA הקלאסיים היא שמשולב בו זיכרון Flash לא נדי אשר הרכיב מעלה את התוכנה ששומרה בעת העלאת המתח. בנוסף לכך, מושולבים ברכיבים מעגלי ADC ושניתנים להגדירה על ידי המתכנת.

בפרויקט, נבחר להשתמש ברכיב 10: M16SAU169I7G.

מאפייני הרכיב:

Max 10 : משפחת 10M •

- 16: אלף יחידות לוגיות הנitinoot לתוכנות.
- 3.3V: מתח הזרנה יחיד.
- U: סוג האריזה Ultra Fineline BGA (UBGA).
- 169: מספר הרגליים באrizה של CPLD הוא 169.
- I: סביבת עבודה בתחום של -40 מעלות צלזיוס לעד 100 מעלות צלזיוס.
- 7: תקן העברת מהירות מידע.
- G: מצין על סוגים ספציפיים של הרכיב או על שיטת המשלוח, RoHS 6.
- O/I 130: שניין להשתמש בהם.
- ממיר אנלוגי לדיגיטלי (ADC) מושלבים ברכיב.
- ייחידות זיכרון: M9K = 549KB.
- זיכרון FLASH לא נדי' בגודל 2368Kb.
- תדר עבודה מקסימלי fmax = 416MHz.
- מעגלי PLL מושלבים ברכיב הנitinoot לתוכנותDigital.



איור 25. תיאור האופציות ברכיב MAX10

4.16. דוגם סוללה MAX17205

הרכיב הינו של חברת Maxim ותפקידו לדגום את מצבה של הסוללה. הרכיב מודד סוג סוללות שעשוויות בטכנולוגיות כימיות שונות כמו ליתיום (Lithium). במצב עבודה רגיל הרכיב מיועד עבור סוללות עם יכולת טעינה רב פ�מית. ניתן לחבר את הרכיב בקונפיגורציה מיוחדת אז הרכיב יוכל למדוד גם סוללות חד פאונטיות בטכנולוגיות כמו Zinc ו Alkaline.

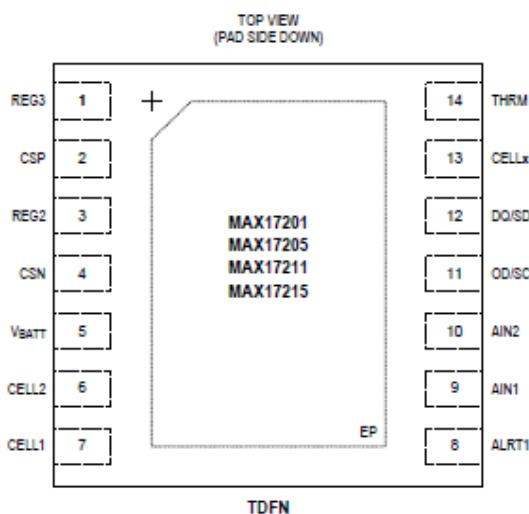
הרכיב דורש הספק עבודה נמוך. בנוסף, רכיב זה מסוגל לדגום סוללה של תא של 2s, 3s ויתר. בחירת כמות התאים הנדרדים נקבעת על פי מודול של מחלק מתוך חיצוני לרכיב. הרכיב מציג מדידות מדויקות

של זרם, מתח וטמפרטורה. התקשרות וקריאה המדידות עם הרכיב מתבצע על ידי פרוטוקול דיגיטלי I₂C.

המתוך על כל תא מתבצע על ידי רגליים CELL1, CELL2 וVBatt, לסוללות גדולות יותר יש את רgel CELLX שיכולה למדוד את המתוך על ידי נגד חלק מתח. הזרם שעובר בתא של הבטריה נמדד על ידי מדידת המתוך בין רgel CSN וCSP. הטמפרטורה נמדדת על ידי מד טמפרטורה פנימי ושני טרמייסטורים חיצוניים.

מאפייני הרכיב:

- מונע שגיאות במקרה שלא מחובר מתח סוללה.
- לא דרש מצב התחלתי כלשהו (ריק או מלא) או לימוד אדפטיבי של הסוללה.
- מערכת מדידה מדויקת מבוססת על אלגוריתם Coulomb Counter.
- זרם יציב נמוך, A_n18 במצב הפעלה ו A_n9 במצב שינה.
- יכולה לחזות את הקיבולת שנשארה על העומס.
- משקף תקשורת I₂C, תדר אות שעון מקסימלי fSCL = 400KHz = 400KHz



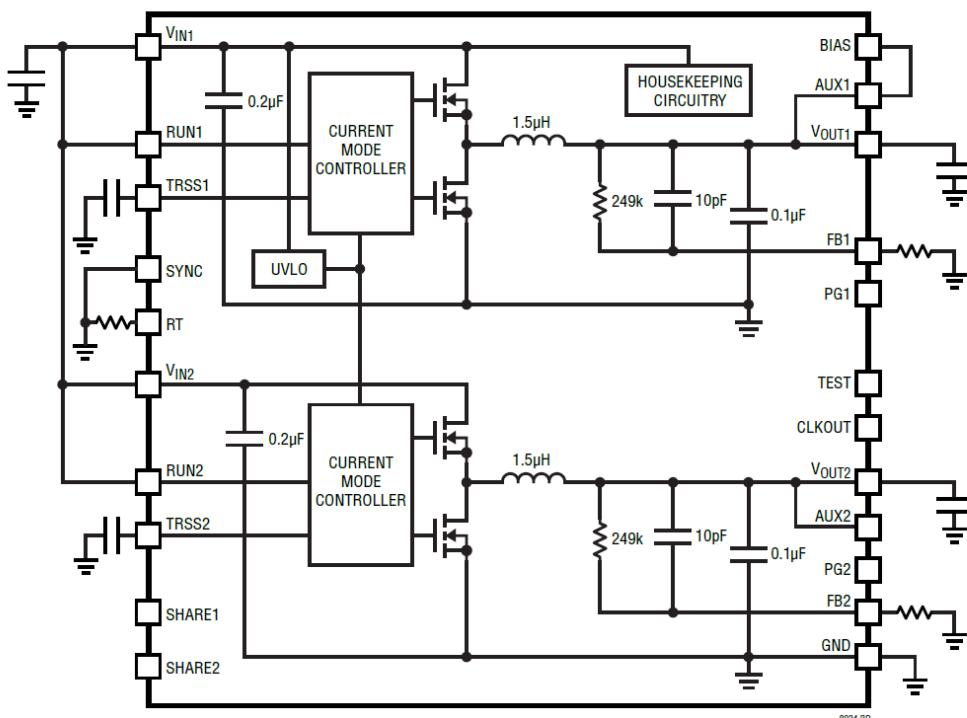
איור 26. תיאור מבנה רכיב MAX17205

מספר רגל	שם רגל	תפקיד הרגל
1	REG3	מתוך פנימי של הרגולטור בגודל של 3.4V
2	CSP	רגל למדידת זרם שמחוברת לצד החיבובי
3	REG2	מתוך פנימי של הרגולטור בגודל של 1.8V
4	CSN	רגל אדמה של הרכיב ורגל למדידת זרם שמחוברת לצד השלילי
5	VBATT	מתוך הזרנה לרכיב ודגם מתח בטריה
6	CELL2	רגל לדגימת המתוך בתא השני או האמצעי
7	CELL1	רגל לדגימת המתוך בתא התיכון
8	ALRT1	רגל ניתנת לתוכנות להתראה

רגל עזר למתח כניסה 1	AIN1	9
רגל עזר למתח כניסה 2	AIN2	10
רגל כניסה לקו אות השעון בתקשרות I2C	OD/SCL	11
רגל כניסה לקו אות המידע בתקשרות	DQ/SDA	12
ערוץ למדידת מתח בעכבה גבוהה, מחובר למתח חיצוני, מחלוקת מתח למדידת תאים הגודלים מ S4	CELLx	13
רגל לחיבור הטרםיסטור	THRM	14

4.17. ממיר מתח ממוגן LTM8024

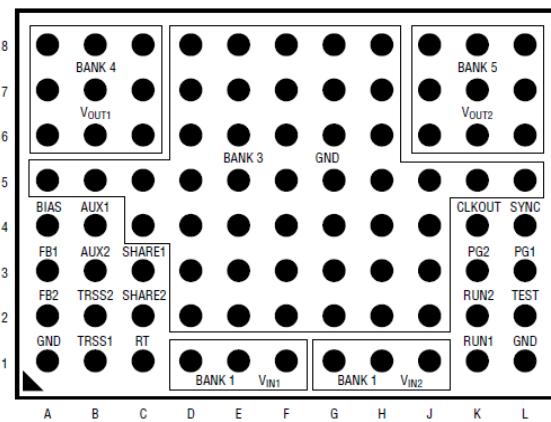
רכיב זה הינו ממיר מתח ממוגן של חברת ANALOG DEVICES מטופולוגיה Step - Down. ארכיטקטורה זו יכולה להמיר מתח גבוה למתח נמוך, כאשר האנרגיה נשמרת וועברת לתצורה של הגברת הזרם. מעגל Step - Down מוגן מיתוג מבוסס טרנזיסטור, דיודה, סליל וקובל. ברכיב זה, מעגל PWM האחראי על המיתוג ומוגלים השרתיים עליהם מבוססת ההמרה, מוכללים בפנים. נדרש רק להוסיף קבלים על הכניסה והיציאה בהתאם למתחי העבודה. המוגן מזעיר הפרעות אלקטромגנטיות תוך תדרות גבוהה של עד 3MHz, הרכיב תומך במתחי מוצא שבין 0.8V ל 8V ותדרות החלפה בתחום שבין 200kHz ל 3MHz. הממיר הינו דו ערוצי של מתחי DC בתחום ערוץ 1 הינו בין 3V ל 40V ובערוץ 2 הינו 2V ל 40V, מתח הכניסה צריך להיות לפחות 3V כדי שאחד מהערוצים יפעל. את מתח המוצא ניתן לקבוע על ידי בחירת ערכי הנגדים בראשת המוצא.



איור 27. תיאור מבנה פנימי של רכיב LTM8024

מאפייני הרכיב:

- 2 ערכזים מתח בלתי תלויים.
- תדר מיתוג בין 200kHz ל 3MHz – ניתן לקביעה על ידי בחירת ערך הנגד.
- ארכיטקטורת מיתוג עם רעשנים נמוכים.
- טווח מתחי כניסה רחב בין 3V ל 4.0V .
- טווח מתחי מוצא רחב בין 0.8V ל 2.7V .
- זרם מוצא של עד של ערכז עבור $\text{TA} = 80^\circ\text{C}$ 12VIN , 3.3VOUT .
- אריזה קומפקטיבית (Surface Mount BGA).



איור 28. תיאור מבנה רכיב LTM8024

שם רג'ל	תפקיד הרgel
(BANK 1) Vin1	מתוך הזרנה לערכז 1, רג'ל זו מפעילה את הבקרה על שני הערכזים, רג'ל זו חייבת לקבל הזרנה בצד אחד מהערכזים יעבד.
(BANK 2) Vin2	מתוך הזרנה לערכז 2, המתח של רג'ל ח'ו'ן 1 צריך להיות לפחות 2V כדי שהרג'ל זו תעבור
Vout1/Vout2	מתוך מוצא לערכזים 1 ו 2
GND	רג'ל אדמה לרכיב
FB1/FB2	הממיר מוססת את המתח ברגליים אלו ל 700mV
BIAS	הממיר מתוך הפנימי ימשוך זרם מרג'ל ה BIAS במקום ח'ו'ן, מחברים רג'ל זו למתח של לפחות 3.2V , עברו מתחי מוצא של 3.3V ומעלה כדי לחבר רג'ל זו ל Vout
TRSS1/TRSS2	רג'ל זו מאפשרת בקרה על קפיצת מתח מוצא בזמן הפעלת הרכיב
AUX1/AUX2	רגליים אלו הינם מקורות זרם ומתח נמוכים לטובת שימוש פנימי של הרכיב

צריך לחבר נגד בין רגל ZO לאדמה בכדי לקבוע את תדר המיתוג	RT
רגלים אלו הינם בקרת השיתוף של ערכאים 1 ו 2	SHARE1/SHARE2
הערוץ התואם של הממיר נמצא במצב כבוי כאשר רגל ZO נמצא בטווח ('0') ומופעל כאשר רגל ZO נמצא במצב גובה ('1')	RUN1/RUN2
רגל מצוי לسانכרון, כאשר רגל V _{DD} >2.8V,CLKOUT, רגל ה CLKOUT מספקת צורת גל עם הפרש מופע של 90 מעלות מעורץ 1	CLKOUT
רגל ZO הינה ה drain open של משווה פנימי שנמצא ברכיב	PG1/PG2
משתמשים ברגל ZO בתהליך הייצור של הרכיב	TEST
רגל כניסה סנכרון שעון.	SYNC

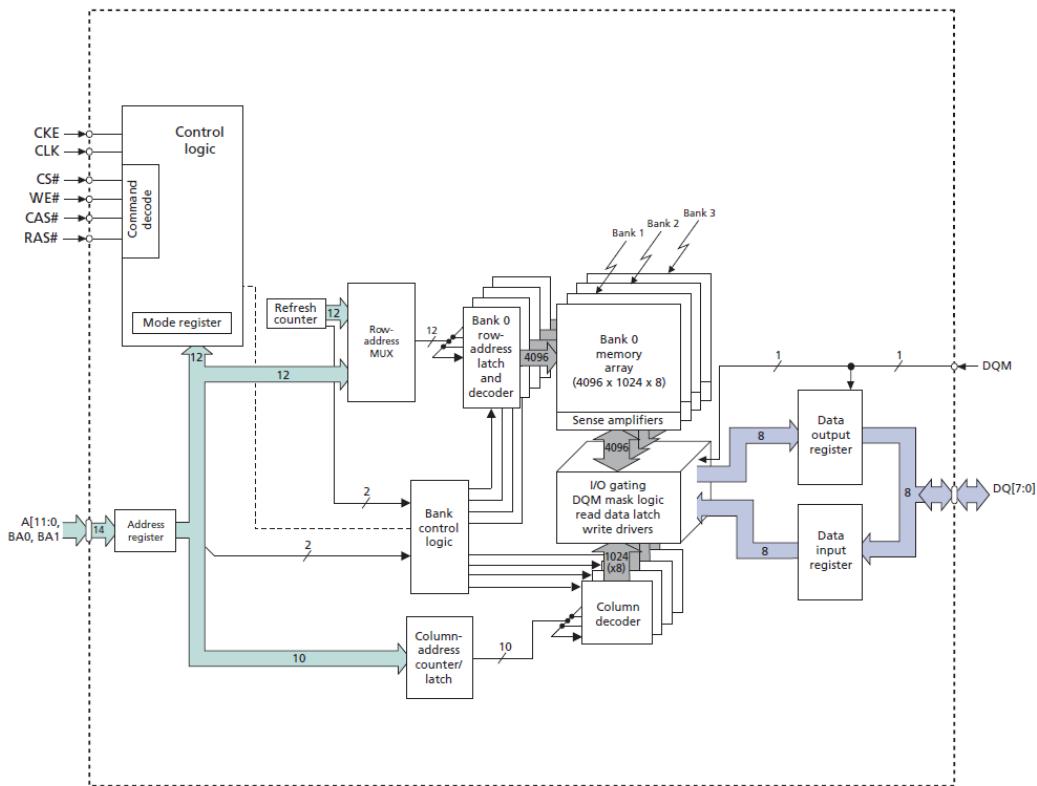
4.18. רכיב זיכרון MT48LC8M16A2B4-6A SDRAM

רכיב זה הינו זיכרון SDRAM בגודל 128Mb שעבוד ב מהירות גובהה של כ 167MHz. הרכיב בנוי מאربע אוגרי, DRAM, זיכרון DRAM הינו זיכרון נדיף, כלומר הוא מביא את התוכנו עם ניתוקו ממוקור האנרגיה שלו.

בנוסף, הרכיב עובד עם אות שעון לسانכרון. מדובר בזיכרון נדיף והוא משמש בעיקר כזיכרון חיצוני נוסף לרכיבים מתוכנתים, כך שניתן לקרוא ממנו ולכתוב אליו בכל עת.

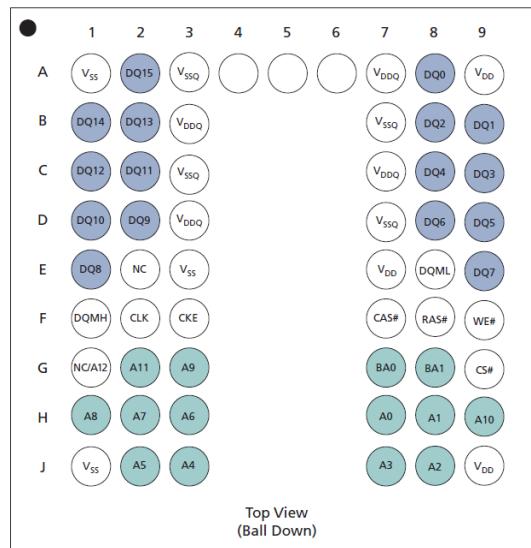
מאפייני הרכיב:

- סינכרוני מלא, כל האותות נקלטים בעלייה של אות השעון.
- גודל של מילה 16 ביטים.
- מספר מילימטרים בזיכרון.
- תדרי עבודה 167MHz.
- ניתן לשנות את כתובות העמודה בכל אות שעון.
- בנקים פנימיים להסתרת גישה לשורות.
- טעינה אוטומטית.
- ריענון אוטומטי.
- מתח הזרה היחיד של $V_{DD} \pm 0.3V$.



איור 29. תיאור מבנה בлок פונקציונלי של רכיב A MT48LC8M16A2B4-6A

Figure 6: 54-Ball VFBGA (Top View)



Note: 1. The balls at A4, A5, and A6 are not in the physical package. They are included in the drawing to illustrate that rows 4, 5, and 6 exist but contain no balls.

איור 30. תיאור מבנה רכיב MT48LC8M16A2B4-6A

שם רגל	תפקיד הרגל
CLK	רגל כניסה אוט שערן
CKE	רגל כניסה אפשר לשעון פעילה בגובה ('1')

רגל לבחירת הרכיב, פעילה בנמוך	#CS
רגלי כניסה לפקודות	CAS#,RAS#,WE#
רגלי כניסה ויציאה למילימ	x4, x8: DQM x16: DQML, DQMH
רגל כניסה לאוגר	BA[1:0]
רגל כניסה כתובת	A[11:0]
רגלי כניסה ויציאה למידע	DQ[15:0]
רגל הספקה לד	VDDQ
רגל אדמה לד	VSSQ
רגל הספקה של הרכיב	VDD
רגל אדמה של הרכיב	VSS
רגל ללא חיבור	NC

4.19. מגבר שרת Rail to Rail

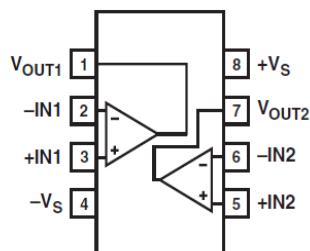
רכיב זה הינו מגבר שרת של חברת ANALOG DEVICES, הרכיב קל לשימוש ויש לו ביצועים מצוינים, ברכיב ישנים שני מגבריםSMSFETים רעש נמוך ומרירות גבוהה ביחס למגברים אחרים. בזכות מתח ההספקה הרחב (V_S – 24V – 5V) הרכיב מסוגל לעבוד על יותר יישומים מאשר מגברים אחרים באותה עלות.

בנוסף לרכיב יש מוצאים מסוימים מסוג Rail to Rail שימושיים גמישות חיבור ומאפשרים למצאים להגיע כמעט לערך של מתח ההזנה.

מאפייני הרכיב:

- מגבר משוב מסוג FET
- זרם ממתח אופייני של A 1pA
- ביצועים במרירות גבוהה: z80MHz, רוחב פס -3db
- רעש נמוך: 11 V/Hz ב – 100KHz
- 6.0 fA/fHz ב-100KHz
- מתח קיזוז נמוך 1
- מקור הספקה יחיד, ומוצא Rail to Rail
- זרם צריכה נמוך של V 3.3
- אריזות קטנות SOIC-8 | 23-8-SOT

SOIC-8 and SOT-23-8 (RT) AD8034



איור 31. תיאור מבנה רכיב AD8034

מספר רגל	שם רגל	תפקיד הרגל
1	VOUT1	רגל מוצא מגבר 1
2	-IN1	רגל כניסה שלילית מגבר 1
3	+IN1	רגל כניסה חיובית מגבר 1
4	-VS	מתוך הזנה שלילי של המגברים
5	+IN2	רגל כניסה שלילית מגבר 2
6	-IN2	רגל כניסה חיובית מגבר 2
7	VOUT2	רגל מוצא מגבר 2
8	+VS	מתוך הזנה חיובי של המגברים

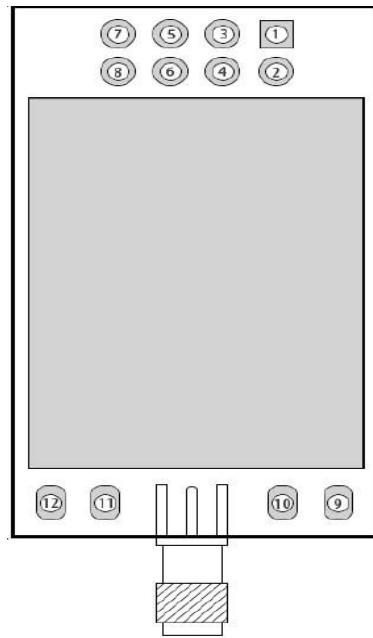
E01-2G4M27D .4.20 מקלט משדר

רכיב זה הינו מודול מקולט משדר RF של חברת Chengdu Ebyte Electronic. המודול מבוסס על רכיב RF24L01+ של חברת Nordic. המיקמ"ש מיועד לעבוד בתחום תדר 2.4GHz בהספק שידור מקסימלי של 500mW. יש ברכיב מגבר הספק עבור המשדר ומגבר עם רעש נמוך LNA עבור המקולט.

מאפייני הרכיב

- מרחוק תקשורת עד KM5.0
 - הספק שידור מקסימלי של Wm005,000, עצמת הספק השידור ניתנת לתוכנות
 - רגישות קליטה Bm-99dBm
 - תומך בקצבים תקשורת של 250Kbps, 1Mbps, 2Mbps ו 125Mbps
 - מתחבר על הבקר בתקשורת מסוג SPI בקצב של עד 10Mbps
 - תומך במתחי הספקה בין 2.5V ל 5.5V, מתח הספקה מעל 3.3V מבטיח ביצועים מרביים
 - סוג אפנון מידע: GFSK
 - כולל FIFO למידע בגודל של 32MB

- כולן רגלי לפסיקה Interrupt ליידע את הבקר שקיים מידע זמין לקריאה.



איור 32. תיאור מבנה רכיב E01-2G4M27D

מספר רגל	שם רגל	תפקיד הרגל
1	GND	רגל אדמה של הרכיב
2	VCC	רגל אזנה של הרכיב
3	CE	רגל כניסה אפשר רכיב SPI
4	CSN	רגל כניסה לבחירת רכיב SPI
5	SCK	רגל כניסה לאות שעון SPI
6	MOSI	מידע שיוצא מה master ומגיע ל slave - SPI
7	MISO	מידע שיוצא מה slave ומגיע ל master - SPI
8	IRQ	רגל מוצא לפסיקה Interrupt

Xbee S3B PRO RF 4.21. מקלט משדר

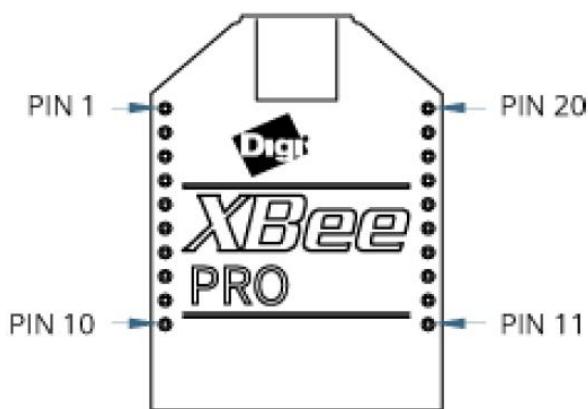
רכיב זה הינו מקלט משדר המשמש בגלוי RF. הרכיב מיוצר על ידי חברת DIGI. המקם"ש מיועד לעבוד בתחום תדר 900MHz (902MHz-928MHz) בהספק שידור מקסימלי של 500m. ניתן לתכנות ולהגדיר את הרכיב בצורה מלאה דרך המשק הטורי UART באמצעות התוכנה הייודית XCTU שמספקת היצן DIGI או על ידי תוכנה מותאמת אישית. הרכיב מציע בנוסף לקווי התקשרות USB גם רגלי GPIO אשר המשמש יכול לתכנת אותם כדי להפעיל רכיבי פריפריה המתחברים אליו. הרכיב תומך בטופולוגיות רשת נפוצים כמו Point to Point, Point to Multipoint, Mesh ועוד. כמו כן, לכל רכיב צروب כתובות פיזית ייודית (MAC) בת 64 או 16 סיביות המיחדשת אותו ברשות. הרכיב מאפשר

להעביר בכל שידור חבילה של מידע (Packet) אשר יכולה להכיל עד 65521 בתים של מידע. כל חבילה עטופה בשדות בקרה המשמשים לתקשרות עצמה בין המודולים.

מאפייני הרכיב:

- תחום שידור תדרי רדיו - 915MHz (902MHz-928MHz).
- מרחק תקשורת של 15.5km, 10kb/s ב מהירות s/200kb/s כאשר קיים קשר עין (LOS).
- הספק שידור מקסימלי של Wm500, עוצמת הספק השידור ניתנת לתוכנות.
- משך תקשורת טורית UART.
- אפשרות לעבוד עם פרוטוקול SPI.
- קצב שידור בין 9600-230400 bps ביטים לשנייה, ניתן לבחירה על ידי תוכנה.
- רגישות מקלט של -101dBm עבור קצב מידע מהיר, ו -110dBm עבור קצב מידע איטי.
- תומך במתוח הספקה בין 2.1V ל 3.6V.
- תמייכה בטופולוגיות רשת נפוצות: Point to Point, Point to Multipoint, Mesh.
- תמייכה בסוגי תקשורת סטנדרטיים: Unicast, Multicast, Broadcast.
- עד 128 מודולים באוטה הרשות.
- הצפנה AES 128bit.

XBee-PRO (top view)



איור 33. תיאור מבנה ריבב XBee S3B PRO

מספר רגל	שם רגל	תפקיד הרגל
1	VCC	רגל אספקה של הרכיב
2	DOUT/DIO13	רגל IO או רgel מוצא ל UART
3	DIN/nCONFIG/DIO14	רגל IO או רgel כניסה ל UART
4	DIO12/SPI_MISO	רגל IO או רgel מוצא ל SPI - slave
5	nRESET	רגל אפסו לרכיב, פעולה בנמוך
6	DIO10/PWM0	רגל IO או מחוון על עצמת RX

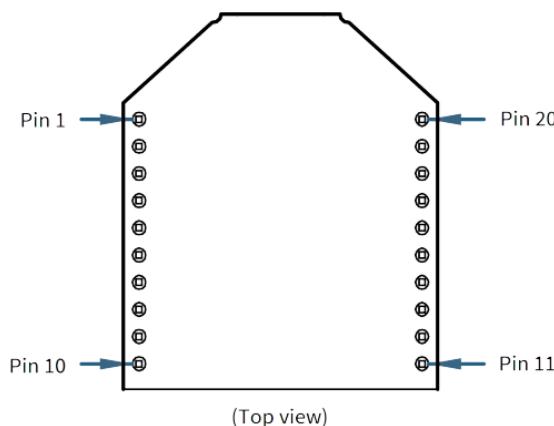
רגל OI או אפנון רוחב דופק	DIO11/PWM1	7
רגל לא מחוברת	Reserved	8
רגל OI או רgel בקרה על מצב שינוי של הרכיב	nDTR/SLEEP_RQ/DIO8	9
רגל אדמה של הרכיב	GND	10
רגל OI או רgel כניסה ל SPI - slave	DIO4/SPI_MOSI	11
רגל OI או clear to send - מוקן לקיליטה, פעולה בנמוך	nCTS/DIO7	12
רגל OI או רgel למחוון על מצב הרכיב	ON_nSLEEP/DIO9	13
רגל המשמש באופן פנימי עבור המעבד המשני, אם רוצים לתקשר עם רכיבי Xbee אחרים - מחברים רgel זו למתח ייחוס, אם לא - מחברים רgel זו לאדמה	VREF	14
רגל מחוון על חיבור	Associate/DIO5	15
רגל OI או רgel request to send, בקשה לשיליחה פעילה בנמוך	nRTS /DIO6	16
רגל OI או רgel כניסה אנלוגית או רgel בחירת - slave SPI ופעילה בנמוך	AD3/DIO3/SPI_nSSEL	17
רגל OI או רgel כניסה אנלוגית או רgel שעון SPI	AD2/DIO2/SPI_CLK	18
רגל OI או רgel כניסה אנלוגית או רgel הקשה API SPI	AD1/DIO1/SPI_nATTN	19
רגל OI או רgel כניסה אנלוגית	AD0/DIO0	20

4.22. מקלט משדר Zigbee 3.0 RF

רכיב זה הינו מקלט משדר של חברת DIGI. תדר העבודה של הרכיב הוא 2.4GHz וספק שידור של Wm^3 6.3.

מאפייני הרכיב:

- מרחק תקשורת של m 1200 בתדר בטוח של $1Mbps$ ל $250Kbps$.
- הספק שידור מקסימלי של Wm^3 6.3, עצמת הספק השידור ניתנת לתוכנות.
- תקשורת טורית UART.
- קצב שידור בין 921600 – 1200 ביטים לשניה, ניתן לבחירה על ידי תוכנה.
- רגישות מקלט של dBm 103.
- תומך במתחי הספקה בין V 2.1 ל 3.6 .
- טמפרטורת העבודה של הרכיב אינה בתחום של $-40^{\circ}C$ עד $85^{\circ}C$.



אייר 34. תיאור מבנה רכיב 3.0

מספר רגל	שם רגל	תפקיד הרגל
1	VCC	רגל אספקה של הרכיב
2	DOUT/DIO13	רגל OI או רgel מוצא ל UART
3	DIN/nCONFIG/DIO14	רגל OI או רgel כניסה ל UART
4	DIO12/SPI_MISO	רגל OI או רgel מוצא ל SPI - slave
5	nRESET	רגל איפוס לרכיב, פעולה בנמוך
6	DIO10/PWM0	רגל OI או מחוון על עצמת RX
7	DIO11/PWM1	רגל OI או אפנון רוחב דופק
8	Reserved	רגל לא מחוברת
9	nDTR/SLEEP_RQ/DIO8	רגל OI או רgel בקרה על מצב שינוי של הרכיב
10	GND	רגל אדמה של הרכיב
11	DIO4/SPI_MOSI	רגל OI או רgel כניסה ל SPI - slave - SPI
12	nCTS/DIO7	רגל OI או send to clear - מוקן לקלייטה, פעולה בנמוך
13	ON_nSLEEP/DIO9	רגל OI או רgel למחוון על מצב הרכיב
14	VREF	רגל המשמש באופן פנימי עבור המעבד המשני, אם רצוי לתקשר עם רכיבי Xbee אחרים - מחברים רgel זו למתח ייחוס, אם לא - מחברים רgel זו לאדמה
15	Associate/DIO5	רגל מחוון על חיבור
16	nRTS /DIO6	רגל OI או רgel request to send, בקשה לשיליחה פעולה בנמוך
17	AD3/DIO3/SPI_nSSEL	רגל OI או רgel כניסה אנלוגית או רgel בחירת - slave SPI ופעילה בנמוך
18	AD2/DIO2/SPI_CLK	רגל OI או רgel כניסה אנלוגית או רgel שעון SPI
19	AD1/DIO1/SPI_nATTN	רגל OI או רgel כניסה אנלוגית או רgel הקשה SPI

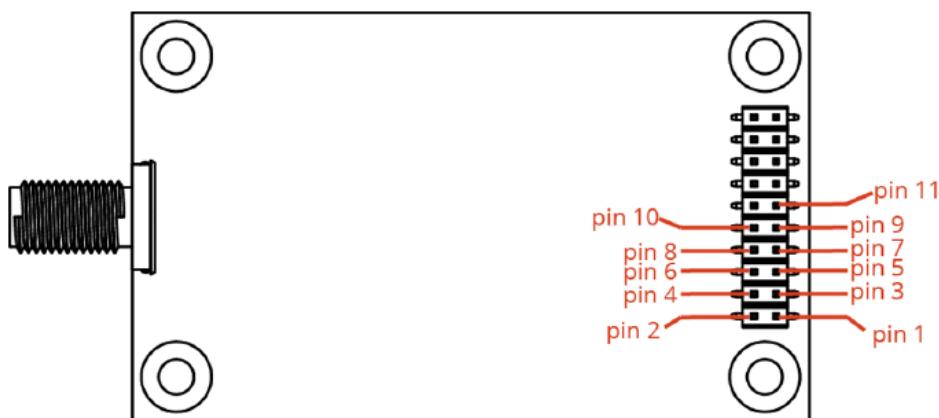
רגל OI או רgel כניסה אנלוגית	AD0/DIO0	20
------------------------------	----------	----

Xtend vB RF מקלט משדר 4.23

רכיב זה הינו מקלט משדר של חברת DIGI. תדר העבודה של הרכיב נע בין 902MHz ל 928MHz וספק שידור של 1W.

מאפייני הרכיב:

- מרחק תקשורת של 64km ב מהירות 10kb/s, 11km ב מהירות 125kb/s.
- הספק שידור מקסימלי של 1W, עצמת הספק השידור ניתנת לתוכנות.
- תקשורת טורית UART.
- קצב שידור בין 1200 – 12000 ביטים לשנייה, ניתן לבחירה על ידי תוכנה.
- ריגישות מקלט של -100dBm – 110dBm. עבר קצב מידע איטי.
- תומך במתוח הספקה בין 2.8V ל 5.5V.
- טמפרטורת העבודה של הרכיב הינה בתחום של -40°C עד 85°C.
- משקל 16 גרם.



איור 35. תיאור מבנה רכיב Xtend

מספר רגל	שם רגל	תפקיד הרגל
1	GND	רגל אדמה של הרכיב
2	VCC	רגל אספקה של הרכיב
3	GPO2 / RXLED	רגל מוצא או רgel למבחן על קליטה
4	nTX_PWR	רגל למבחן על שידור, פעולה בנמוך
5	DIN	רגל כניסה ל UART
6	DOUT	רגל מוצא ל UART
7	nSHDN	רגל כיבוי המכשיר, פעולה בנמוך
8	SLEEP	רגל למצב שינה של הרכיב

רجل מוצא או clear to send - מוכן לקליטה, פעולה בנמור או אפשר לשידור RS-485	GPO1 / nCTS / RS-485 TX_EN	9
רجل send request to send, בקשה לשילוחה פעולה בנמור	nRTS / CMD	10
רجل גיבוי לכינסה למצב פקודות בתהילך הפעלה	nCONFIG / RSSI	11
רגליים לא מחוברות	Reserved / do not connect	12-20

5. חומרה

5.1. מעגלי תקשורת I2C

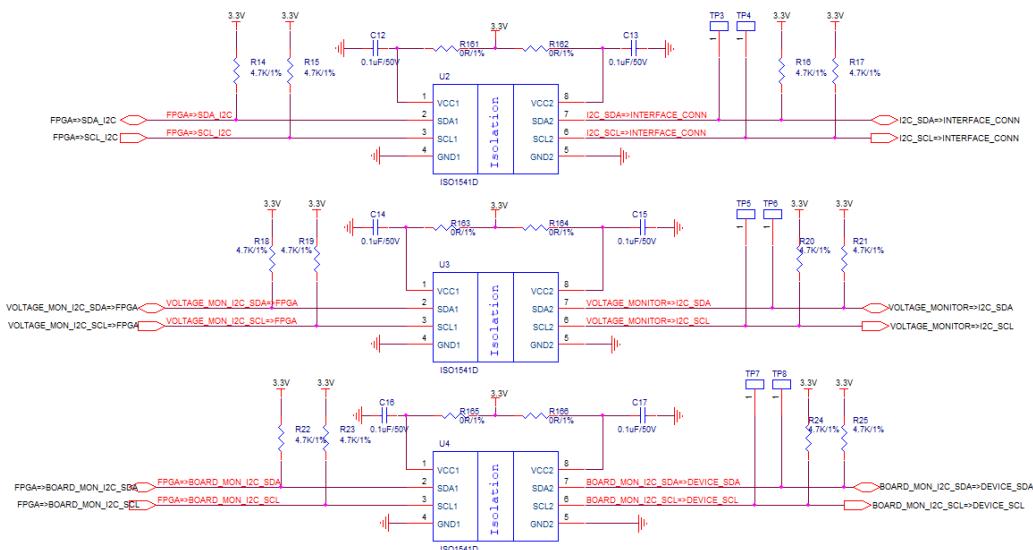
5.1.1. מעגל חוצץ תקשורת I2C

בפרויקט יש שימוש נרחב בתקשרות I2C של הרכיב המתוכנת מול רכיבי קצה. כדי לא לחבר ישירות את רכיבי הקצה לרכיב המתוכנת, נעשה שימוש בחוצצים המבוקדים ל-I2C. משק I2C סטנדרטי תומך בחיבור של רכיב Master אחד ועד 127 Slaves במקביל על אותם הקווים. בمعالג שלנו יכולים לבחור את הרכיב המתוכנת כ-Master ולחבר את כל רכיבי הקצה על אותם הקווים ובכך להשתמש בחוצץ ייחיד. לעומת זאת, הרכיב המתוכנת הוא רכיב אשר פועל בצורה מקבילתית וכך יוכל לנצח את החזקה הזאת, בחרנו לחבר את הממשקים על קווים נפרדים כדי שהרכיב יוכל לתקשר עם רכיבי הקצה במקביל זה לזה.

קיימים 3 חוצצים עבור הממשקים הבאים:

- ממשק משותף מול שלושת דוגמי המתח החיצוניים – כל דוגם מקבל כתובת שונה.
- ממשק משותף לרכיבי הבקרה של הכרטיס – ממשק משותף לדוגמי הסוללה MAX17205 וINA226 וחישון הטמפרטורה.
- ממשק I2C חיצוני.

על כל חוצץ קיים קבלי צמוד על מתחי ההזנה שתפקידם למנוע קפיצות מתח רגעים (טרנדינטים) ולהוות מקור אנרגיה זעיר לרכיב כאשר הוא דורש יותר זרם בזמן קצר.



איור 36. מעגל חוצץ תקשורת I2C

בمعالג יש גדי Pull Up בהתאם לנוטוני היצין בדף נתונים. נגדים אלה חיוונים שcn התקשרות היא זו-כוונית בקן ADA. כאשר צד אחד מ مصدر הוא תופס את הקן ודוחף דרכו זרם, בעוד שהצד הקולט במצב

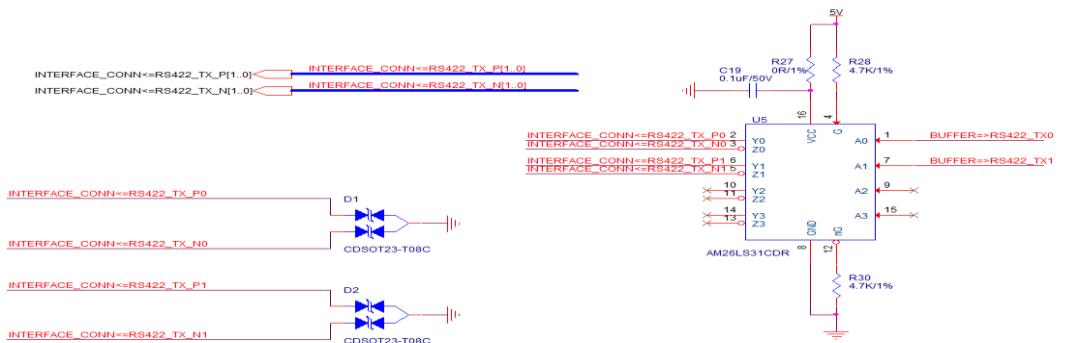
של עכבה גבוהה. כאשר אין שידור כלל משני הכוונים, שני הרכיבים במצב של עכבה גבוהה ואז נגדי Up Pull מאלצים את הרמה הלוגית של הקו להיות '1'.

5.1.2. מעגל תקשורת RS485 ו-RS422

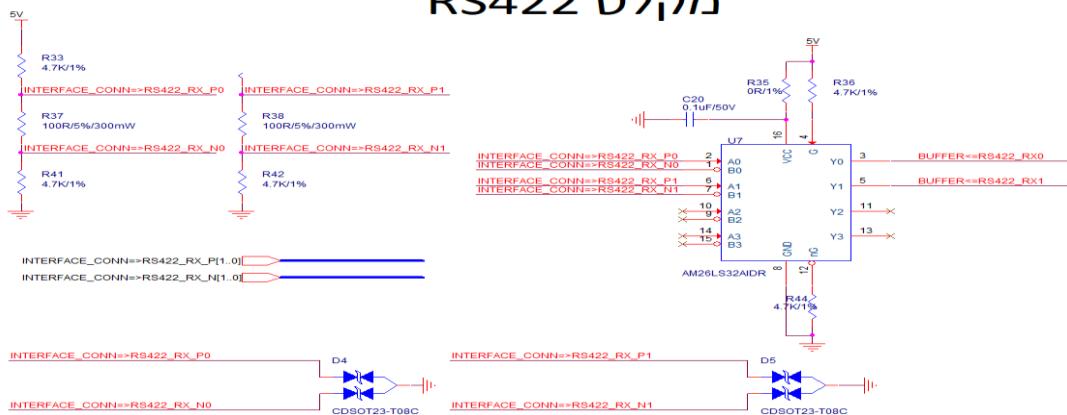
מעגל RS422

בمعالג ישנו שני רכיבי תקשורת RS422 המשמשים יחד כ مصدر ומקלט. הcrcטיס תומך ב 2 ערוצי תקשורת בלתי תלויים. בנוסף חיבורנו לרגלי GND של המקלט וה مصدر נגדי "pullup" ו "chon". משום בנסיבות ישנה עכבה גבוהה להגבילת הזרם שנכנס לרגליים. בمعالג ישנו נגדי טרמינציה של 100 א Ohm לפיה התקן של RS422 למניעת ריטוטים שמחוברים למקלט הדיפרנציאלי, בנוסף מחוברים ל مصدر והמקלט דיודות הגנה מסוג TVS מפני טרנזיונטים.

ה مصدر RS422



ה מקלט RS422



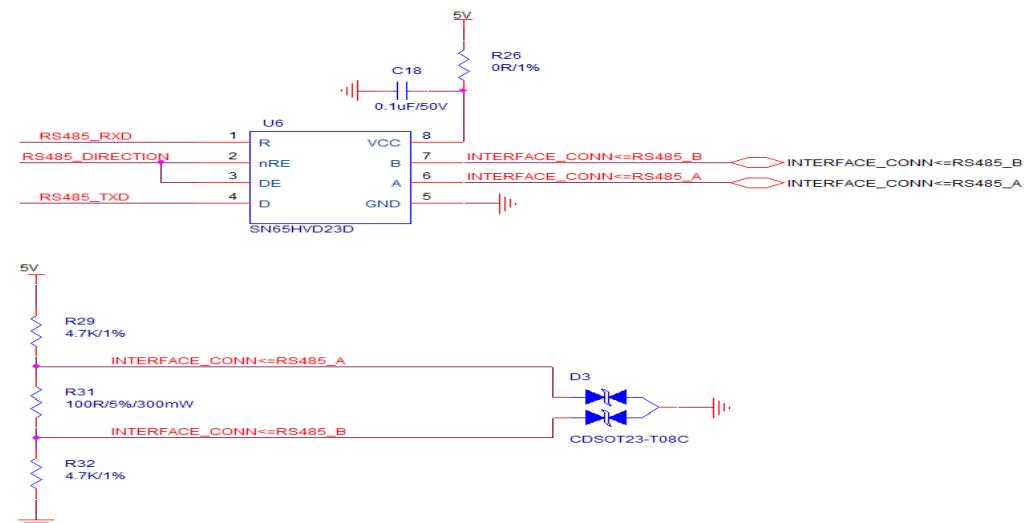
איור 37. מעגלי תקשורת RS422

מעגל RS485

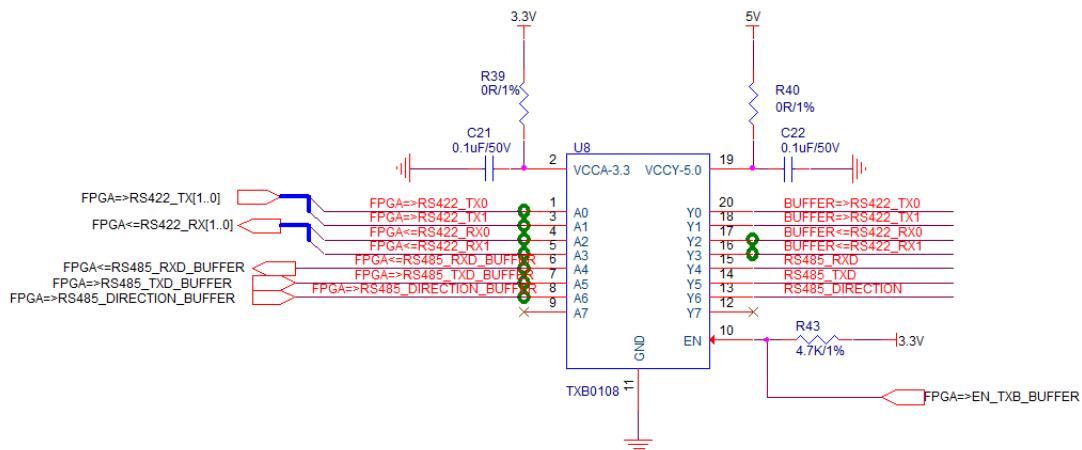
בمعالג ישנו רכיב תקשורת מסוג RS485, בתוך הרכיב יש مصدر ומקלט דיפרנציאלי הפעול בלוגיקה של 5V. בمعالג ישנו שני קווי תקשורת A ו B משומש תקשורת RS485 הינה half-duplex יכולת היא מסווגת לקלוט או לשדר מידע אבל לא בו זמן. חיבורנו את רגלי האפשרות של הרכיב מה שמאפשר את החיבור לבקר מושם שיש רק קו בקרה אחד, כאשר הקו בגובה '1' לוגי, הרכיב משתמש כ مصدر, ואשר

הוא בנמוך '0' לוגי הרכיב משמש כ مصدر. בمعالג ישנו נגד טרמינציה של 100 אום לפני התקן של RS485 למניעת ריטוטים שמחובר לרגלי התקשרות של הרכיב, ובנוסף מחובرات דיודות הגנה TVS מפנים טרנזיסטורים. הכניסות והיציאות של הרכיב התקשרות דרכם ממיר מתח דו-כיווני. אנו נדרשים בעברות דרך רכיבי המשדר או המקלט ומתחברות לרכיב המתוכנת דרך ממיר מתח דו-כיווני. אנו צריכים לעبور ללוגיקה של 3.3V כדי להיות מתואימים לרמת המתח של CPLD.

RS485



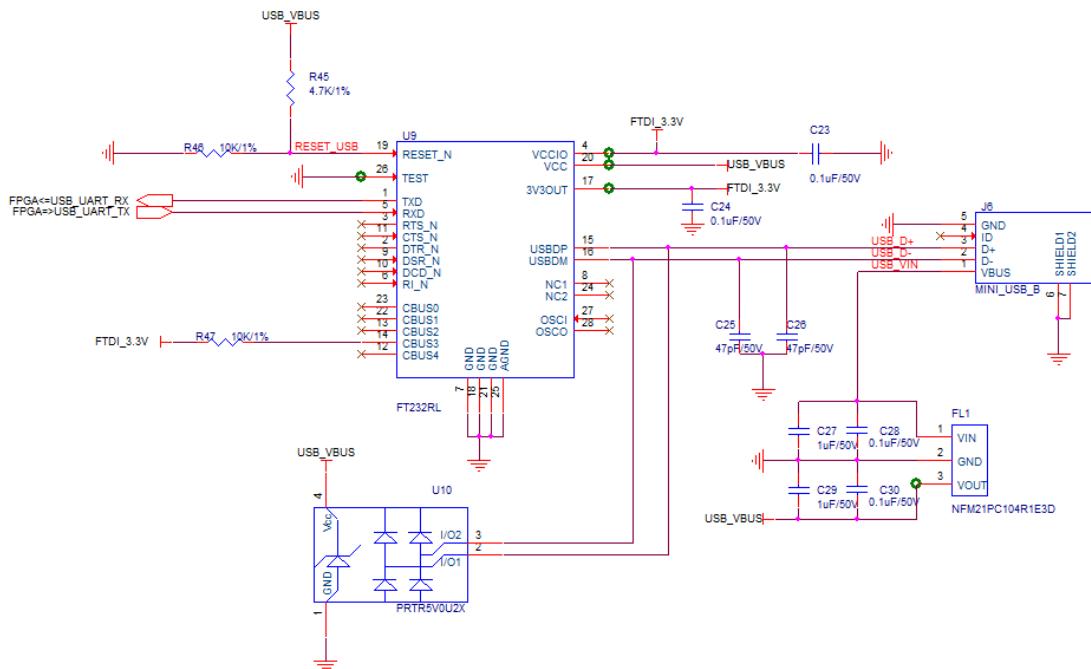
איור 38. מעגלי תקשורת RS485



אייר 39. מעגל ממישק בין רכיב מתוכנת לתקשורת RS485 ו-RS422

5.1.3. מעגל USB TO UART CONVERTER

בפרויקט זה יש צורך לתקשר עם הCARTEIS שפיתחנו באמצעות אפליקציית מחשב או Terminal. זה יהיה שימושי עבורנו כדי לבצע בדיקות ניפוי שגיאות לקוד, תקשורת ישירה על מקום"ש RF או התחמישקות לאפליקציית PC.



איור 40. מעגל USB TO UART CONVERTER FTDI

מעגל זה תפקידו להמיר מתקשורת USB לתקשורת UART, זה מתבצע באמצעות הרכיב FTDI 3.3V. הרכיב מחובר בתצורה של הפעלה על ידי ערז (Bus powered configuration). תצורה זו מאפשרת לרכיב למשוך את ההזנה שלו ישירות ממתח הVBUS של הUSB שmagיע שירות מהמחשב. תצורה זו מגבילה את צריכת הזרם ל-500mA או 100mA בהתאם לסוג החיבור במחשב.

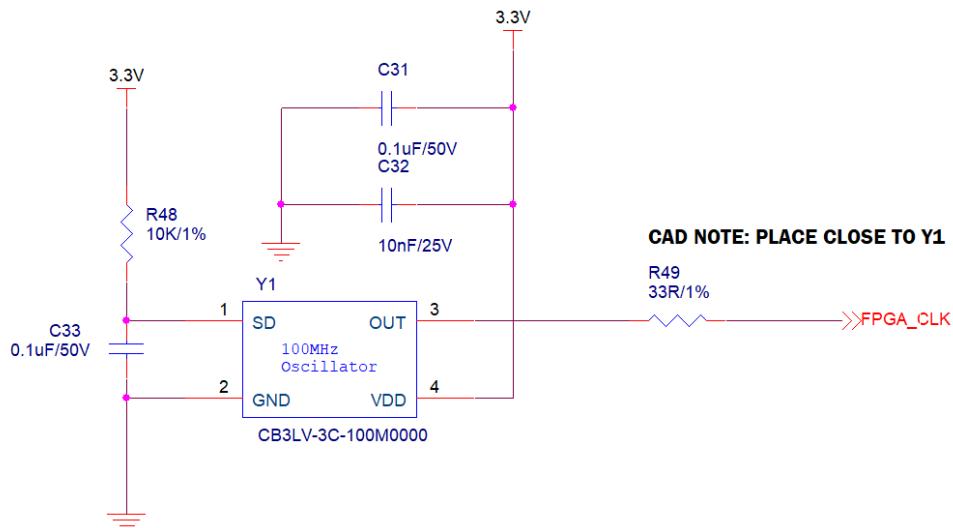
המעגל כולל קבלי סינון למתח 5V שmagיע מהVBUS. הקבלים בערכים שונים משומם בצורה זו מקבלים רוחב סרט של סינון רחב יותר. בנוסף יש במעגל מסנן טורי שמסנן הפרעות אלקטромגנטיות בתדרים גבוהים. כדי לוודא שהרכיב יופעל, קיימים מחלקי מתח על ידי נגדים ברגל הכניסה_N_RESET נסב. בנוסף מחובר במקביל מעגל הגנה מפני קפיצות מבוסס דיודות קטימה לקו המידע, ובנוסף יש קבלי סינון וצימוד למתח 3.3V שמצוי הרכיב FTDI 3.3V.

5.2. מעגל CPLD

5.2.1. CPLD CLOCK

רכיב CPLD>D רושק מדור תדר קבוע שישמש עבורו כמקור לשעון Clock. בחרנו להשתמש במתנדג אובייש של יציבות התדר המצוינת שלו. המعال עובד בלוגיקה של 3.3V, ברגל המוצא מחובר נגד להגברת הזרם, בנוסף משומש שעבור בקו זה שעון בתדר גבואה של 100MHz עד יכולם להיזכר תופעה לא רציה של 'צלצלים' במקומות אחרים בمعال והנגד זהה משך 'צלצלים' אלו. בנוסף, קיימים קיבול פרזיטי (לא רצוי) במוצא הגביש, הנגד משמש כמסנן ומדכא תדרים גבוהים.

כדי לוודא שהמתנדג יעבד בעת הדלקת המعال, קיימים קובל בין רגלי האפשר SD לאדמה. כאשר המתנדג יעלה ויתיצב, הקובל יטען לחלוין ויהווה נתק ואז הנגד ימושך את האפשר ל-3.3V.

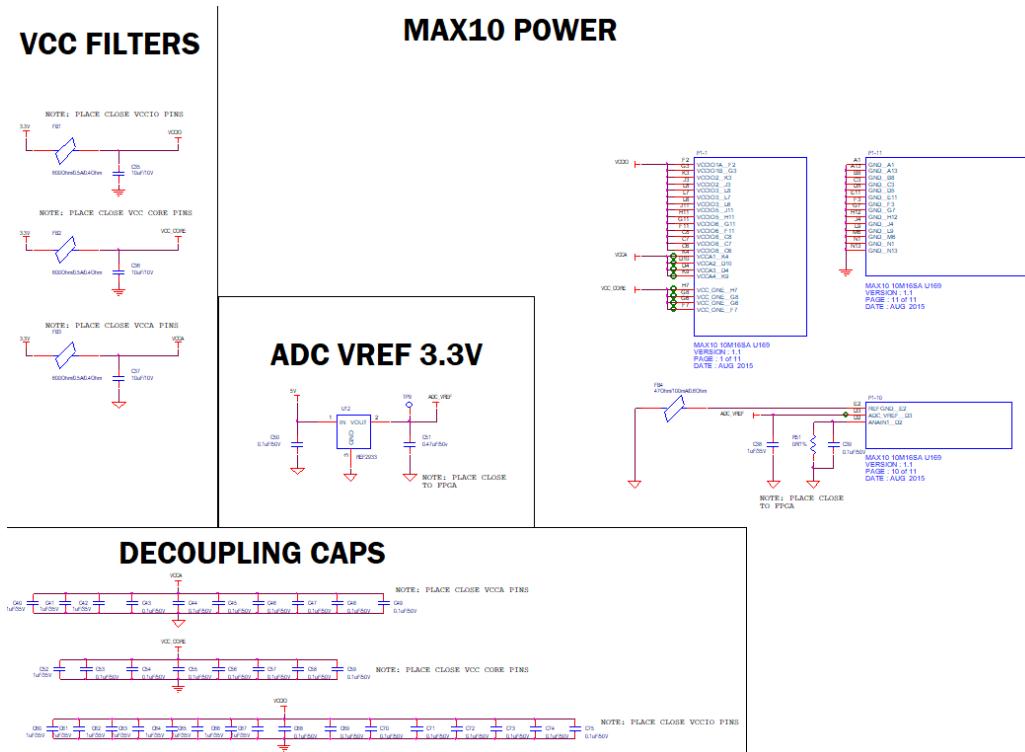


איור 41. מעגל CLOCK

CPLD POWER 5.2.2

מעגל זה הינו מעגל ההזנה של ה CPLD. לרכיב MAX10 שבחרנו יש 3 מעגלים פנימיים להזין:

- ◻ מתח O – מתח זה מספק הזנה למעגל ה O/I של הרכיב.
- ◻ מתח CORE – מתח זה מספק הזנה ללביה הלוגית של הרכיב.
- ◻ מתח VCCA – מתח זה מזין את המעגלים האנלוגיים הפנימייםADCים כגן.



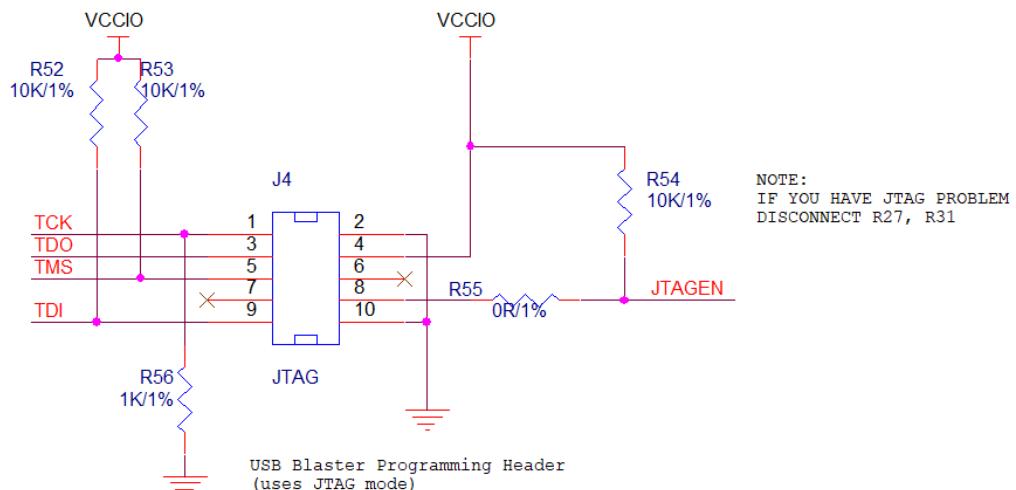
איור 42. מעגל POWER

משום שבחרנו ברכיב MAX10 בעל ספק הזנה יחיד, ניתן לספק לכל המעגלים האלה את אותו המתח של 3.3V.

עבור רכיב זה יש חשיבות גדולה לספק מתח שהינו יציב ונקי מרעשים והפרעות. לכן על כל מתח הזרנה קיים מעגל סינון המורכב מרכיבים פסיביים של Ferrite וקבל. ה- Ferrite מתנהג شمالית בצורה הדומה לסליל, התנגדותו בDC אפסית, את עכבותו בתדרים גבוהים איןסופית. כך שאם נחברו בטור למתח נקבל סינון טוב של הפרעות אלקטромגנטיות בתדרים גבוהים. הקבל פועל באופן הפור ולכן אנו מחברים אותו במקביל למתח.

בנוסף למעגל הסינון, קיים מערך של קבלי ציוד על כל מתח. יש שימוש במספר רב של קבלים במקביל בערכאים שונים כדי לקבל רוחב סרט של סינון גדול יותר, יחד עם קיבול כללי גדול יותר.

CPLD CONFIGURATION JTAG 5.2.3



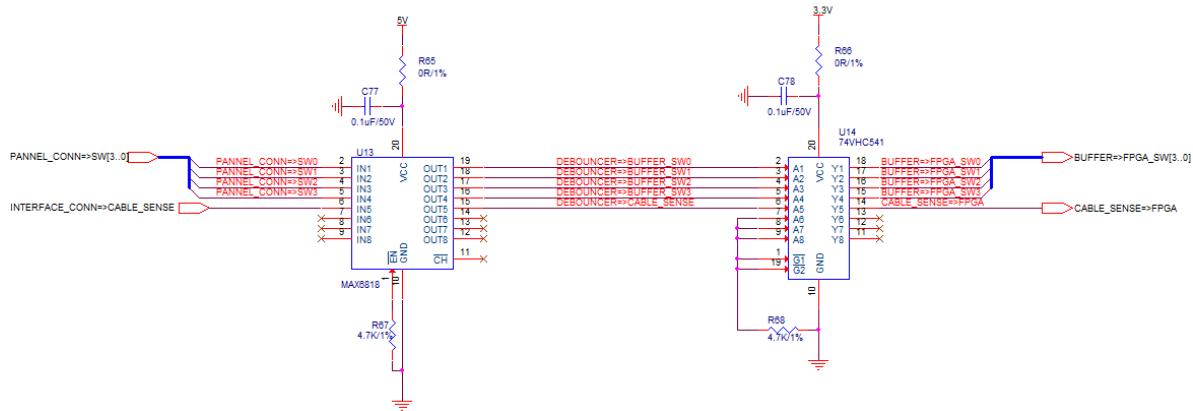
איור 43. מעגל CONFIGURATION JTAG

תהליך הzcירה של הרכיב המתוכנת מתבצע על ידי משק JTAG. המعال מתאר את החיבור של הzcורב דרך המחבר לרכיב CPLD. ברכיב יש רגליים אשר מיועדות במיוחד לJTAG. צורת החיבור וערכי הנגדים כולם מוגדרים על פי דפי היצן של הרכיב.

5.3. מעגלי ממתקים

DEBOUNCER 5.3.1

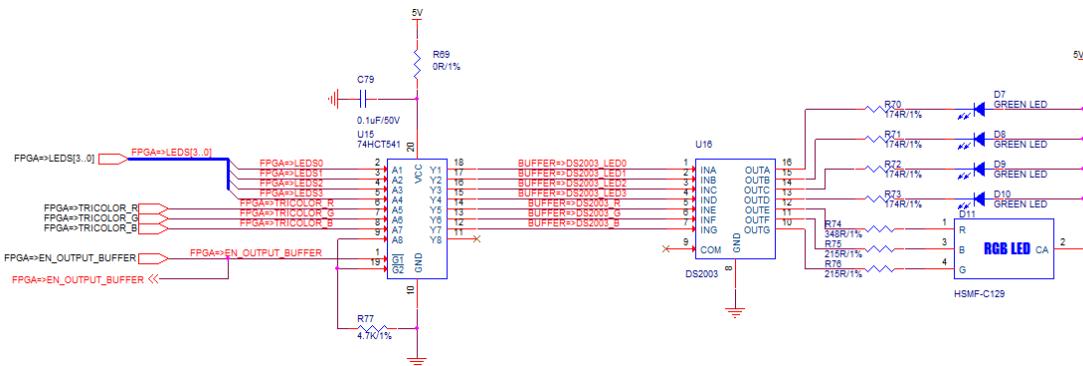
בפרויקט נעשה שימוש במתגים ומפסקים מכניים אשר יוגדרו על ידי המשמש. כדי לשכך את תופעת הריטוטים אנו משתמשים בمعالג Debouncer. בمعالג צפוני זה יש את הרכיב MAX6818 ש�품CIDO למגרר את תופעת הריטוטים של המפסקים בכניותותיו. מוצאי הרכיב עובד בלוגיקה של 7V, כך שעל מנת להתאים את רמות המתח לCPLD העובד ב3.3V נעשה שימוש בחוץ 74VHC541. לשני הרכיבים מחוברים קבלי ציוד שערכיהם נקבעו לפי דפי הנתונים.



איור 44. מעגל DEBOUNCER

5.3.2. מעגל LEDs

בפרויקט נעשה שימוש בדiodות פולוטות אוֹר LEDs כדי לספק חיווי למשתמש. בمعالג זה ישנו חוץן 74HCT541 לכניות הרכיב מחוברים מוצאי ה CPLD, משומם שمعالג זה כולל ממתק של דiodות פולוטות אוֹר ורוצים לעבוד איתם בלוגיקה של 5V. הזרם שהחוצה מספק אינו מספיק גבוה כדי להזין לדים, لكن נשתמש בمعالג DS2003, שמסוגל להגבר את הזרם בכניסה לרמה המספקת.



איור 45. מעגל LEDs

חישוב הנגדים שבטור לדiodות פולוטות אוֹר מתבצע באמצעות הנוסחה הבאה המבוססת על חוק א ohm. הפרש הפוטנציאלים על הנגד חלק זרם הרצוי דרך LED.

$$(1) \quad R = \frac{V_{CC} - V_{LED}}{I_{LED}}$$

ערך הנגד שבטור לארבע הדiodות פולוטות אוֹר הירוקות נקבע על ידי נוסחה. כאשר הנתונים על פי היצwan של הילך הינט:

$$V_{LED} = 2.2V ; I_{LED} = 16mA$$

$$R = \frac{V_{CC} - V_{LED}}{I_{LED}} = \frac{5 - 2.2}{16 \cdot 10^{-3}} = 175\Omega$$

נבחר את נגד SMD הקרוב ביותר לערך זה, $R=174$

:RGB LED עברו

$$V_{LED}^{RED} = 1.6V; I_{LED}^{RED} = 10mA$$

$$V_{LED}^{GREEN} = 2.9V; I_{LED}^{GREEN} = 10mA$$

$$V_{LED}^{BLUE} = 2.9V; I_{LED}^{BLUE} = 10mA$$

$$R_{RED} = \frac{V_{CC} - V_{LED}}{I_{LED}} = \frac{5 - 1.6}{10 \cdot 10^{-3}} = 340\Omega$$

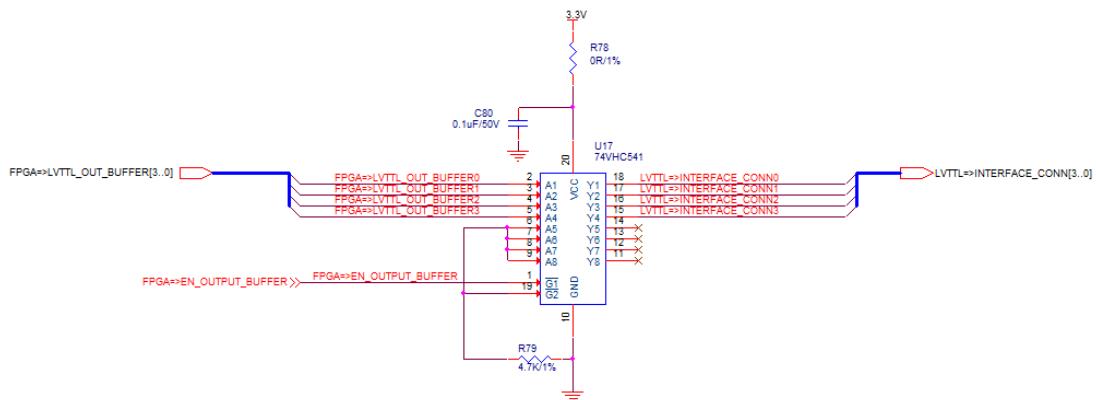
$$R_{GREEN} = R_{BLUE} = \frac{V_{CC} - V_{LED}}{I_{LED}} = \frac{5 - 2.9}{10 \cdot 10^{-3}} = 210\Omega$$

נבחר את ערכי הנגדים לפי ערכיהם סטנדרטיים של נגד **SMD** כאשר נעגל לפני מעלה.

$$R_{RED} = 348\Omega$$

$$R_{GREEN} = R_{BLUE} = 215\Omega$$

5.3.3. מעגל LVTTL OUT

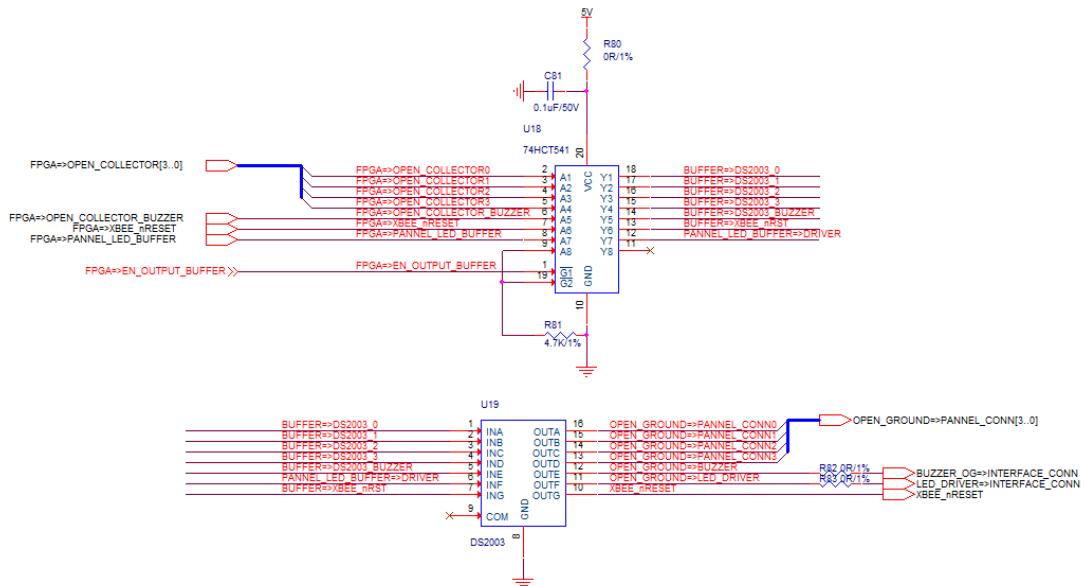


איור 46. מעגל LVTTL OUT

באמצעות מעגל זה נוכל להתmeshק עם רכיבים חיצוניים אשר עובדים בלוגיקה של LVTTL בرمת מתח של 3.3V. בمعالג נעשה שימוש ב-74VHT541 המשמש כחוצץ. הצורך בمعالג זה הוא משומש שכאשר נרצה לחבר רכיב חיצוני ל-CPLD לא נרצה לחבר אותו直接 בצוורה ישירה משום שם תיווצר תקללה אז ה-CPLD לא יפגע, אלא החוצץ ישתמש כהגנה ל-CPLD.

לרכיב מחוברים קובל צימוד ונגד "downpull" שמחובר לכניות שלא בשימוש, כך לקבוע את ערכי הكنيסה, ולא יכנסו רעשיים לא רצויים לכניות.

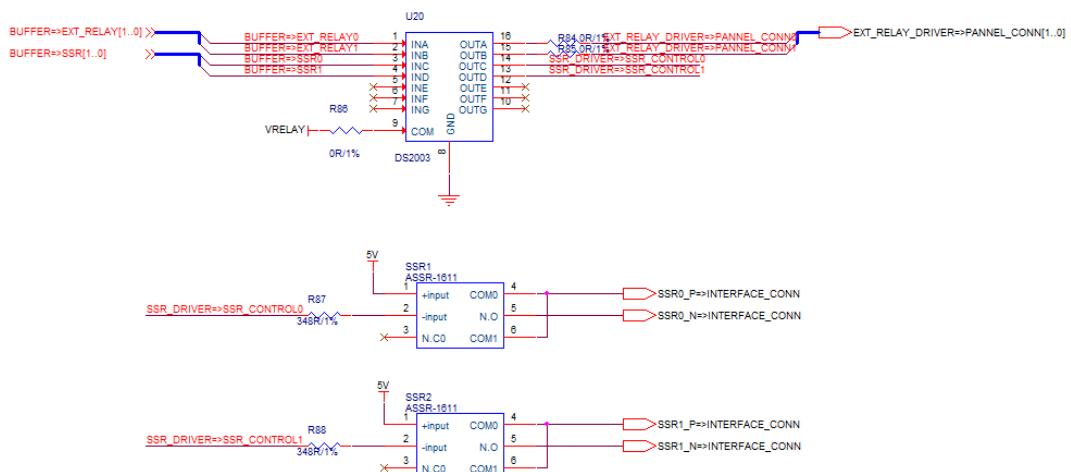
OPEN GROUND. מנגנון 5.3.4



איור 47. מנגנון OPEN GROUND

מנגנון זה נועד למיתוג אדמה, תחילתו יש חוץן 74HCT541 שתפקידו לעبور מלוגיקה של 3.3V של CPLD לרמה של 5V. כאן נעשה שימוש ברכיב DS2003 בתור רכיב Open Collector. יציאות Open Collector אלו מחוברות אל מחבר שנמצא על הkartיס והם משמשות כיציאות אפשרי לרכיבים קצה.

RELAYS. מנגנון 5.3.5



איור 48. מנגנון RELAYS

תפקיד מנגנון זה הינו להוות מנגנון מבוא (dry contact) לממסרים חיוניים וכן יכול לשולוט על 2 ממיסרי SSR שנמצאים על הkartis.

כדי לדוחוף מסר חיוני ניעזר ברכיב DS2003 בתור Open-Collector. נוכל לחבר את המתח החיצוני שמצוין את הממסר לכניית COM של הרכיב ובכך נוכל להשתמש בדiodת השיכוך הפנימית של הרכיב. כדי לדוחוף את מסרssi ה-SSR נשימוש גם כן ברכיב DS2003 בתור Open-Collector. כאשר הכניטה של הרכיב היא רמה נמוכה, הטרנזיסטורים הפנימיים ברכיב יכנסו לקיטוען וינתקו את המעהל המיתוג של המסר האופטי. במצב זה לא יזרום זרם דרך הדiodה הפנימית במסר ומגעו במסר ישארו מנותקים. במצב שכנית COM רכיב-ה-DS2003 תהיה ברמה גבוהה, הטרנזיסטורים יכנסו להולכה וימתגו מתח הקרוב לאדמה. במצב זהה, יזרום זרם במעהל המבוא של המסר והדiodה תפעיל את המגעים של המסר.

אנו נדרש לחשב את ערך הנגד שיש לחבר בטור למבוא המסר כדי שהזרם יהיה בטוח הפעלת הרכיב לפי היצרן. היצרן ממליץ שהזרם דרך מבוא המסר יהיה בין 5mA ל-20mA כאשר מפל המתח על הדiodה הוא בערך 1.5V. כדי לעבור בנקודות עבודה טובות נבחר:

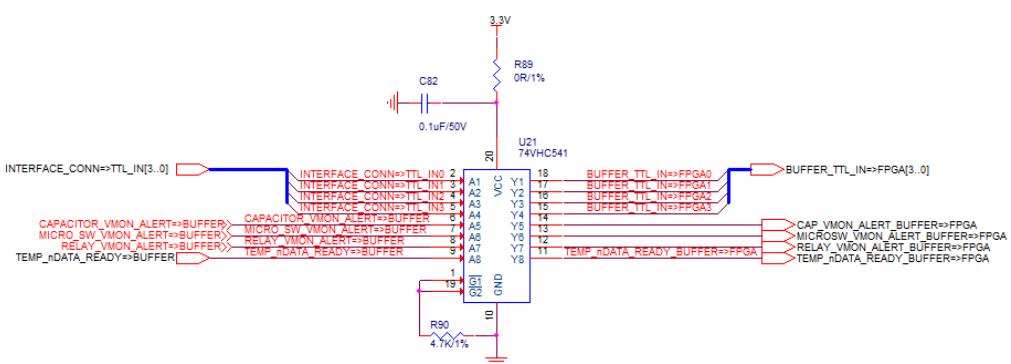
$$V_F = 1.5V; I_F = 10mA$$

$$R = \frac{V_{CC} - V_F}{I_F} = \frac{5 - 1.5}{10 \cdot 10^{-3}} = 350\Omega$$

נבחר את ערך הנגד להיות ערך נגד SMD הקרוב ביותר R=348

5.3.6. מעגל TTL INPUTS

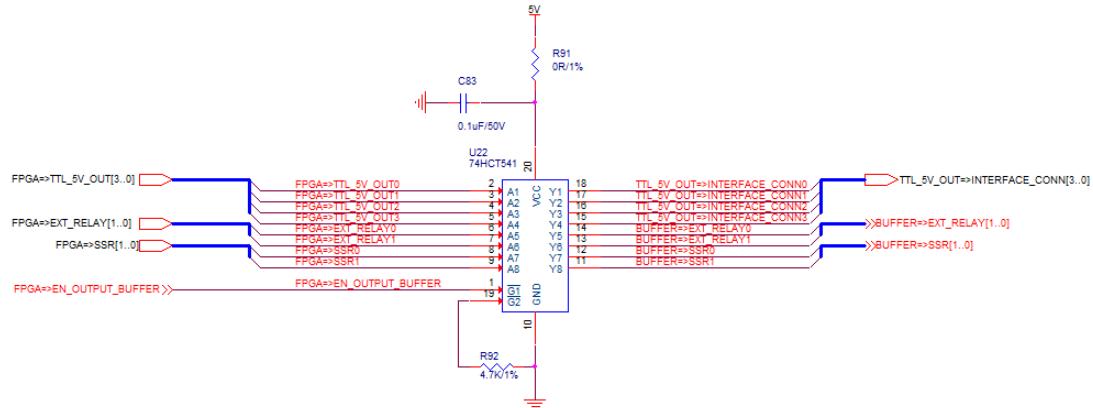
תפקיד מעגל זה הוא להמיר כניסה ממשי TTL חיוני למוגעים בלוגיקה של 5V לוגיקה שרכיב CPLD יכול לקרוא (3.3V). לשם כך ניעזר בחוצץ 74VHC541 להמרת המתח. כניסה האפשר בNetworking מחוברות דרך נגד Pull Down לאדמה כדי לאפשר תמייד את הרכיב. על מקור ההזנה של הרכיב מחובר קבל ציוד כפי שדורש היצרן.



איור 49. מעגל TTL INPUTS

5.3.7. מעגל TTL OUTPUTS

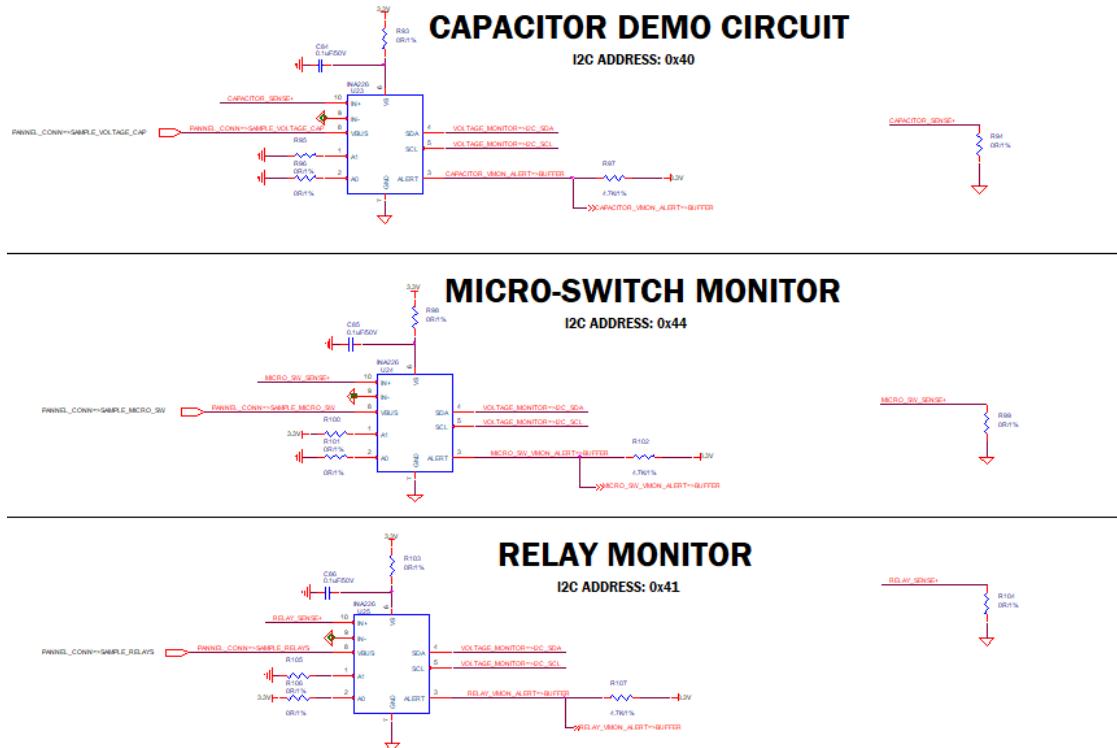
תפקיד מעגל זה הוא להמיר את מוצאי ה-PLD שעובדים בלוגיקה של 5V ל-TTL סטנדרטי של .5V



איור 50. מעגל TTL OUTPUTS.

מעגל זה ישמש כדריבר למנוע Servo וلمעגל הדרייבר של הממסרים. את ההמרה נבצע על ידי החוצץ 74HCT541. הדק האפשר של הרכיב מחוברת ל-CPLD כדי שייהי אפשר לשנות על המוצאים. תוכנה זו חושבה שכן לא נרצה להפעיל את הממסרים ומנוע servo כל הזמן. לאחריהם צרכנים גדולים של זרם יחסית, ביטול האפשר של הרכיב תגרום לעכבה גבוהה בmozac מה שיגרום לנתק במעגל. כמו כן, פעילות הרכיב בנמוך חשובה משום שכשה CPLD נדלק, בתהילן הצריבה מוצאי כל ה-O/I עליים ל'1' מה שעלול לגרום לתופעות לא רצויות. פעילות בנמוך תבטיח שלא יהיה אפשר בעט ההדלקה.

5.3.8. מעגל Voltage Monitor



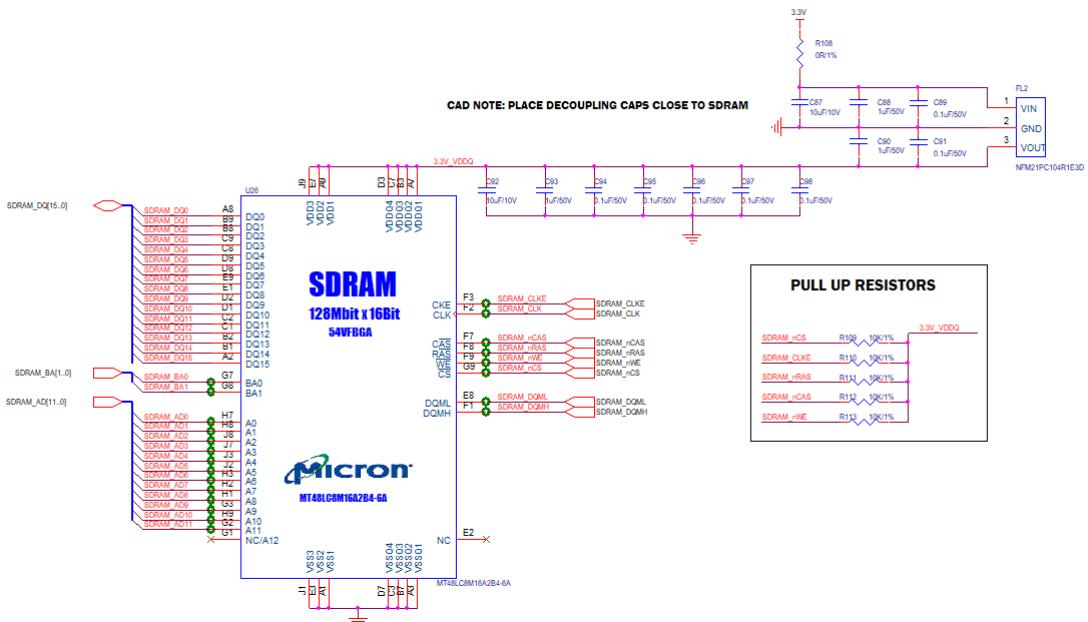
איור 51. מעגל Voltage Monitor.

תפקיד מעגל זה הינו לדגום 3 מתחים אנלוגיים שמקורם ממוקור חיצוני. הדגימה והחיווי מתבצעים על ידי הרכיב INA226, לרכיב יש אפשרות גם למדוד את הזרם אך אין לנו שימוש באופציה זו בمعالג שלוו שכן הדק מדידת הזרם מחוברות דרך נגד 0 אוזם לאדמה למניעת רעשים ברכיב.

הנגדים בכינסה A1 של הרכיב קובעים את הכתובות של התקשרות I2C של הרכיב, בمعالג ישנו נגדי "pullup" על רגלי Alert של הרכיב. זאת משומש שמדובר במשק Open Darin ו כדי לקבועו 2 רמות מתח הנגד זהה דרוש כדי למשוך את היציאה למתח כאשר ההדק Alert בעכבה גבוהה.

5.4. מעגל זיכרון

5.4.1. מעגל SDRAM



איור 52. מעגל SDRAM

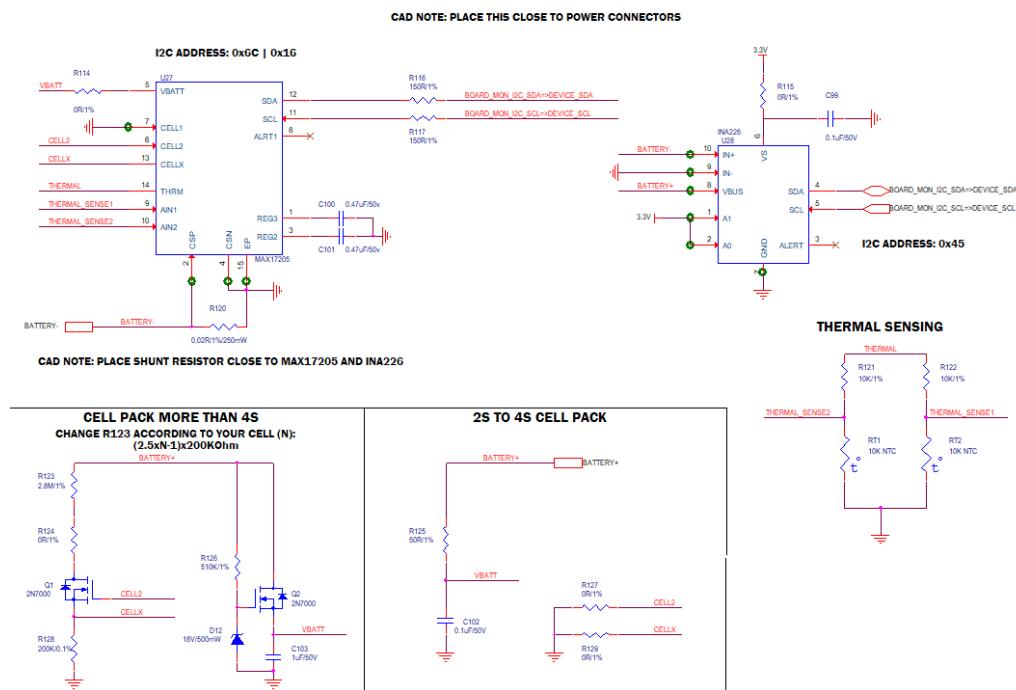
בمعالג זה אנו מחברים את רכיב הזיכרון SDRAM לשעובי בלוגיקה של 3.3V, בمعالג יש קבלי ציוד וקבלי סינון למתח 3.3V, צריך לחבר את הקבלי הצימוד קרוב פיזית ל SDRAM, כדי שהסינון יהיה אפקטיבי. בנוסף מחברים נגד "PULLUP" בשבייל להחזק את הקווים ב '1' לוגי במצב שהbakr לא מבצע תקשורת מול הזיכרון.

5.5. מעגלי בקרות וনיטור

5.5.1. מעגל Battery Power Gauge

תפקיד המعالג הוא לדגום את מצבה של הבטارية. פועלה זו מתבצעת באמצעות דגם הבטارية MAX17205. המعالג כולל שני צורות חיבור, ראשונה של בטارية עם בין 2 ל 4 תאים והשנייה לבטارية עם יותר מ 4 תאים. ברכיב זה ישנה גם אפשרות למדידת זרם הבטارية, כדי למדוד זרם ישנו צורך בנגד עם ערך קטן, נגד זה נקרא נגד שאנט Shunt. ערכו קטן מאוד כדי שלא ייפול עליו

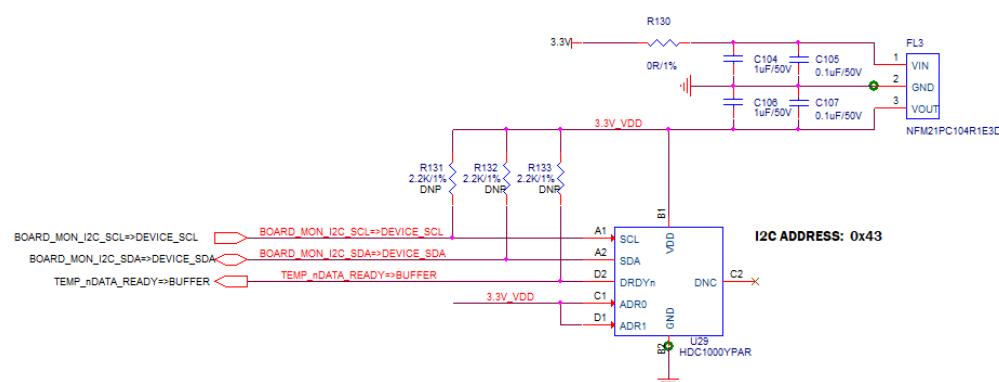
מפל, דבר אשר יבוא על חשבון המתוח שיועבר לעומס של המעגל. הרכיב מתואם לדוגם מתחים צעירים ברגישות מאד גבוהה, لكن כל רעש וטיה בטמפרטורה יגרור שגיאות בקריאה המדידה. יש מקום את הנגד זהה קרוב לדוגם הבטריה ודוגם המתוח כדי לקזז כמה שאפשר את הפרעות הסביבה.



איור 53. מעגל Battery Power Gauge

ערך הנגד R123 משתנה בהתאם למספר התאים של הבטריה שאותה מודדים על פי הנוסחה: $R123 = 2.5 \times N - 1 \times 200 \text{ k}\Omega$ (2.5×N-1×200KΩ). כאשר N הוא מספר התאים של הבטריה. ישנו גם מעגל לחוש טמפרטורה בمعالג כדי לקזז את השגיאות שנובעות משינוי הטמפרטורה. בנוסף בمعالג ישנו דוגם ומתחה מתח INA226 שתפקידו גם לדוגם את מתח הבטריה, אך לצורך הפעול שלו יותר קלה מאשר ה-MAX17205, הוא משמש כיתירות ל-MAX17205.

5.5.2. מעגל Temperature Sensor



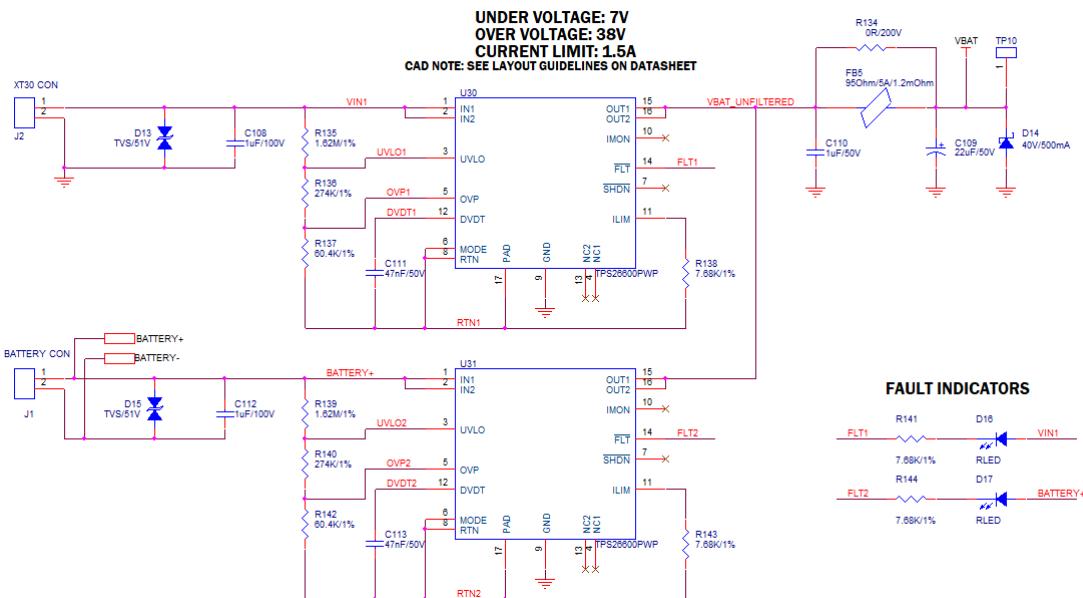
איור 54. מעגל Temperature Sensor

תפקיד מעגל זה הינו למדוד טמפרטורה, משום שהערכיים שהוא מודד צריכים להיות מאוד מדויקים יש בمعالג קבלי סינון למתח הזנה.

כตอบת I2C הינה 0x43 והוא נקבעת על ידי חיבור 2 הדקי ADR0,ADR1 למתוך ההזנה של הרכיב. יש למקם את החישון רחוק מקומות חמים על הcrcטיטס.

5.6. מעגל אספקה

5.6.1 Dual Power Supply



איור 55. מעגל אספקה

תפקיד מעגל זה הינו לבחור את מקור ההזנה של המمعالג ולודוא שהוא אכן חריג מערכי קיזון. מעגל זה מושך ארכיטקטורה של Dual Power Supply לפי גישת ORing. כאן אנו משתמשים בשני רכיבי TPS26600 אשר מבצעים את הפעולות הבאות:

1. חיבור של 2 הרכיבים במקביל מאפשר לבצע החלפה חמה בין שני המקורות כאשר

אחד המקורות יורד מתחת למתח המינימלי.

$$V_{(OVPR)} = \frac{R_3}{R_1 + R_2 + R_3} \times V_{(OV)}$$

$$V_{(UVLOR)} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} \times V_{(UV)}$$

2. הגבלת מתח יתר:

3. הגבלת מתח נמוך:

על ידי הנוסחאות לעיל מוצאים את ערכי הנגדים R_2 ו- R_3 , כאשר בחרנו ערך של $\Omega 61K$ ל- R_1

וערכי $V_{(OVPR)}$ ו- $V_{(UVLOR)}$ שווים ל $1.19V$

הגבלת הזרם המקסימלי בעומס:

בנוסף ניתן להגיד את קצב העלייה/הירידה $R_{(ILIM)} = \frac{12}{|I_{(ILIM)}} = 12k\Omega$ המירבי של המתח על ידי הערך

של הקבל $C_{(dvdt)}$

$$C_{(dvdt)} = \frac{t_{(dvdt)}}{8 \times 10^3 \times V_{(IN)}}$$

ערך מחושב על פי הנוסחה

סימני הנגדים $R_{139}, R_{140}, R_{142}, R_{143}$ שוויים לסימני הנגדים (W_{III}) $R1, R2, R3, R_{(IV)}$ בהתאם,

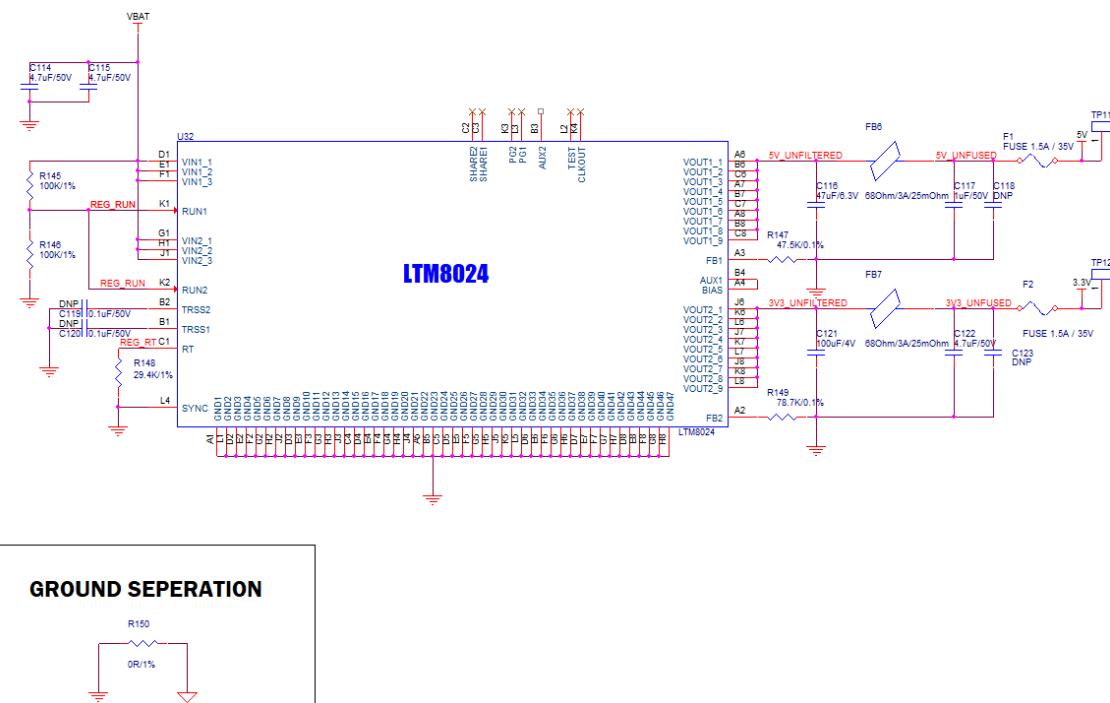
וסימן הקובל C_{113} מותאים לסימן הקובל $C_{(dvdt)}$.

בכינסה למעגל יש דיודות TVS שתפקידן להגן מפני קפיצות מתח גבהות וקצרות שיכולות להופיע בעת חיבור המugen כמו מיתוג עומסם השרתיים ופරיקה אלקטראוטית (ESD). בנוסף יש בכינסה קובל סיכון שערכו נקבע על פי דפי הנתונים, הקובל יכול לעמוד במתוח של עד $100V$ משומן לעילו לעמוד בקפיצות מתח שיכולות להגיע עד פי שניים מהמתוח המקסימלי במעגל (כלל אצבע).

בموقع המugen ישנו מעגל סיכון למתוח שכול קבלים במקביל בטור לדיכוי הפרעות בתדרים גבוהים. בנוסף יש בموقع המugen דיוד שוטקי הפוכה שמקצרת לאדמה קפיצות מתח שליליות.

בנוסף יש מעגלי דיודות פולטות אוור לחיפוי שגיאות, כמו מתח גובה מהמOTOR, נמוך מהמOTOR, קטימה של זרם, או תקללה, ערך הנגד במחובר בטור לצד ציריך להיות גדול יחסית משומן שהוא ציריך להתאים לתחום מתחי כניסה רחב.

5.6.2. מעגל Regulator



איור 55. מעגל Regulator

תפקיד המעגל זה הוא לייצר את כל מתחי ההזנה הנדרשים לפעולת הרכיבים במעגל. כלל הרכיבים במעגל צורכים את מתחי ההזנה: $5V$, $3.3V$.

מעגל זה נעזר בממיר מתח ממוגן מסווג Step Down, ברגלי הכניסה של הממיר ישם קובל ציוד שערכם נקבע על פי הדפי נתונים של הרכיב.

ברגלי ה RUN של הרכיב יש מחלוקת מתח בצד שיבוטה שהרכיב תמיד יעבד, משומן שברגלי ה RUN יהיה תמיד חצי ממתח הכניסה.

ערך הנגדי במחובר לרגל R_t קובע את תדרות המיתוג הערך שנבחר בمعالג הוא $\Omega_t = 29.4k\Omega$ שקובע תדר מיתוג של $1.2MHz$.

ערך הנגדים שמחוברים לרגלי FB_1 ו- FB_2 קובעים את מתח' המוצא של המمعالג ב- V_{out1} ו- V_{out2} בהתאם. בمعالג שנו נבחרו נגדים בערכים של $\Omega = 47.5k\Omega$ ו- $\Omega = 78.7k\Omega$ שקובעים מתח' מיתוג של $7V$ ו- $3.3V$ בהתאם.

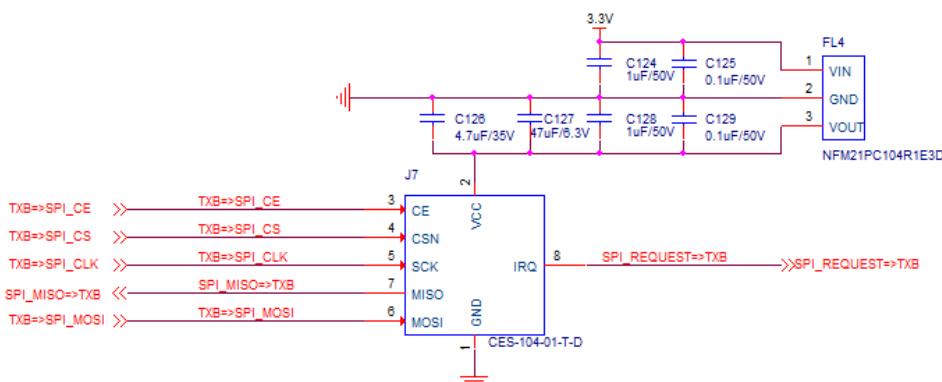
במוצא המمعالג ישנו מעגל סינון למתח ש כולל קבלים בערכים שקבע היצרן, Ferrite לשינוי הפרעות אלקטромגנטיות ונתיקים למניעת צריכת זרם חריגת של העומס, דבר המעיד על קיצרים בדרך כלל.

5.6.3. מעגל הפרדת אדמה

בכרטיס קיימים מעגליים אנלוגיים שדרושים מתחת הזנה יותר נקי מרעשיהם. משום שיש רכיבים דיגיטליים שיוצרים רעש מיתוג באדמה, נדרש להפריד את האדמה האנלוגית והדיגיטלית כדי שהרעשים לא יפריעו למעגליים האנלוגיים. לכן, שומרים על הפרדת האדמות בכל הcrcטיס אך מקיצרים בין האדמה האנלוגית לדיגיטלית בנקודה אחת בלבד כשבניהם נגד של 0 אום. צורת החיבור הזאת מונעת הפרשי פוטנציאלים בין קווי האדמה ומפחיתה את השפעות הרעשיות בין האדמות.

5.7. מעגל משדר – מקלט RF

5.7.1. מעגל ממתק 2G4M27D

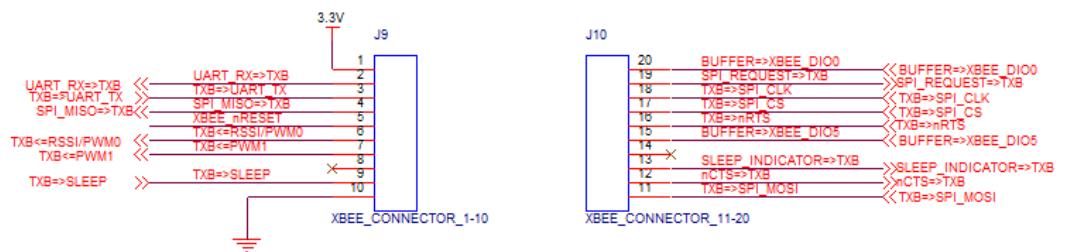


איור 5.7. מעגל 2G4M27D

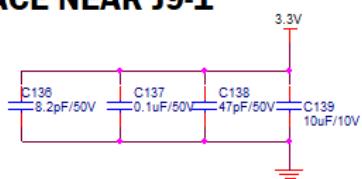
תפקיד מעגל זה לחבר את הממשקים הדרושים לתושבת עלייה יחוּבר מודול המקלט משדר 2G4M27D. הרכיב עובד בלוגיקה של 7V, כך שעלינו לחבר את מזקפיו של הרכיב לחוץ זו כיווני בשבייל להган על ה CPLD. משום שרגלי ה IO הינם דו כיווניים משתמשים בחוזץ ההו כיווני 8, TXB0108, בנוסף החוזץ מגביר את הזרם משום CPLD לא יכול לספק את הזרם הנדרש.

XBee Pro. 5.7.2. מעגל XBee Pro

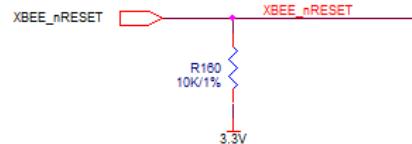
תפקיד מעגל זה לחבר את הממשקים הדרושים לתושבת עלייה יחוּבר מודול המקלט משדר XBee Pro, כאן התושבת מורכבת משני מחברים של 10 רגליים כל אחד.



DECOUPLING CAPS PLACE NEAR J9-1



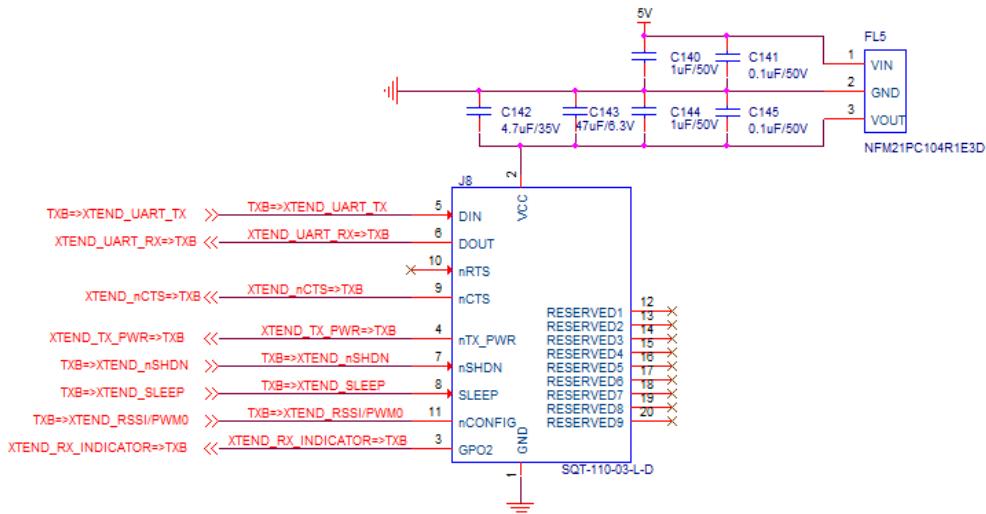
RESET PULLUP



איור 58. מעגל XBee Pro.

הרכיב עובד בלוגיקה של 3.3V, כך שעליינו לחבר את מוצאיו של הרכיב לחיצן דו כיווני בשביל להגן על ה-CPLD. משומם שרגלי ה-IO הינטדו כיווניים משתמשים בחיצן הדו כיווני TXB0108, בנוסף החיצן מגביר את הזרם משומם שה-XTEND לא יכול לספק את הזרם הנדרש. בנוסף לרגל האיפוס של הרכיב מחובר נגד "pullup" משומם שרגל האיפוס עובדת בלוגיקה הפוכה.

XTEND 5.7.3. מעגל



איור 59. מעגל XTEND

תפקיד מעגל זה לחבר את הממשקים הדורשים לתושבת עלייה יחבר מודול המקלט משדר dTend.x. הרכיב עובד בלוגיקה של 7V, כך שעליינו לחבר את מוצאיו של הרכיב לחיצן דו כיווני בשביל להתאים

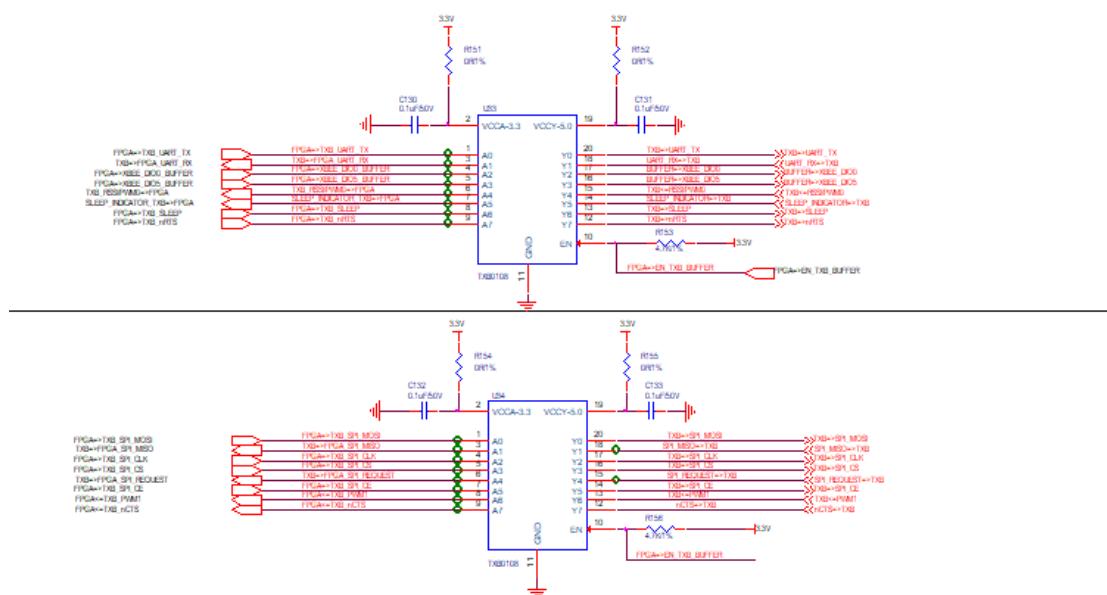
את רמות המתח ל CPLD. משום שרגלי ה IO הינם דו כיווניים משתמשים בחוץ הדו כיווני 0801080TXB010, בנויסף החוץ מגביר את הזרם משום שה-CPLD לא יכול לספק את הזרם הנדרש.

Buffers מגל .5.7.4

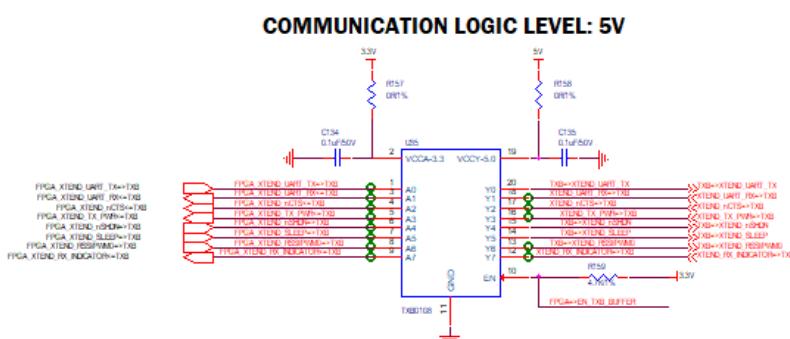
מעגל זה הינו מעגל שכולל שלושה חוצצים דו ציוונים לשלוות מקום"ש RF, שני החוצצים הראשונים עובדים בלוגיקה של 7V ומיועדים למקם"ש ה XBee Pro | 2G4M27D, לעומת זאת החוץ השלישי עובד בלוגיקה של 5V מיועד למיקם"ש ה XTEND.

כל רגלי האפשר מחוברות להדק משותף דרך רכיב מהperf ומשם ל-CPLD. נדרש להשתמש במאפף שכך האפשר עבור רכיבים אלו מתבצע בرمאה לוגית גבוהה וכן רוצים למנוע מהרכיב להידליק כאשר מחתמי הבזוזה של D CPI וולטים

BIDIRECTIONAL BUFFER FOR RF MODULES COMMUNICATION LOGIC EVAL-300V



BIDIRECTIONAL BUFFER FOR XTEND



Buffers מugal 60.

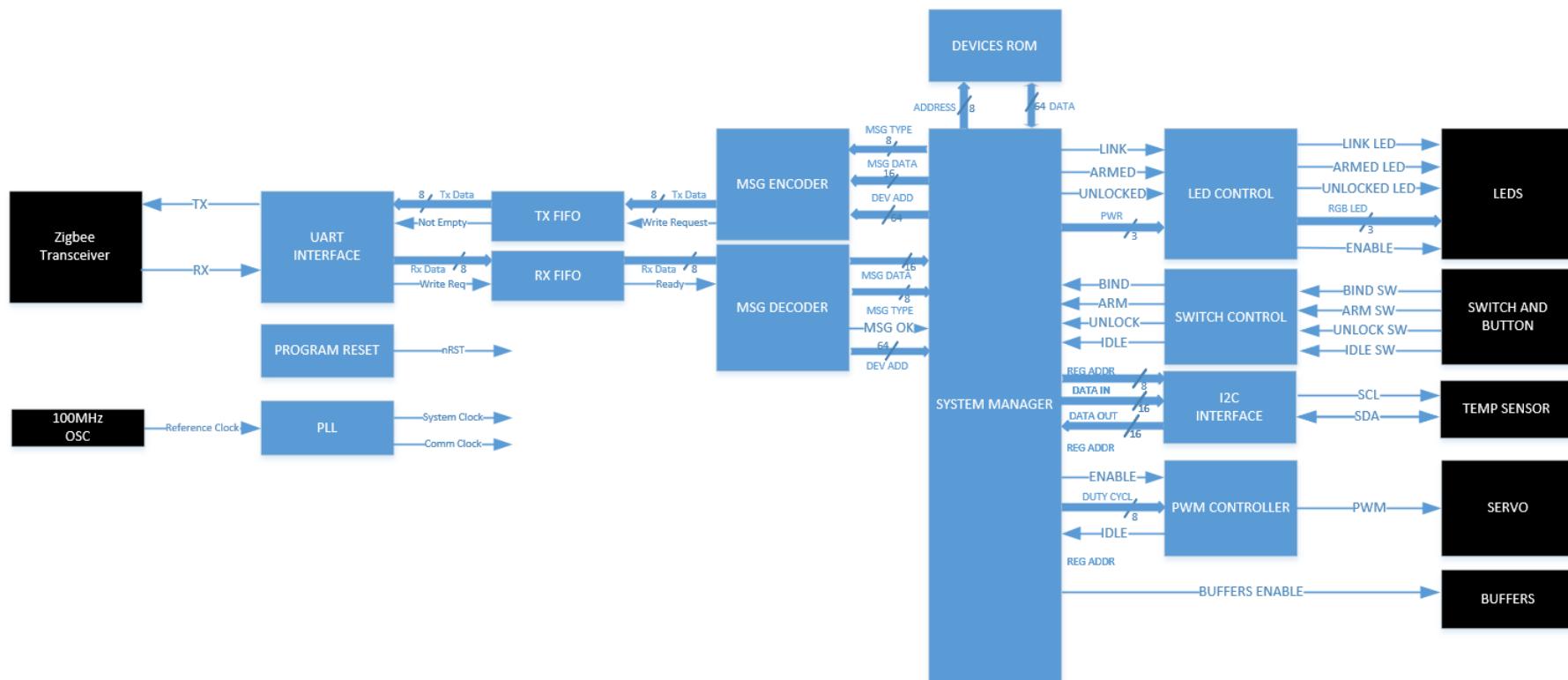
6. תוכנה

6.1. מבוא

בפרק זה תוצג אופן פעולה המערכת מבחינית התוכנה. משום שבפרויקט קיימים שני מצלולים Master ו-Slave, על כל אחד מהם תיצירב תוכנה שונה. פיתוח התוכנה לפחות מבחןת התקשרות עם מקם"ש הרדיו דרך ערוץ UART הוא זהה. ההבדל העיקרי הוא בכך המבצע את השיליטה והבקשה. יש לחדר כי רק מצלול MASTER יוזם את התקשרות.

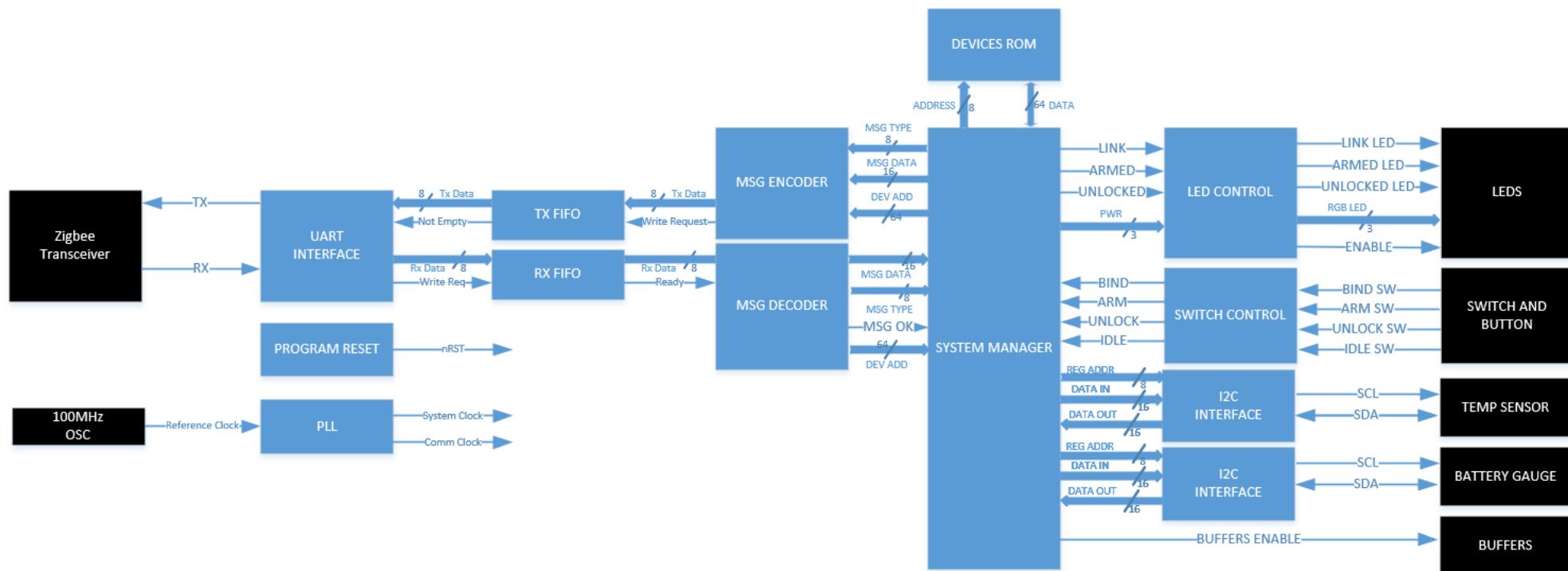
התוכנה מומשא באמצעות קוד בשפת VHDL בתוכנת Quartus המתאימה לרכיבים מתוכננים משפחת MAX10 מתוצרת INTEL. תרשימי המלבנים של הקוד מופיעים בעמוד הבא

6.2. תרשימים מבנים יחידת Slave



איור 61. תרשימים מבנים של הקוד - יחידת Slave

6.3. תרשימים מלבנים יחידת MASTER



איור 62. תרשימים מלבנים של הקוד – יחידת MASTER

6.4. פירוט על כל בלוק בקוד

UART INTERFACE . 6.4.1

בלוק זה מימוש את פרוטוקול התקשרות UART על ידי שני בלוקים פנימיים לשידור וקליטה, הблокים נבנו בצורה גנרטית מה שמאפשר שידור וקליטה בקצבים שונים ורוחב מילה בגודלים שונים.

בלוק XT - הבלוק מקבל מילה בגודל גנרי ומוציא אותה בצורה סריאלית, במהלך השידור סיבית הזוגות מחושבת על ידי ביצוע פעולה XOR בין הסיבית המשודרת לסיבית ששודרה, כך עד הסיבית האחרונה, בסוף החישוב נקבע אם ישנו מספר זוגי או אי זוגי של '1' לוגי, וסיבית הזוגות תשודר אחריו סיביות המידע.

בלוק RX – הבלוק מקבל בכניסה מידע סריאלי מהמקום"ש. המקלט מתainen לקבלת bit Start והחל ממנו הוא מתחילה לדגם כל אמצע זמן של סיביות המידע, כדי לוודא שהמידע יציב. את המילה המקבילה שנקלטה הבלוק כותב לאוגר FIFO.

FIFO. 6.4.2

תפקיד הבלוק זה הינו לשמר על סנכרון בשידור וקליטה של מידע כאשר שני חלקים של הקוד עובדים בתצטונים שונים או אפילו Clock Domain אחר. החוצה מסמן متى הוא מלא ומתי הוא ריק בצד שבלוק UART ידע متى לשדר מידע, ניתן למשתמש האוגר באמצעות כל ה Quartus שמאפשר ליצור רכיבים באופן אוטומטי.

PLL . 6.4.3

בלוק זה מייצר את תדרי השעון של המערכת, לצורך הפעלה של מגוון מעגלים שונים, המعالג מאפשר ייצור של תדר יציב מאד כשר תדר הייחוס הינו תדר הגיבש בurveת הפיתוח השווה ל 100MHz. נשתמש ב PLL כדי לייצר שעון 100MHz יציב, ותדר שעון נוסף, נמוך יותר עבור תקשורת UART. את ה PLL ניתן למשתמש באמצעות כל ה Quartus.

PROGRAM RESET . 6.4.4

בלוק זה מבצע את חילוף ראשוני לשאר הבלוקים בקוד. כאשר המתחים עולים בכרטיס, רכיב FPGA צורב את עצמו מזיכרון Flash הפנימי ולאחר מכן עובר למצב פעולה. תהליך זה יכול להימשך מספר מיל-שניות. כדי לוודא שככל המתחים עלו והתייצבו עברו כל רכיבי המعالג, כולל מעגלי ה PLL הפנימיים,

הבלוק ימינה 50mSec נוספים. במשך כל הזמן זהה הבלוק יאפס את כל הקוד, בסיום פרק הזמן של הבלוק ישחרר את קו האתחול ויאפשר לקוד להתחל לרווח. קו הReset פועל בנמוך.

MSG ENCODER .6.4.5

בלוק זה אחראי לייצר את מבנה ההודעה שישלח דרך UART למשדר Zigbee/Xbee. הבלוק מקבל בכניסתו את המידע שלו לשדר מבלוק SYSTEM MANAGER וועוטף את המידע במסגרת בהתאם לפרוטוקול של Zigbee/Xbee כפי שמתוואר בטבלה מטה. את המסגרת הבלוק כותב לאוגר FIFO בית אחר בית לפי סדר השידור.

שדה	גודל	הסבר
Start Delimiter	1 Byte	שדה זה הינו בית קבוע שערך E7x0 המציין את תחילת המסגרת.
Length	2 Byte	מצין את מספר הבטים בין שדה Length לשדה Checksum.
Frame Type	1 Byte	שדה זה מציין את סוג המסגרת שנשלחת לפי הAPI שהגדיר היিירן.
Frame ID	1 Byte	שדה זה מגדיר את מסגרת המידע של UART עבור המארח בכך שתתאים עם תגובה עוקבת, אם השדה שווה לאפס אין בקשה לתגובה.
64bit Destination Address	8 Byte	בשדה זה מגדירים את כתובת בגודל 64 ביט של רכיב היעד, יש להשתמש בכתובת FF FF 00 00 00 00 00 00Broadcast.
16bit Destination Address	2 Byte	בשדה זה מגדירים את כתובת בגודל 16 ביט של רכיב היעד, יש להשתמש בכתובת 0xFFFF播在巅巅 Broadcast.
Broadcast Radius	1 Byte	המספר המקסימלי של קפיצות בין נטבים בשידור Broadcast.
Options	1 Byte	בשדה זה מגדירים את סוג השידור הרצוי.
RF Data	1-65521 Byte	מידע שנשלח לרכיב היעד.
Checksum	1 Byte	שדה זה מציין את ערך סיביות הביקורת, מחושב על ידי פעולת חיבור אריתמטי בין כל הבטים משדה Length עד לשדה Checksum. לוקחים את שМОנת הביטים הנמוכים של תוצאת הסיכום מחסירים מהם 0xFF, וזה ערך ה checksum.

MSG DECODER . 6.4.6

בלוק זה אחראי לחלק מתפקיד המעטפת של הפרטוקול את המידע הנקלט. הבלוק קורא מאוגר FIFO את ההודעה שמגיעה ממקלט UART, בונה את המסגרת ומחלץ ממנה את המידע. פעולה החילוץ היא הפוכה לפעולה שמבצעת בהרכבת ההודעה בבלוק MSG ENCODER. את המידע המפוענה הבלוק מעביר לבлок SYSTEM MANAGER.

SYSTEM MANAGER . 6.4.7

בלוק זה אחראי לניהל את השליטה והבקירה של כל המערכת. השליטה והבקירה מבוצעת על ידי משק מול הבלוקים האחרים בקוד. הקוד בניי מכונת מצבים שמנדרה את המצבים האפשריים של המערכת. שינוי במצב המערכת, כולל מעבר בין מצבים מתאפשר על ידי עירור חיוני מהמשתמש באמצעות מפסק הרפעלה או על ידי קבלת הודעה מתאימה מתקשורת RF. מכונת המצבים אחראית על איסוף סטטוס של המערכת וכן על נורות LED כדי להוות חיווי למשתמש. השימוש של קוד השליטה והבקירה של מכלול master השונה מהשימוש של מכלול slaves.

ה מצבים האפשריים של מכלול MASTER :

INIT – המצב הראשון שהמערכת נכנס אליו ברגע שעמליים את המתח'ים, מצב זה הינו חד פעמי. במצב זה הקוד מבצע את חול ריאוני לפרמטרים במערכת.

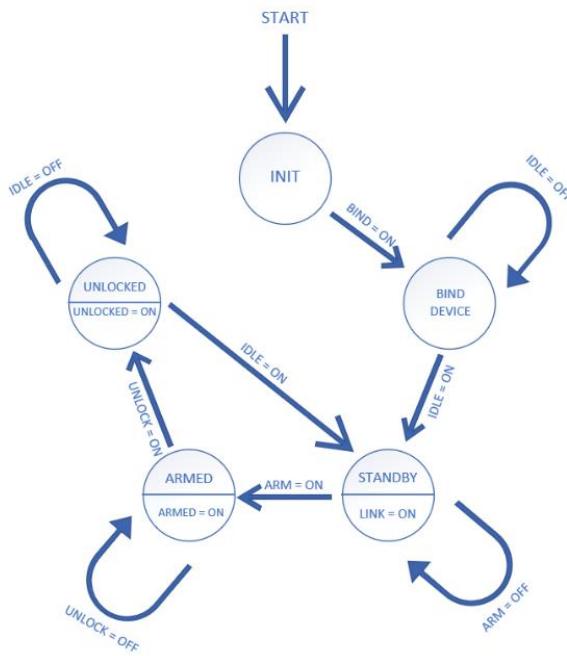
BIND DEVICE – המעביר למצב זה מתבצע באמצעות הפעלה של המשתמש באמצעות מפסק Bind. במצב זה מקימים קישוריות בין SLAVE לMASTER.

STANDBY - המערכת במצב המתנה לפעולה מהמשתמש. במצב זה המערכת שומרת על חיבור תקשורת בערז RF גם שלא עבר מידע. מכלול MASTER דואג ליזום את התקשרות ולשמור עליה פעולה. כמו כן, מתבצע איסוף סטטוסים מהחווארה כל פרק זמן מוגדר.

ARMED – המעביר למצב זה מבוצע על ידי דרייכה של המערכת באמצעות המפסקים. במצב זה המכלול שולח הודעה מתאימה ל Slave לעבר למצב זה ולהתכוון להפעלה.

UNLOCKED – המעביר למצב זה מבוצע על ידי הפעלה של המשתמש באמצעות המפסקים. במצב זה המכלול שולח הודעה מתאימה ל Slave לבצע הפעלה חד פעמי של הסנור, למשל להפעיל את מנוע הנסור. מעבר למצב Standby מבוצע על ידי שליטה של המשתמש במפסק ההפעלה.

MASTER



אייר 63. שו"ב Master – דיאגרמת בענות

במצבים האפשריים של מכלול SLAVE:

ה SLAVE מסונכרן ל MASTER ויש לו אוטם מצבים כמו ל MASTER בדיק, המעבר בין המצבים מתבצע על ידי התקשרות בין ה MASTER.

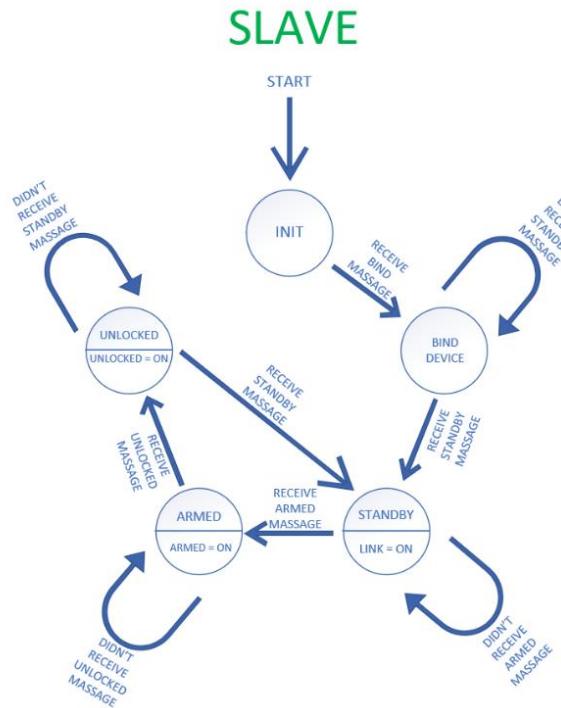
INIT – המצב הראשון שהמערכת נכנסת אליו ברגע שימושם את המתחים, מצב זה הינו חד פעמי. במצב זה הקוד מבצע את חול ראשוני לפרמטרים במערכת.

BIND DEVICE – במצב זה המכלול ממתќין לבקשת התקשרות שיזום Master. כאשר הוא מקבל הודעה צזו, הוא משיב ל Master וודעה כי נוצר חיבור ועובר ישירות למצב Standby.

STANDBY – המערכת במצב המתנה. במצב זה מכלול Master דואג לשמר את הקישוריות על ידי שליחת הודעות בקצב סטטוס כל פרק זמן מוגדר. במצב זה, Slave דוגם באופן רציף את החישנים המתחוברים אליו ושולח ל Master את הסטטוס שלהם. המעבר למאזב הבא, מבוצע על ידי קבלת הודעה מ- Master המציינת לעבר מצב דרייכה.

ARMED – במצב זה Slave מכין את הסנסור לקרהת הפעלה. כמו כן, במצב זה מתבצעת דגימת סטטוסים כל פרקי זמן מוגדרים ושמירה על חיבור פעיל מול Master. המעבר למאזב הבא נעשה על ידי קבלת הודעה מ- Master המציינת לעבר למצב הפעלה.

UNLOCKED – במעבר למצב זה, המכול מבצע פעולה חד-פעמית של הסנוור, לדוגמא להפעיל את מנוע ה servo. לאחר ביצוע הפעולה, המכול נשאר במצב זה כאשר הוא ממשיך לדוגמאות הסטטוס של החישונים ולשמור על חיבור פעיל. חוזרת למצב Standby מתבצעת על ידי קבלת הודעה מתאימה מ master.



איור 64. שוו"ב Slave – דיאגרמת بواسות

LED CONTROL .6.4.8

בלוק זה אחראי לשילוט על הלדים של המעגל כדי לחת חיווי למשתמש. הבלוק מקבל את המצב של המערכת מ SYSTEM MANAGER ובהתאם לכך מפעיל את הלדים.

LINK - חיוי כאשר קיימת קיזוריות בין Master ל-Slave

ARMED - חיוי כאשר המערכת נמצא במצב ARMED

UNLOCKED - מנורה המספקת חיוי כאשר המערכת נמצא במצב UNLOCKED

BAT – זהו LED RGB והוא מיועד לספק חיוי על מצב הסוללה.

SWITCH CONTROL .6.4.9

בלוק זה אחראי לדוגמאות מצבים מפסקים הכניסה. על מכול Master קיימים 2 מפסקים הפעלה, כאשר אחד מהם הוא בורר 3 מצבים.

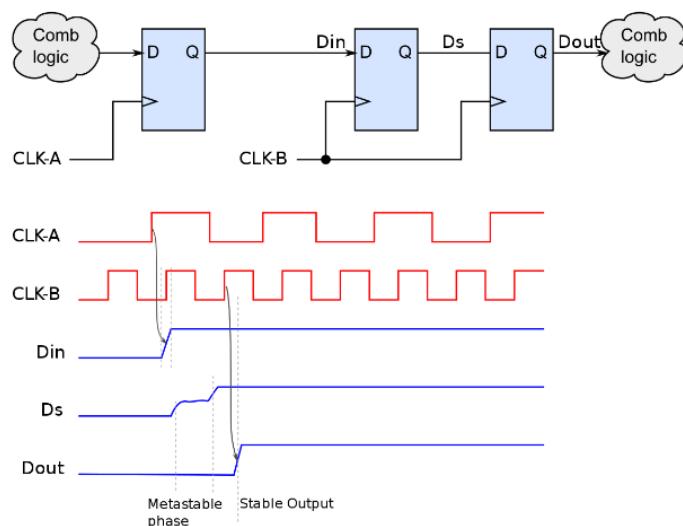
BIND – מפסק שמייצר קיזוריות בין SLAVE ל MASTER

STANDBY – מספק המכניס את המערכת למצב STANDBY

ARM – מספק המכניס את המערכת למצב ARMED

UNLOCKED – מספק המכניס את המערכת למצב UNLOCKED

כמו כן, הблок כולל מעגל סנכרון של הכניסות הראשונות של המערכת. מעגל זה נקרא Clock Synchronizer והוא כולל 2 DFF המחברים בטור. מעגל זה חיוני כאשר עוברים בין 2 Domains שונים או כאשר הכניסה לא מסונכרנת לשעון כלל. תרשימים של המעגל כוללים צורות גלים מתואר באיור מטה.



איור 65. תיאור מימוש מעגל סינכרון

כמו כן, אין צורך למשוך קוד לביטול ריטוטים מכניים מסוימים שקיים כבר רכיב המבצע זאת על הcrcטיס.

I2C INTERFACE . 6.4.10

בלוק זה מimplements את פרוטוקול התקשרות I2C מול רכיבי הקצה. הблок כולל ניהול ותזמון של קו SDA ו-SCL יחד ניהול פעולות כתיבה וקריאה לאוגרים של רכיבי הקצה. על המעגל שלו, נעשה תקשורת באמצעות זה מול חישון הטמפרטורה ודגם מתח/זרם הבטריה.

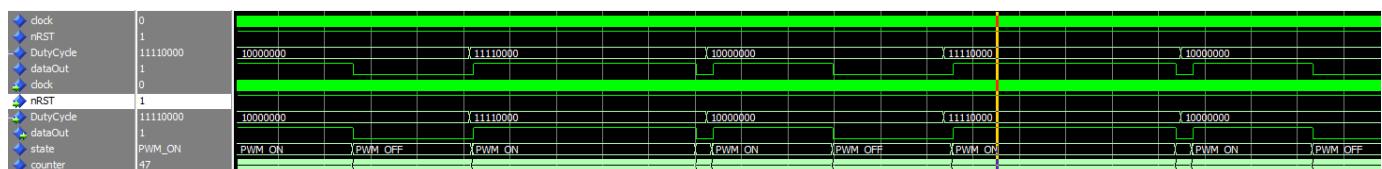
PWM CONTROLLER . 6.4.11

תפקיד הבלוק זה הינו ליצור אותן באמצעות PWM בתביל מנוע servo. הבלוק מקבל בכניסתו מבלוק System Manager מילה 8 סיביות לקביעת Duty Cycle וכניסת אפסור. מוצא הבלוק הוא סיגナル PWM המתחבר אל מנוע servo.

7. סביבות עבודה

7.1. סימולציה ModelSim

ModelSim היא סביבת עבודה לסימולציה של שפות חומרה שונות כמו VHDL ו-Verilog. התוכנה מאפשרת לעורר את הקוד, להריץ קומפקטיבה ואף לבצע סימולציה של טרשיים גלים. התוכנה יכולה לעבוד באופן עצמאי או בשיתוף עם תוכנות נוספות כמו Xilinx ISE או Intel Quartus Prime, Vivado Xilinx. ביצוע סימולציה ב-ModelSim היא התחנה הראשונה בפיתוח הקוד, לאחר מכן מבון Test-Bench שמנדרים את הדרישות. לצד כתיבת הקוד של המודול המדרש, מכינים כבר קוד עבור שיטות בדיקות מקיצה של הקוד הנבדק.



אייר 66. דוגמא לסימולציה קוד ב ModelSim

בתמונה דוגמא לסימולציה קוד עבור אפנון מסווג PWM. כאשר בכניסה יש רג'ל אפשרי לרכיב וכניסת שמונה סיביות לקביעת ה-PWM Cycle. בOUTPUT מתקבל אות מאופן PWM.

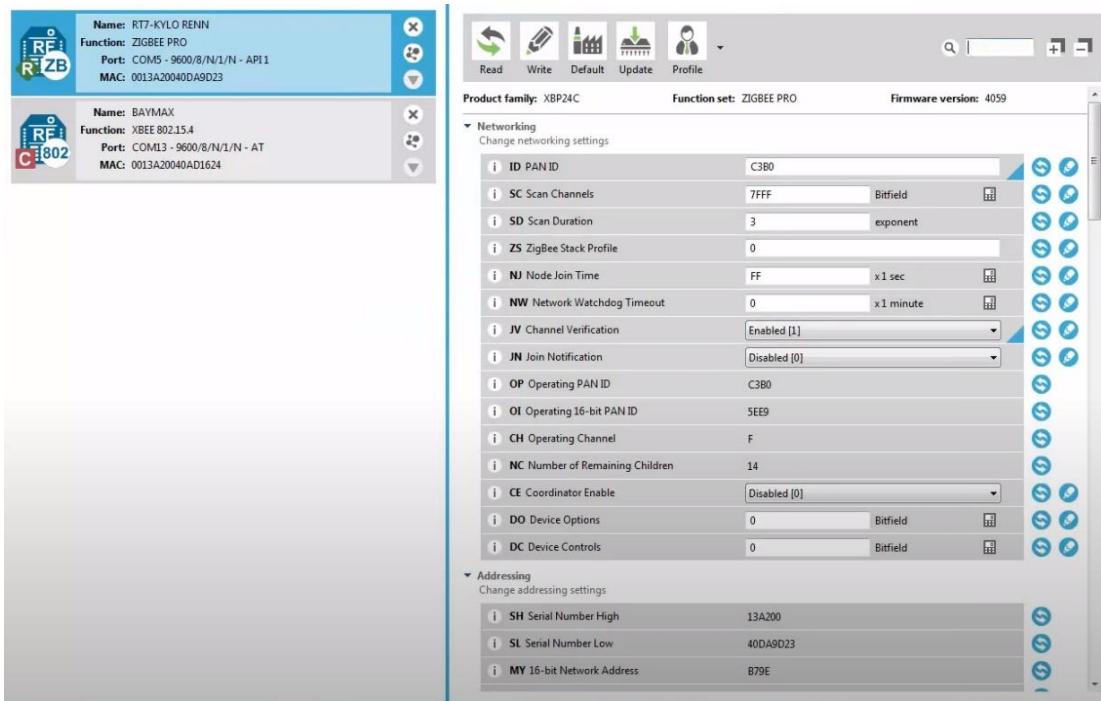
7.2. הגדרת המקם"שים על ידי תוכנת XCTU

XCTU הינה סביבת עבודה שמאפשרת למפתחים לתקשר עם רכיבי RF של Zigi, על ידי ממושך גרפי. בתוכנה יש את כל הכלים שנדרשים כדי להגדיר ולבדוק רכיבי RF XBeeiese בצורה קלה. התוכנה מסוגלת לדבר עם המקם"ש דרך כרטיסון בדיקה הכלול ממיר USB-UART.

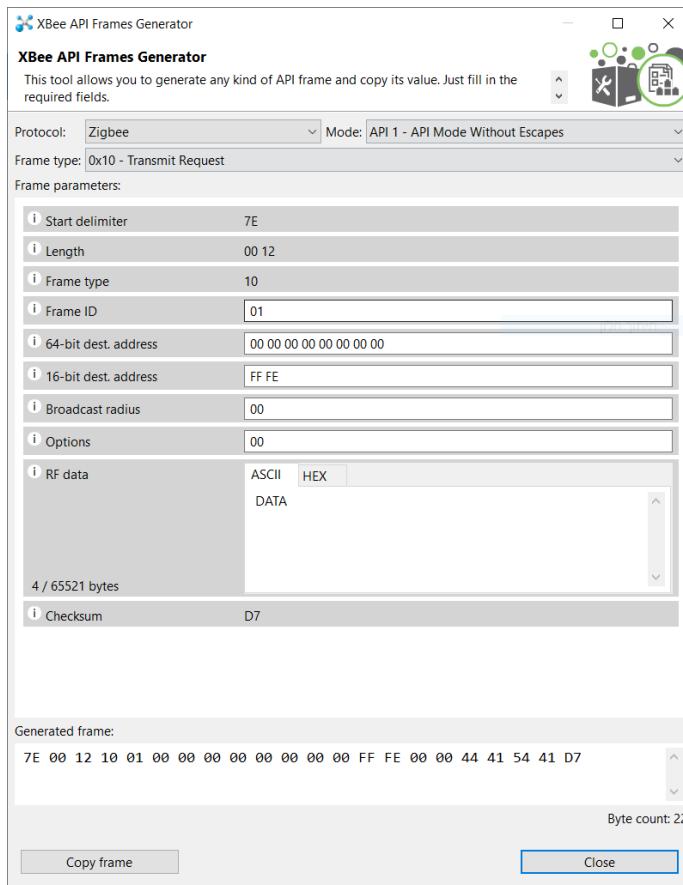
באמצעות התוכנה, ניתן את המקם"שים שלuproject בצורה מלאה. יש להגיד להם כתובות ברשות, שם, תפקיד וכו'. לאחר ביצוע ההגדרות, ניתן לצרוב אותן לזכרון הלא-נדיף של הרכיב.

בנוסף לביצוע הגדרות, התוכנה מציעה כלים שימושיים למפתח. לדוגמה, קיימים כלים המאפשרים לחולל מסגרות דרך ממושך גרפי. המשמש בחזר את סוג ההודעה שהוא רוצה ליצור, מכניס את הפרמטרים הרלוונטיים כמו כתובות מקור או יעד ואת המידע מכובן. התוכנה מחשבת באופן אוטומטי את כל השדות שתלויים במידע כמו אורך ההודעה וChecksum. את ההודעה שנצירה ניתן לשמר ולהעתיק כדי להשתמש בה מחוץ לתוכנה, או בתוכנה עצמה בעtid.

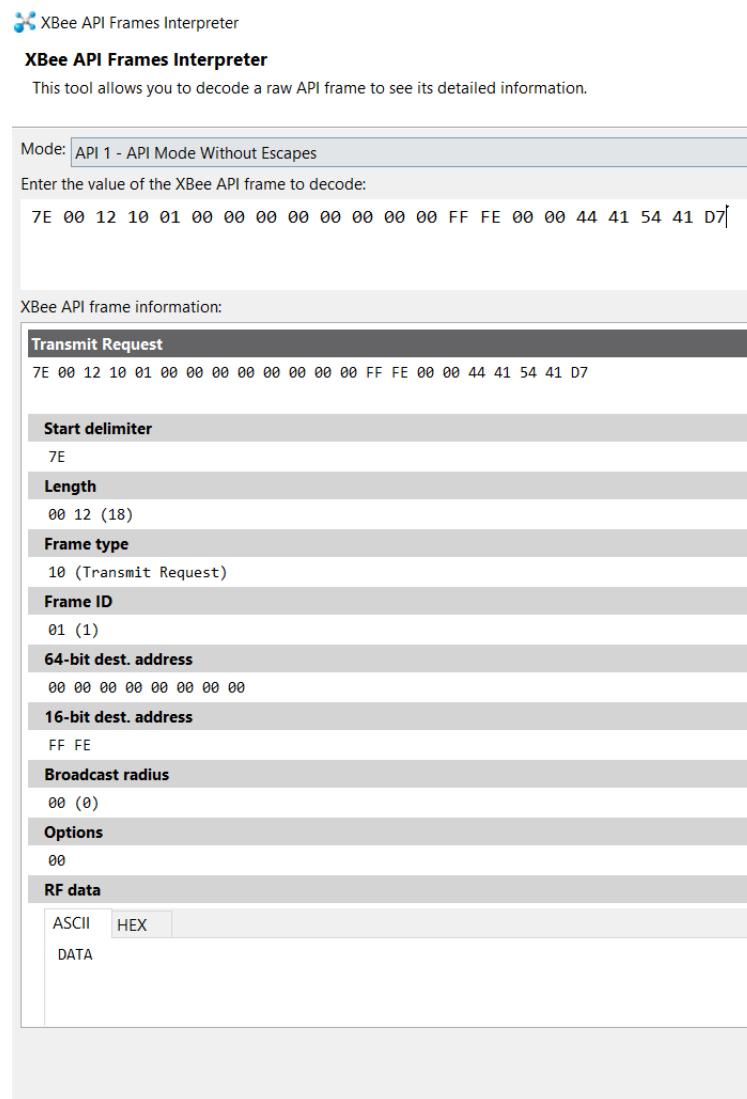
בדומה לזה, קיימים כלים לפענוח הודעות. המשתמש מעתיק את המסגרת שהוא רוצה לפענוח והכל מציג את ההודעה לאחר פענוח.



איור 67. תיאור ממתק תוכנת XCTU



איור 68. API Frame Generator – XCTU



אייר API Frame Interpreter– XTCU .69

8. סיכום ומסקנות

פרויקט זה מיועד לשמש כמערכת שליטה ובקרה אלחוטית התומכת בממשקים רבים תוך תאימות לממשקים רבים באמינות גבוהה.

במהלך ביצוע הפרויקט למדתי את דפוא העבודה בפיתוח פרויקט על כל שלביו. בשלב הראשון היה שלב תכנון המעגל בו נבחנו הרכיבים המתאימים למימוש הדרישות. לאחר מכן שורטטו המעגלים החשמליים בתוכנת OrCAD. לאחר סיום השרטוט, הتبכעה בדיקת תקינות כללית של השרטוט באמצעות הכלי ב-OrCAD DRC. לאחר בדיקה זו, מדרשתי לבצע בדיקה יסודית Visio הכוללת מעבר על כל ה-Netlist בمعالג. לאחר בדיקות השרטוטים החשמליים, הכנסתי תרשימים סופיים אשר יתאר את המעגל המודפס אחד לאחד - מבחינת המיקום הפיזי של הרכיבים על הכרטיס תוך התחשבות בגודלים האמתיים של הכרטיס והרכיבים. בסיום שלב תכנון זה נמסרו קבצי העריכה לחברת Chizionit שערכה את המעגל בתוכנת Allegro וייצרה את הכרטיס בחוציאל.

כאשר המערכת הייתה מתוכננת מבניה חומרתית התחלה לעבוד על הקוד בשפת החומרה VHDL, את הקוד פירקתי לתתי מבניות אויחדיות אותן רק לאחר בדיקה קפדיות של כל מבנית בנפרד. לכל בלוק שכתבתי הקפדי יכולות כתוב גם קוד בבדיקה Test-Bench.

לסיכום, במהלך העבודה על הפרויקט רכשתי ידע רב בכל שלבי הביצוע, החל בתכנון ושרטוט ועד למימוש וככיתבת קוד, רכשתי ידע בסביבות פיתוח רבות כמו: XCU, Quartus, ModelSim, OrCAD, Visio.

9. ביבליוגרפיה

- ספר "לימוד שפת VHDL לשימושה וסינטזה" – עמוס זולבסקי
- אתר מידע לרכיבים מתוכנתים של חברת INTEL - ALTERA – <https://www.intel.com>
- דפי נתונים של רכיבים:

http://www.ti.com/	Texas Instrument	-
https://www.digi.com/	Digi	-
https://www.maximintegrated.com/	Maxim integrated	-
https://www.analog.com/	Analog Devices	-
- מידע תיאורתי על הנושאים הבאים מתוך ויקיפדיה באנגלית:

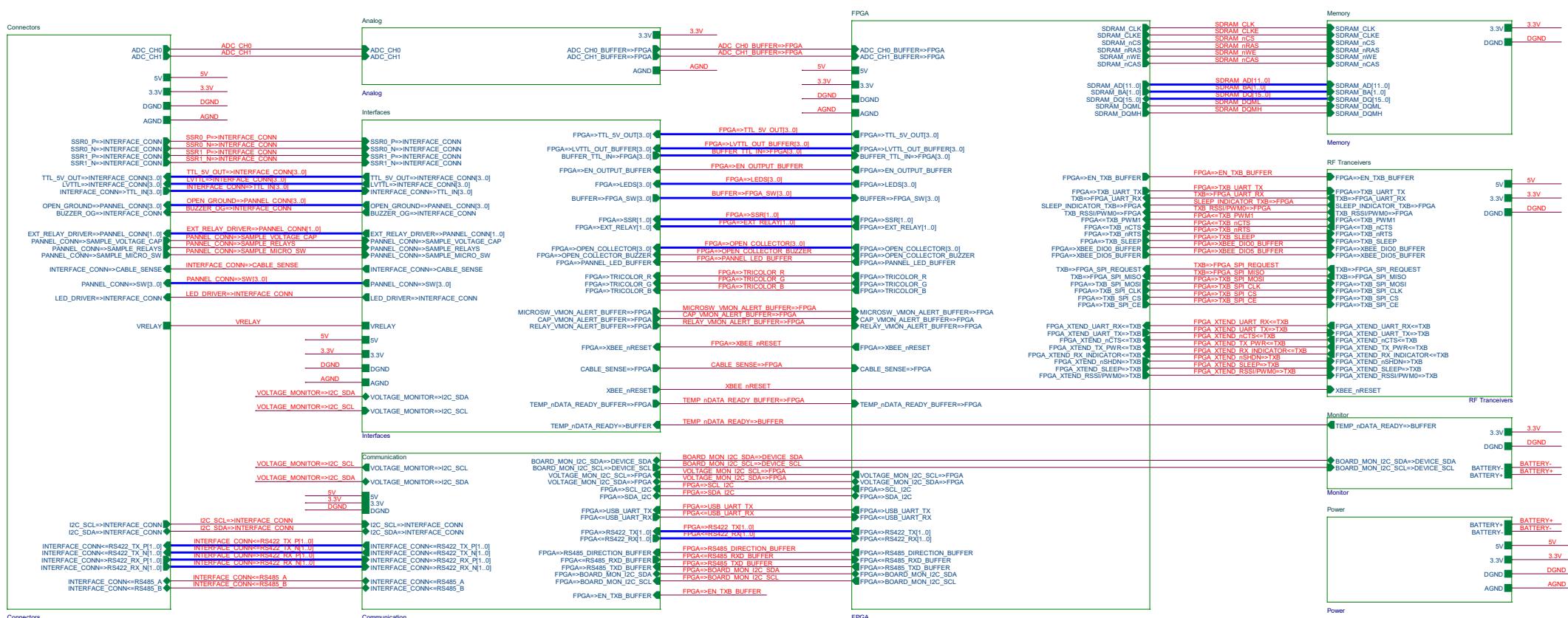
VHDL	-
CPLD	-
Protocols	-
PWM	-

<https://www.wikipedia.org/>

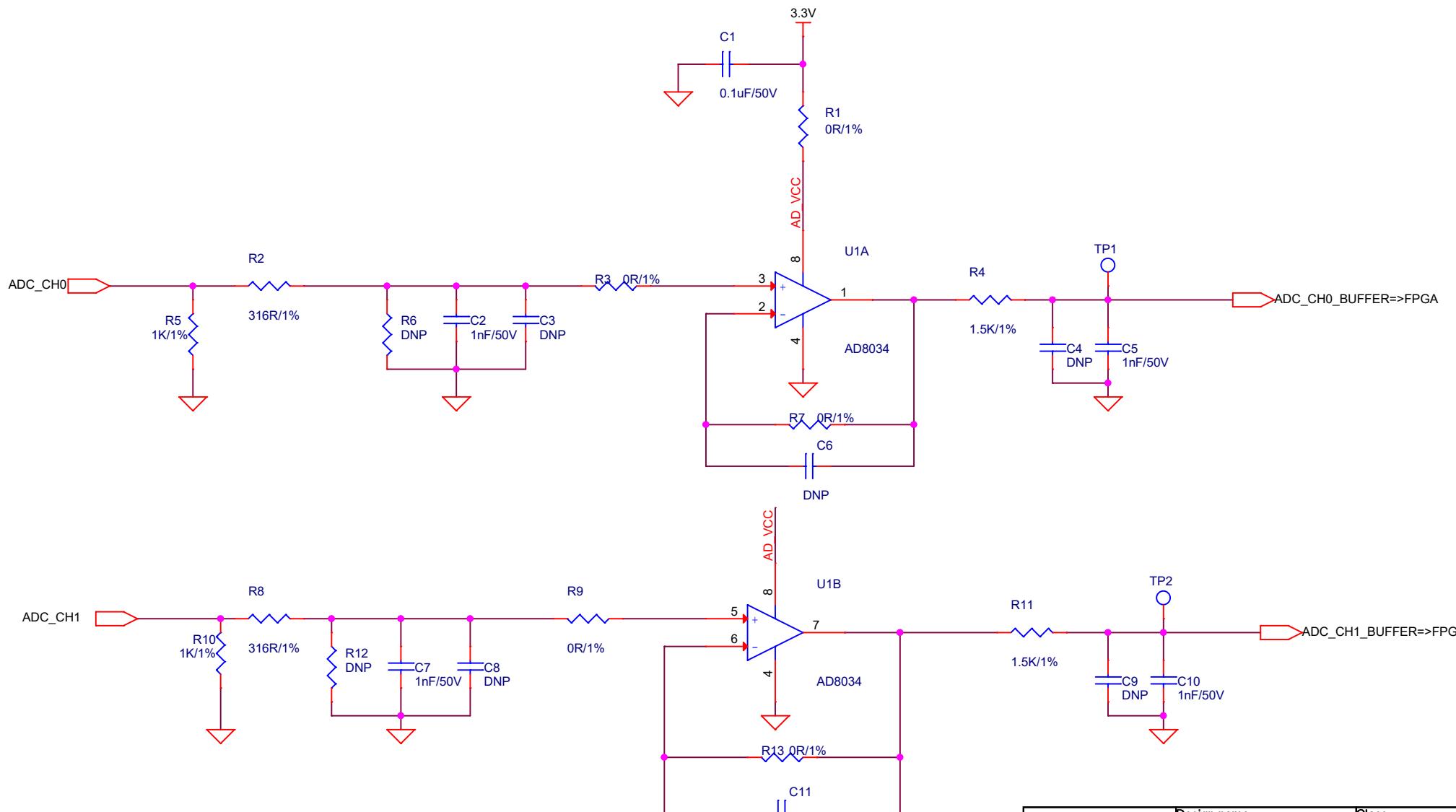
10. רשימת נספחים

- נספח א' – שרטוט המעגל חשמלי
- נספח ב' – שרטוט ערכית המעגל המודפס PCB
- נספח ג' – מימוש קוד VHDL

SANTA CLAUSE TOP LEVEL



ADC FRONTEND



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Analog	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020	Sheet 2 of 30		

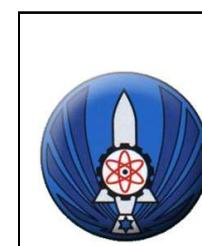
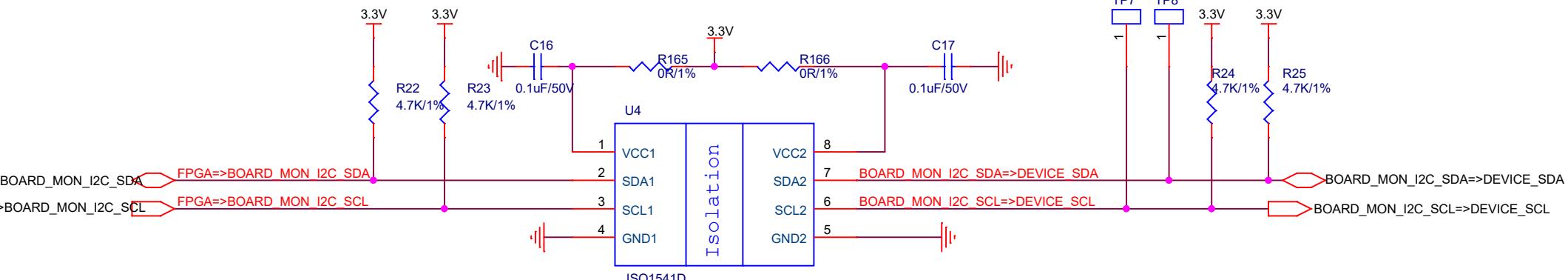
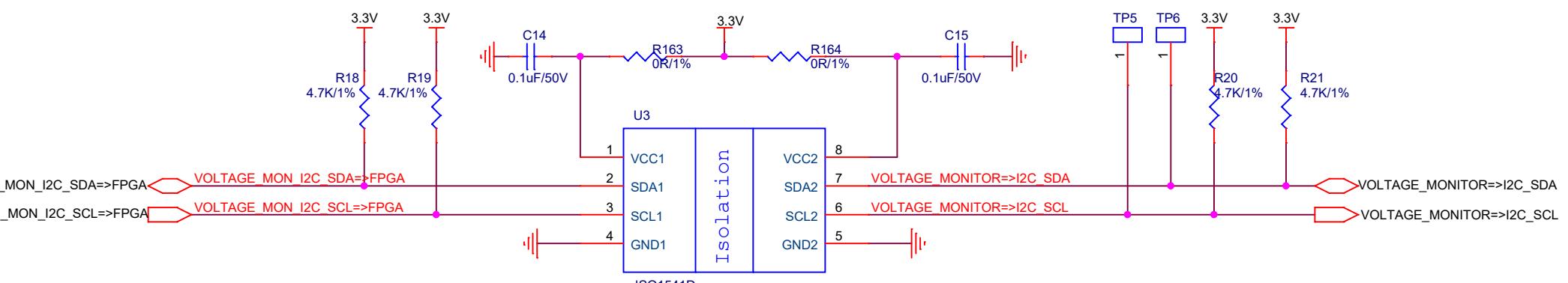
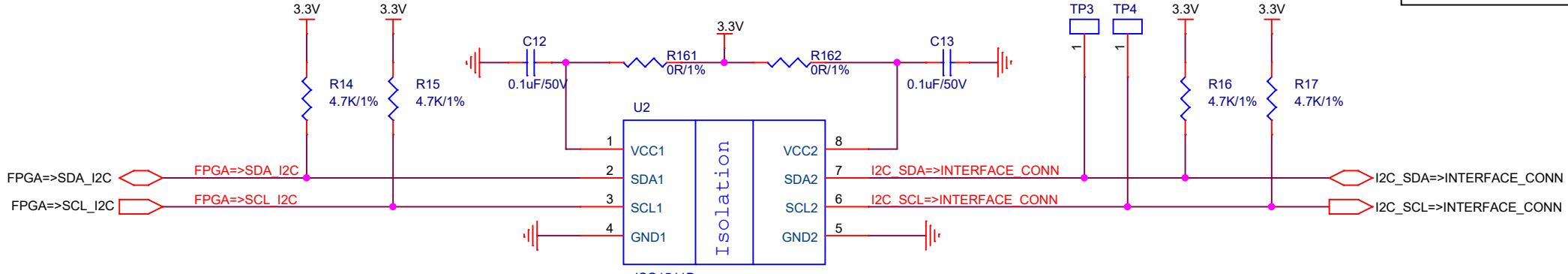
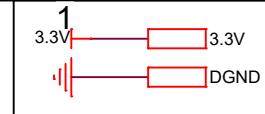
5

4

3

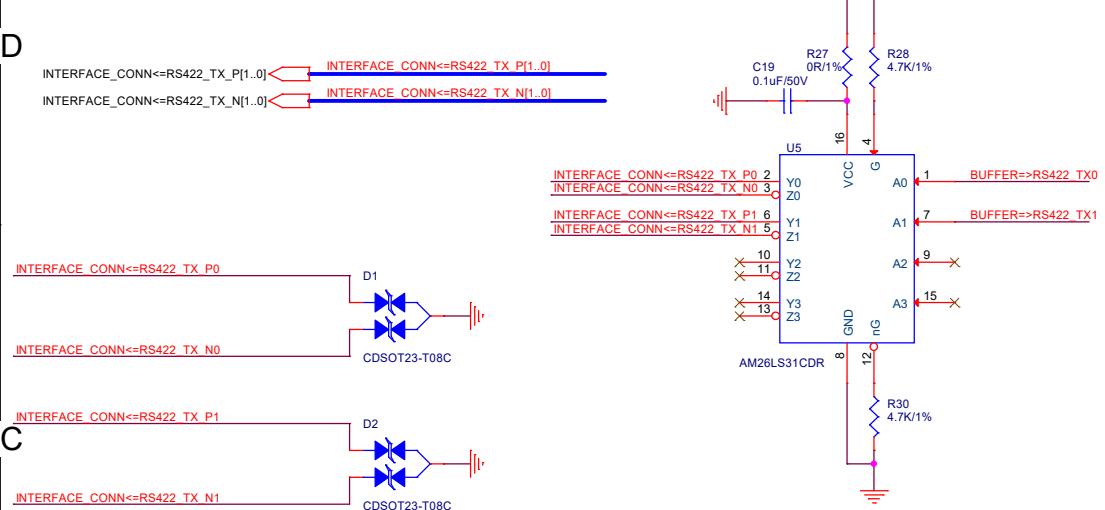
2

I2C Channels

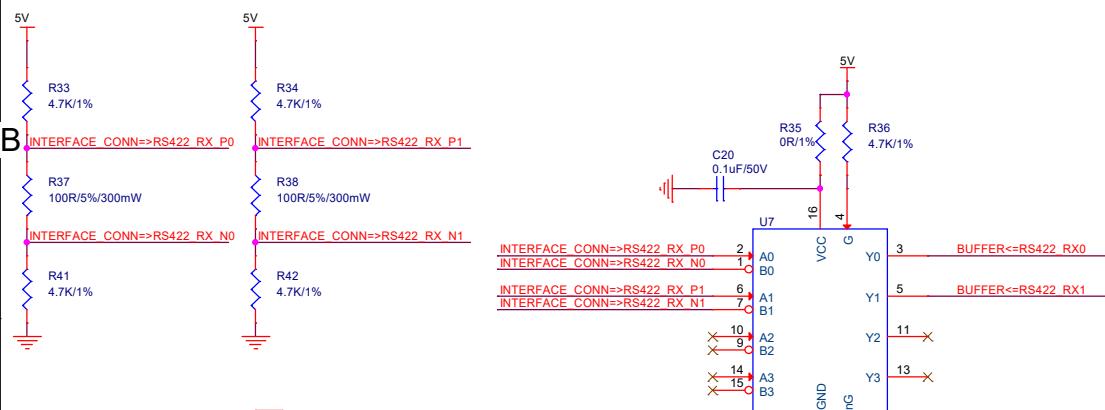


Design name	SANTA	Class	Unclassified
Organization	IAF - BAMZA 108 - Special Operations		
Title	Santa Claus Board	Schematic	Communication
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A4	22836191.C.01	RD1441-017-V1	1.0
Date:	Sunday, April 26, 2020	Sheet	3 of 30

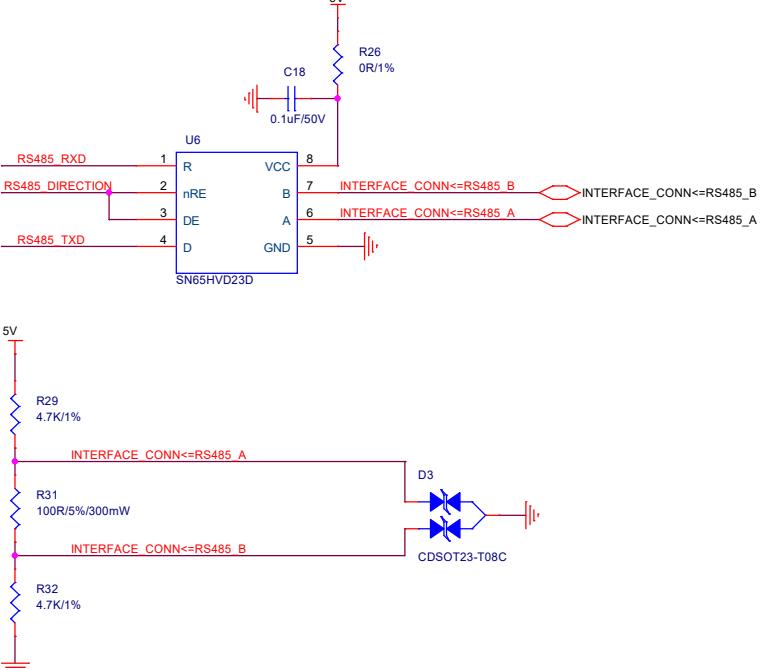
RS-422 TRANSMITTER



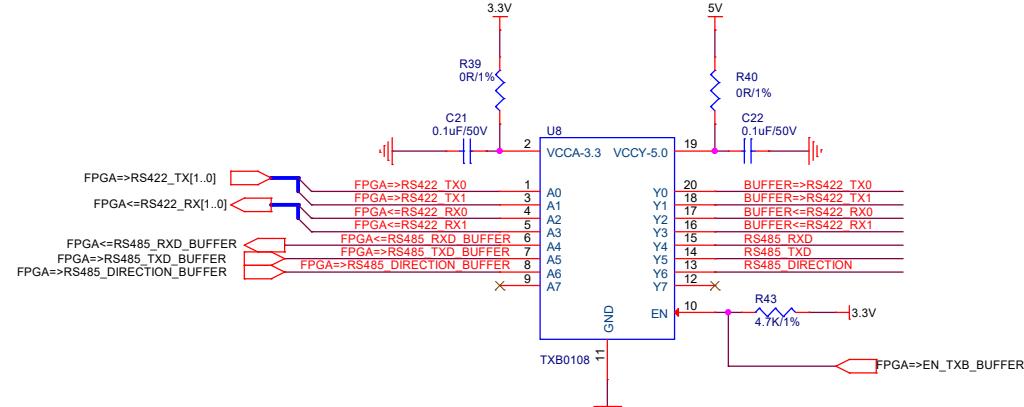
RS-422 RECEIVER



RS-485

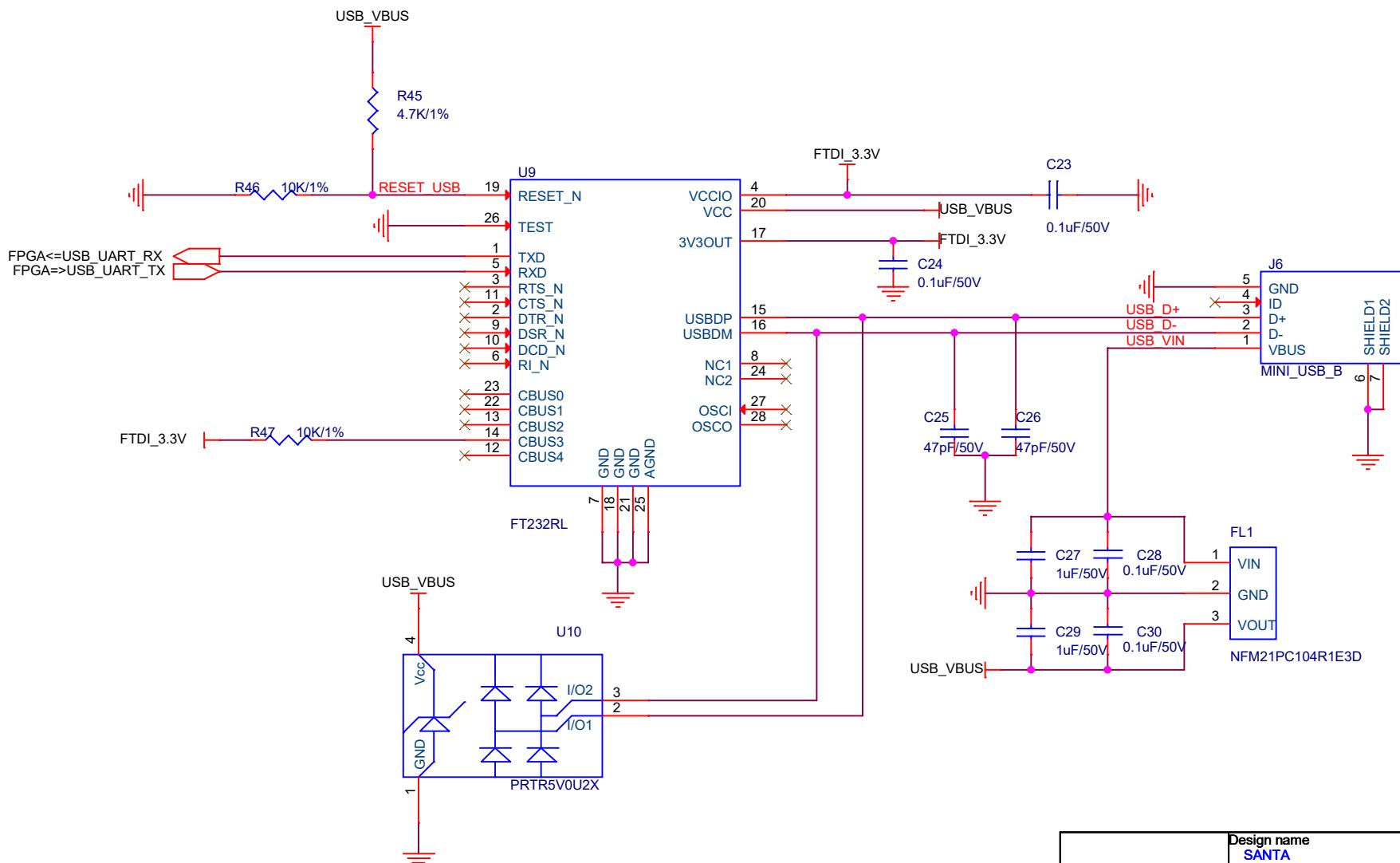


BI-DIRECTIONAL BUFFER



Design name SANTA		Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board		Schematic Communication
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor
Size A3	Document Number 2283619.C.01	Cage Code RD1441-017-V1
	Date: Sunday, April 26, 2020	Sheet 4 of 30

USB TO UART CONVERTER FTDI



Design name SANTA		Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board		Schematic Communication
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1
Date: Sunday, April 26, 2020		Rev 1.0
		Sheet 5 of 30

5

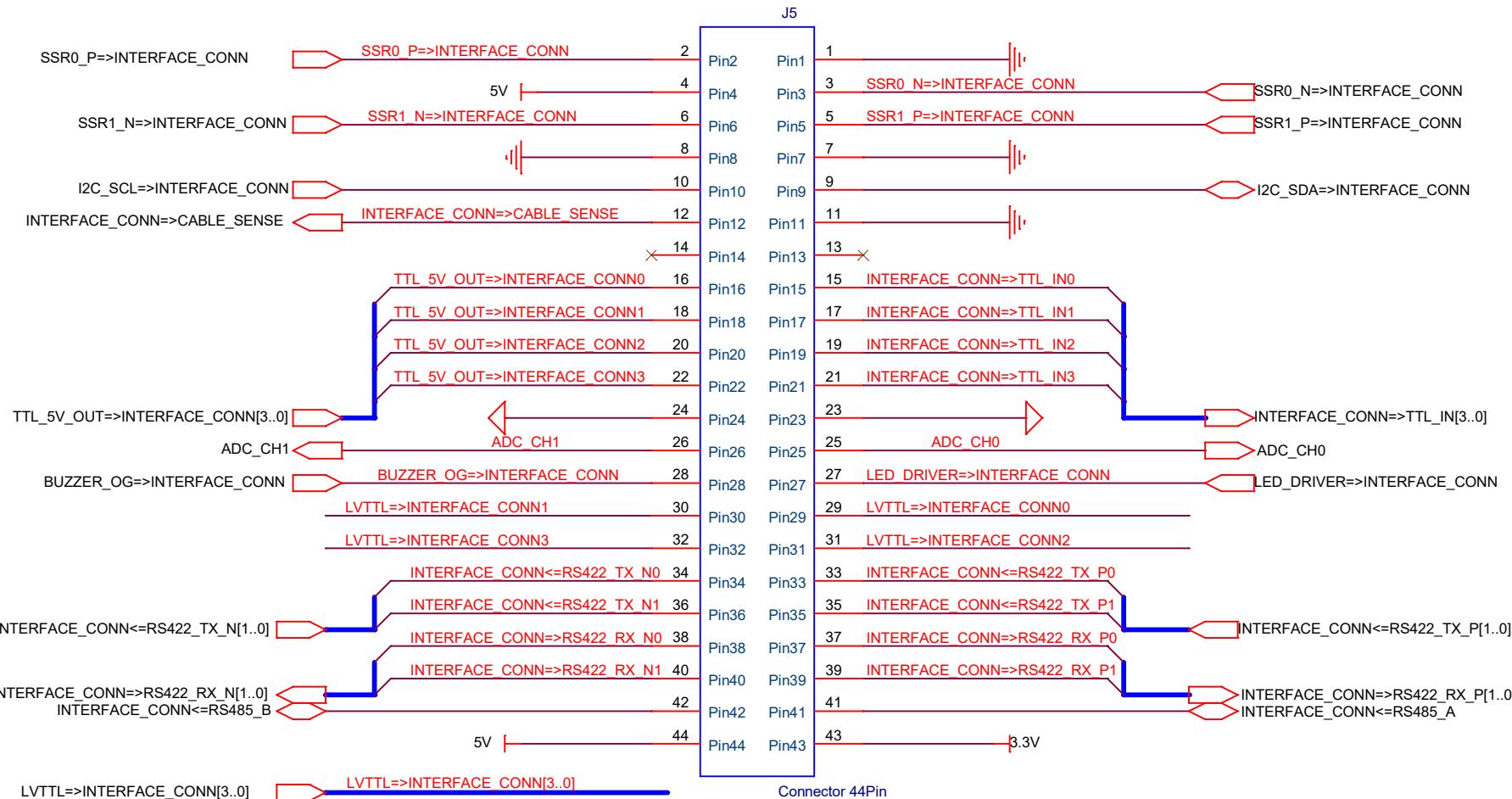
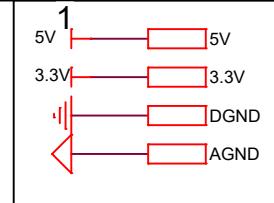
4

3

2

INTERFACE CONNECTOR

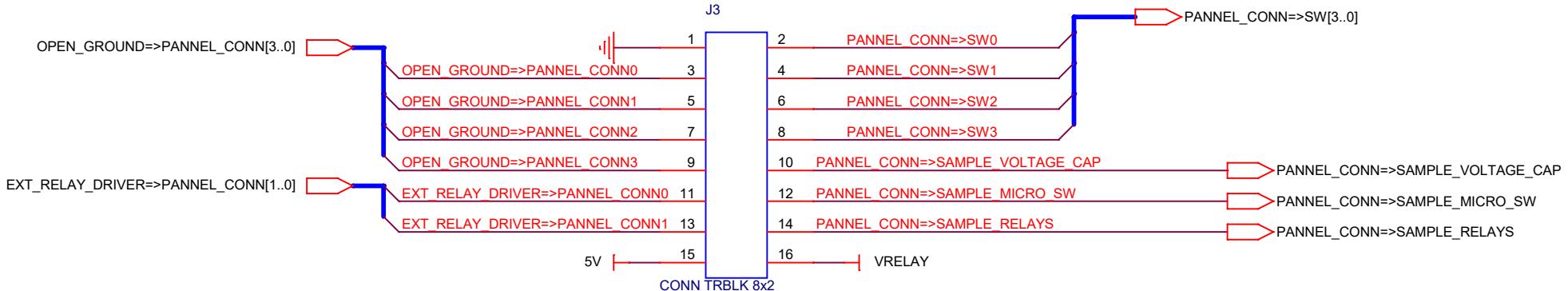
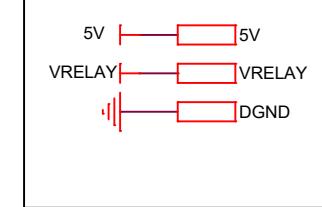
D-TYPE FEMALE 44PINS



Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board	Schematic Connectors	Approved By Shay Levi and Daniel Tavor	
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor	Cage Code	Rev
A4	Document Number RD1441-017-V1	Rev 1.0	
Date: Sunday, April 26, 2020	Sheet 6 of 30		

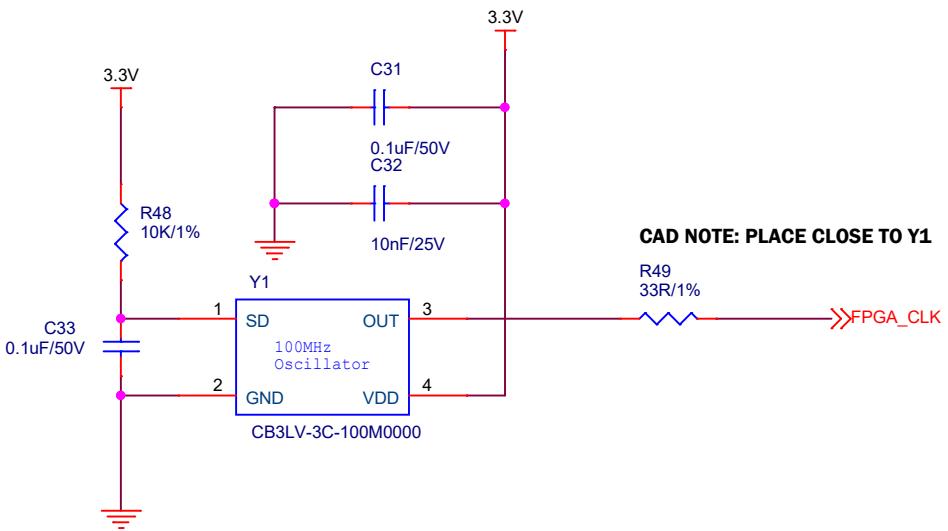
FRONT PANNEL CONNECTOR

16 PINS



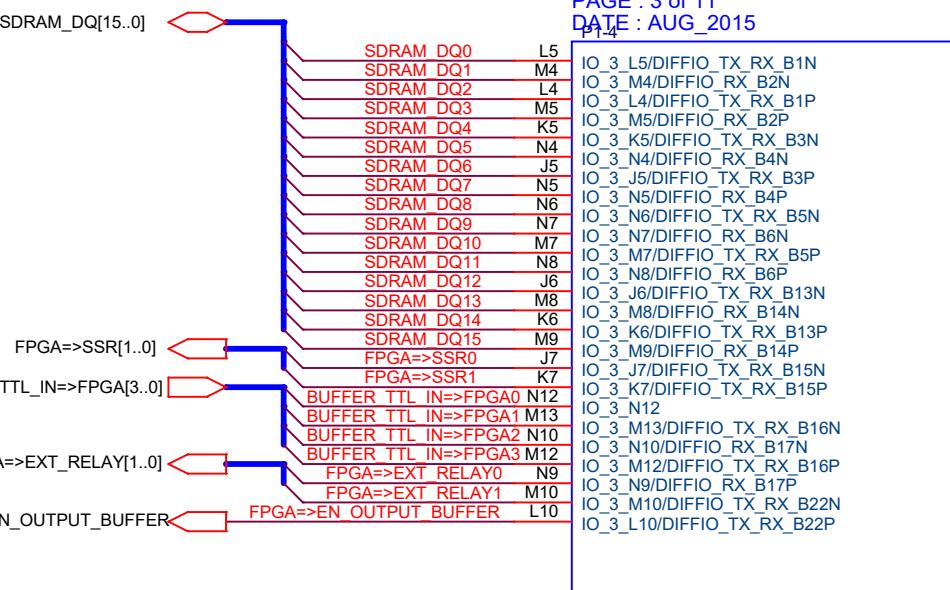
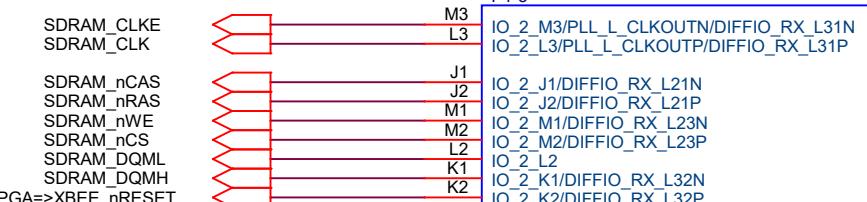
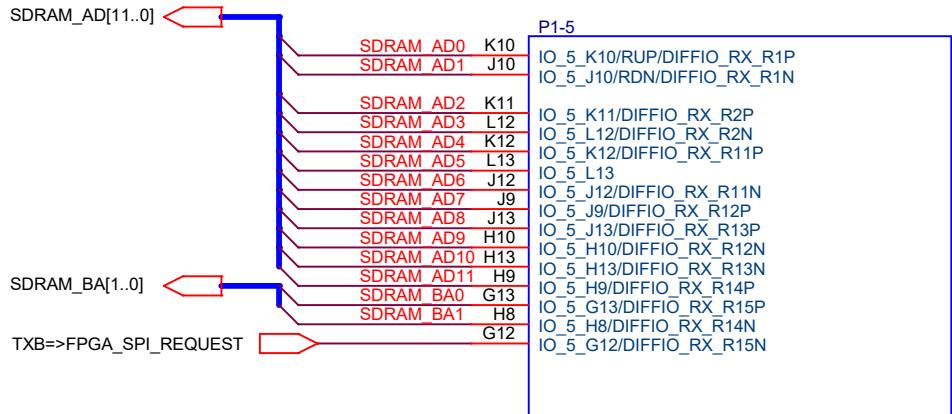
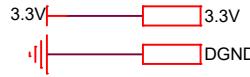
Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Connectors	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020	Sheet 7	of 30	

FPGA CLOCK

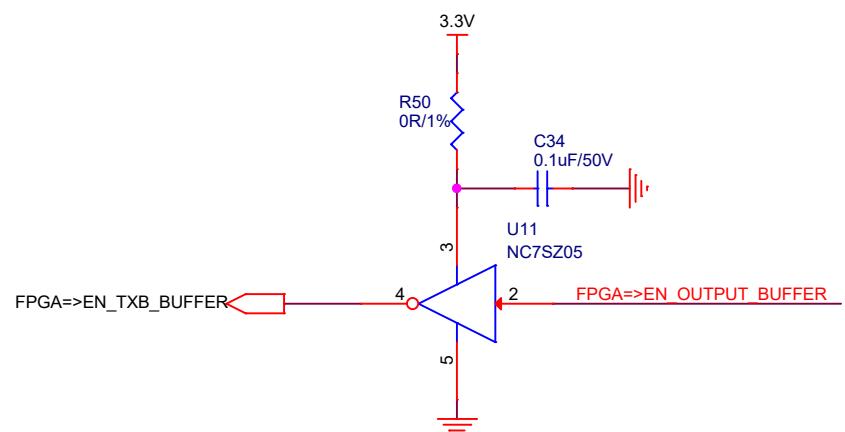


		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic FPGA	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 8	of 30

MAX10 IO'S BANKS 2-5

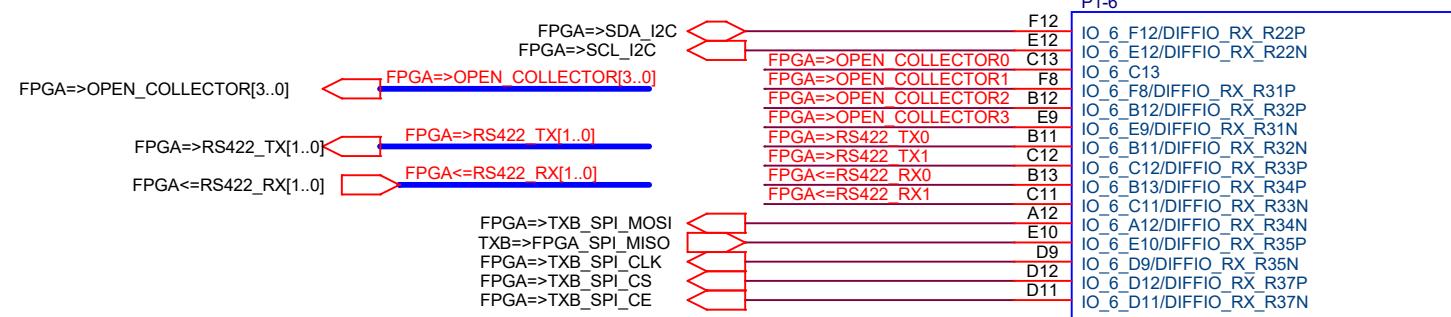


INVERTER FOR ACTIVE HIGH BUFFER ENABLE

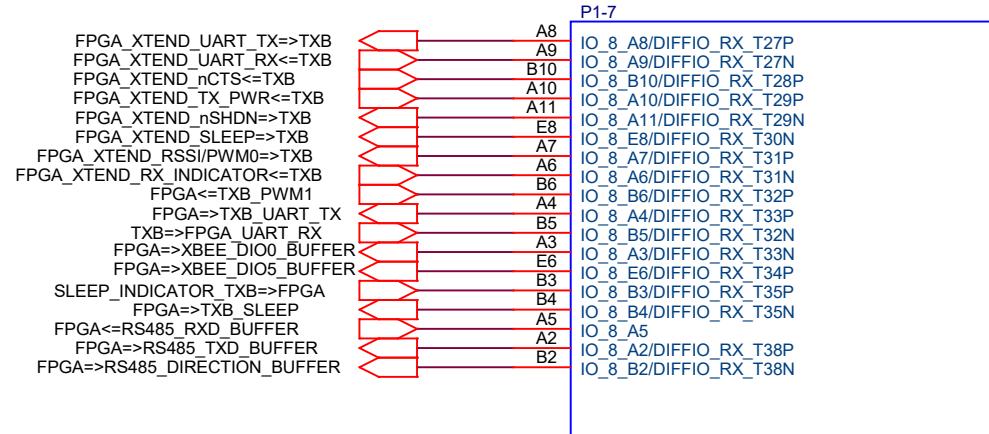


Design name		SANTA	Class	Unclassified
Organization		IAF - BAMZA 108 - Special Operations		
Title		Santa Claus Board	Schematic	FPGA
Designed By		Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev	
A4	22836191.C.01	RD1441-017-V1	1.0	
Date:	Sunday, April 26, 2020	Sheet	9	of 30

MAX10 IO'S BANKS 6-8



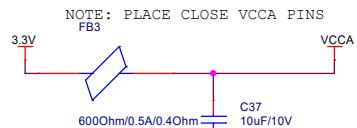
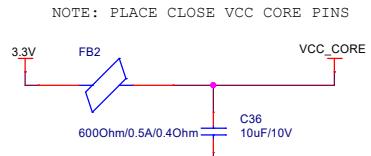
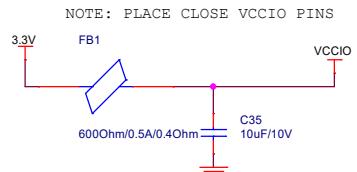
MAX10 10M16SA U169
VERSION : 1.1
PAGE : 6 of 11
DATE : AUG_2015



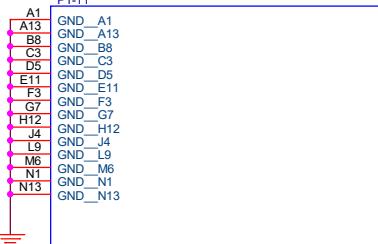
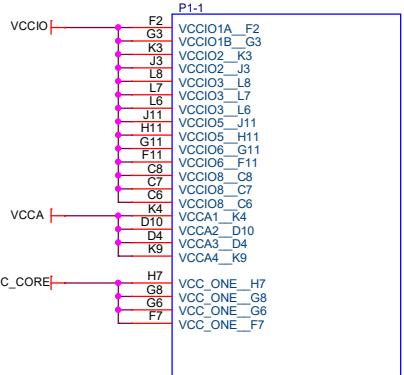
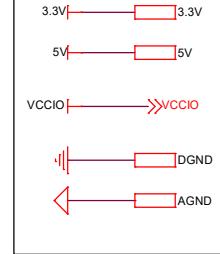
MAX10 10M16SA U169
VERSION : 1.1
PAGE : 7 of 11

DATE : AUG_2015	Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board	Schematic FPGA	
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1
Date: Sunday, April 26, 2020		Rev 1.0
		Sheet 10 of 30

VCC FILTERS

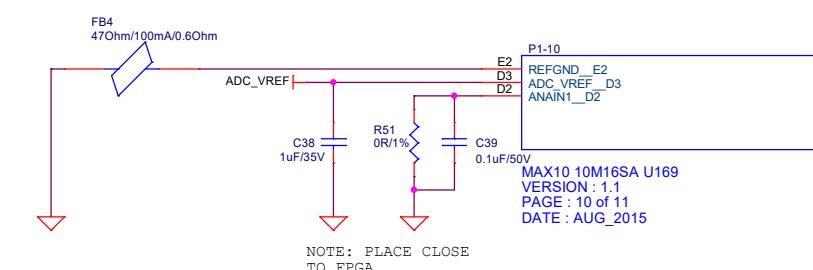
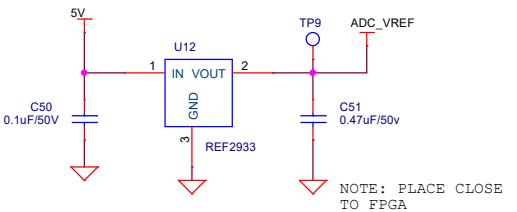


MAX10 POWER



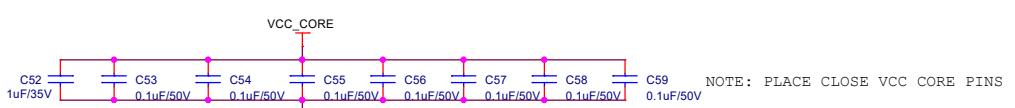
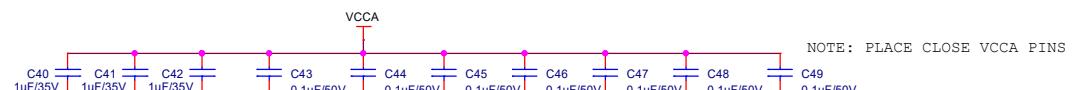
MAX10 10M16SA U169
VERSION : 1.1
PAGE : 11 of 11
DATE : AUG_2015

ADC VREF 3.3V



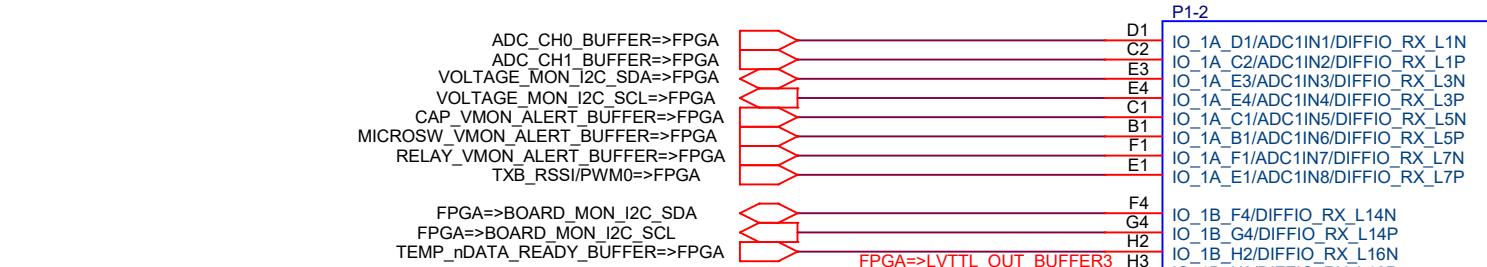
MAX10 10M16SA U169
VERSION : 1.1
PAGE : 1 of 11
DATE : AUG_2015

DECOUPLING CAPS

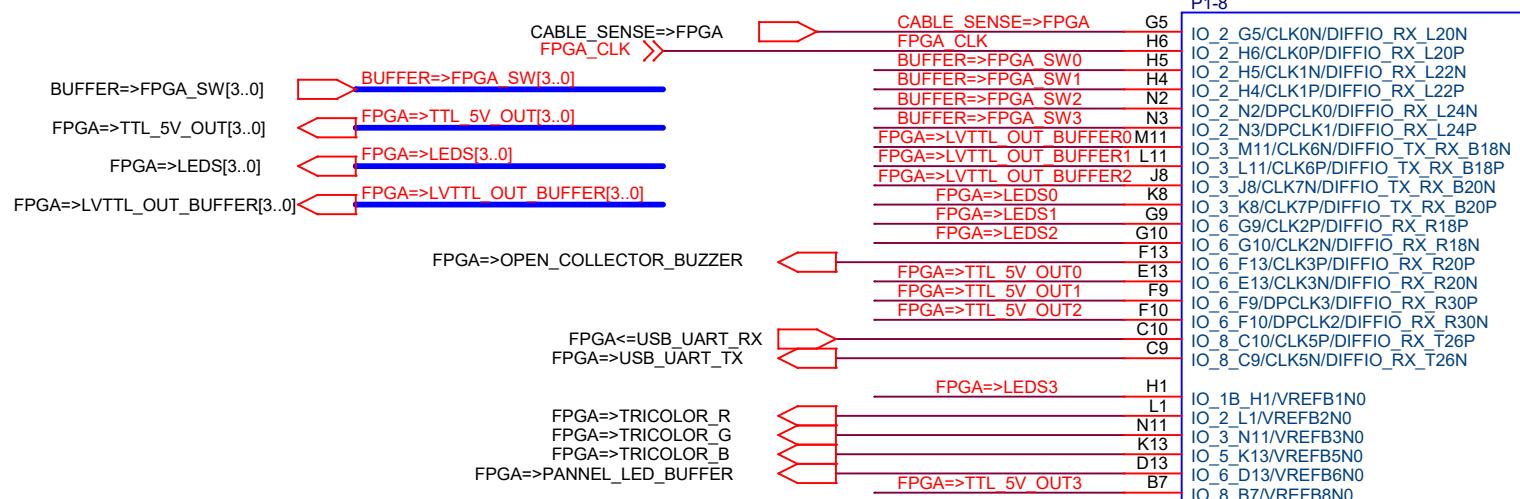


Design name	SANTA	Class	Unclassified
Organization	IAF - BAMZAA 108 - Special Operations		
Title	Santa Claus Board	Schematic	FPGA
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A3	22836191.C.01	RD1441-017-V1	1.0
			Sheet 11 of 30

MAX10 SPECIAL IO'S



MAX10 10M16SA U169
VERSION : 1.1
PAGE : 2 of 11
DATE : AUG_2015



MAX10 10M16SA U169
VERSION : 1.1
PAGE : 8 of 11
DATE : AUG_2015

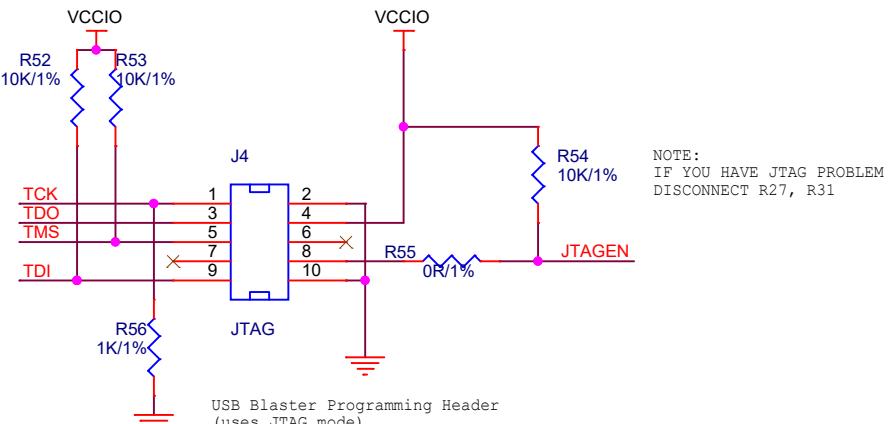


Design name	SANTA	Class	Unclassified
Organization			
Title	Santa Claus Board	Schematic	FPGA
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A4	22836191.C.01	RD1441-017-V1	1.0
Date:	Sunday, April 26, 2020	Sheet	12 of 30

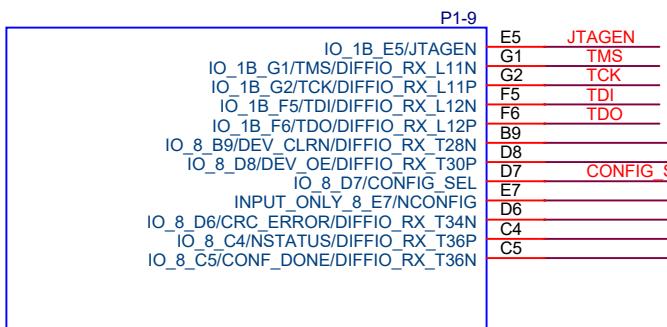
MAX10 CONFIGURATION JTAG



JTAG CONNECTOR

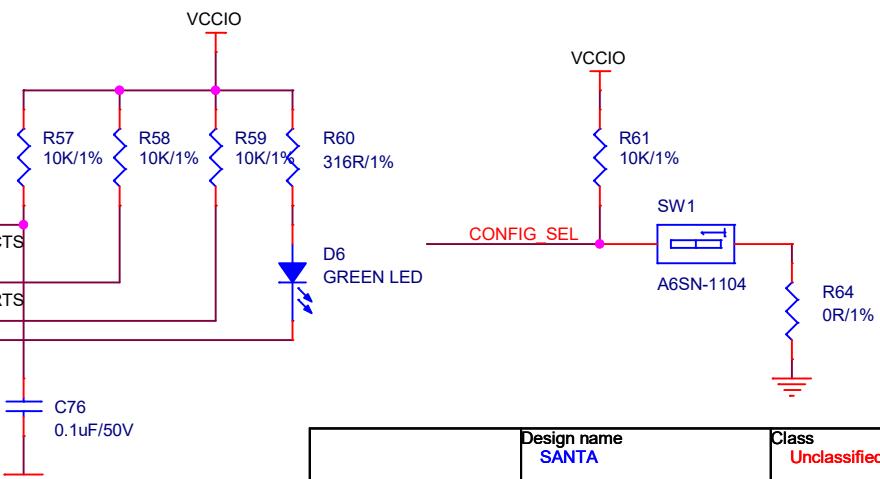


CONFIGURATION



MAX10 10M16SA U169
VERSION : 1.1
PAGE : 9 of 11
DATE : AUG_2015

IMAGE SELECTION



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic FPGA	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020	Sheet 13 of 30		

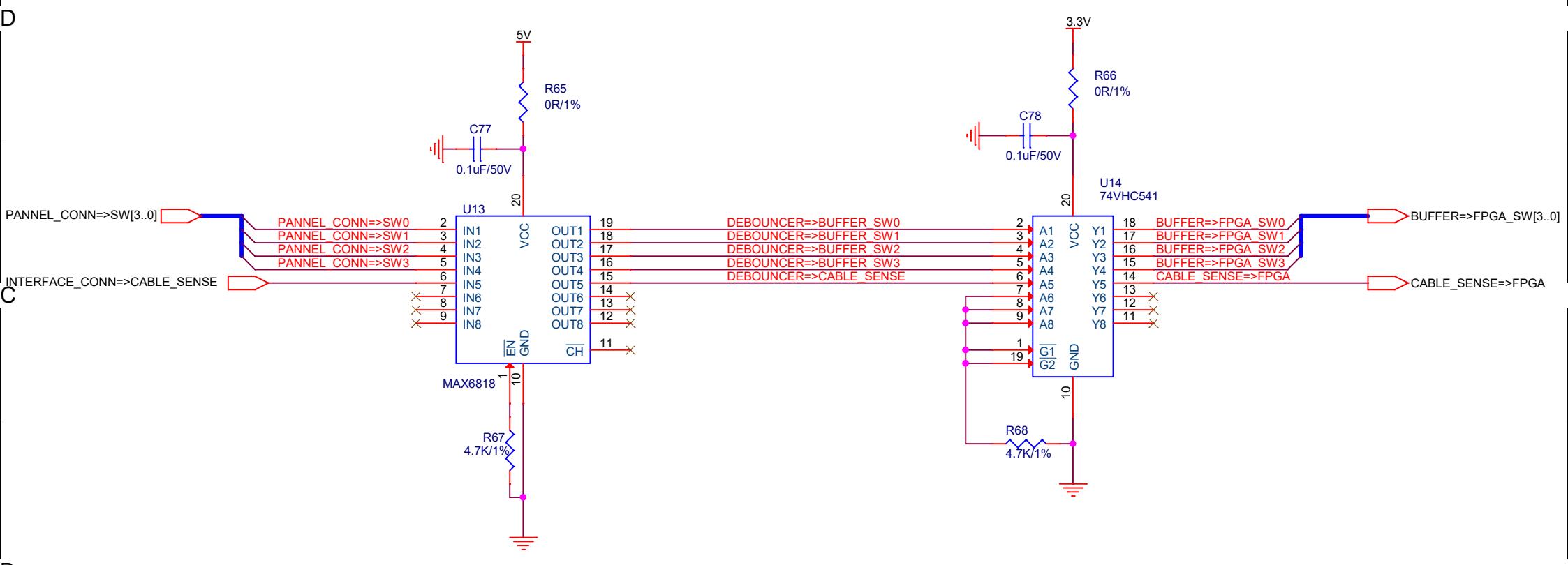
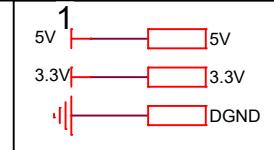
5

4

3

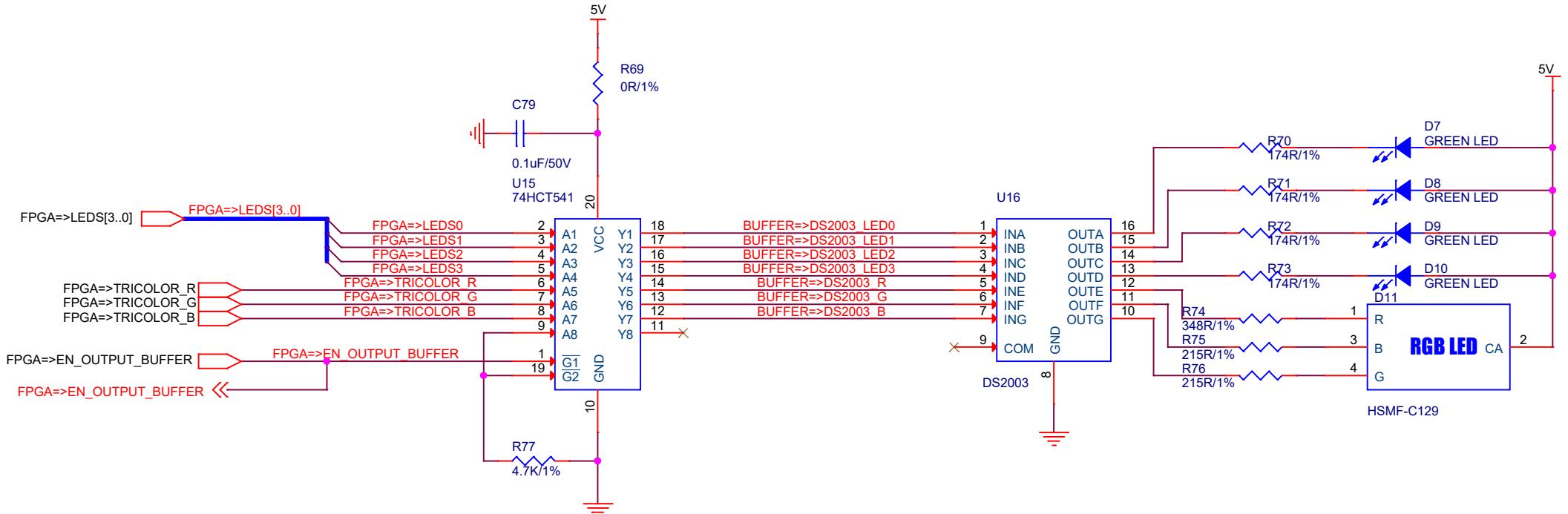
2

DEBOUNCER



Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board	Schematic Interfaces	Approved By Shay Levi and Daniel Tavor	
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor		
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020			Sheet 14 of 30

LEDS



Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Interfaces	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020	Sheet 15 of 30		



5

4

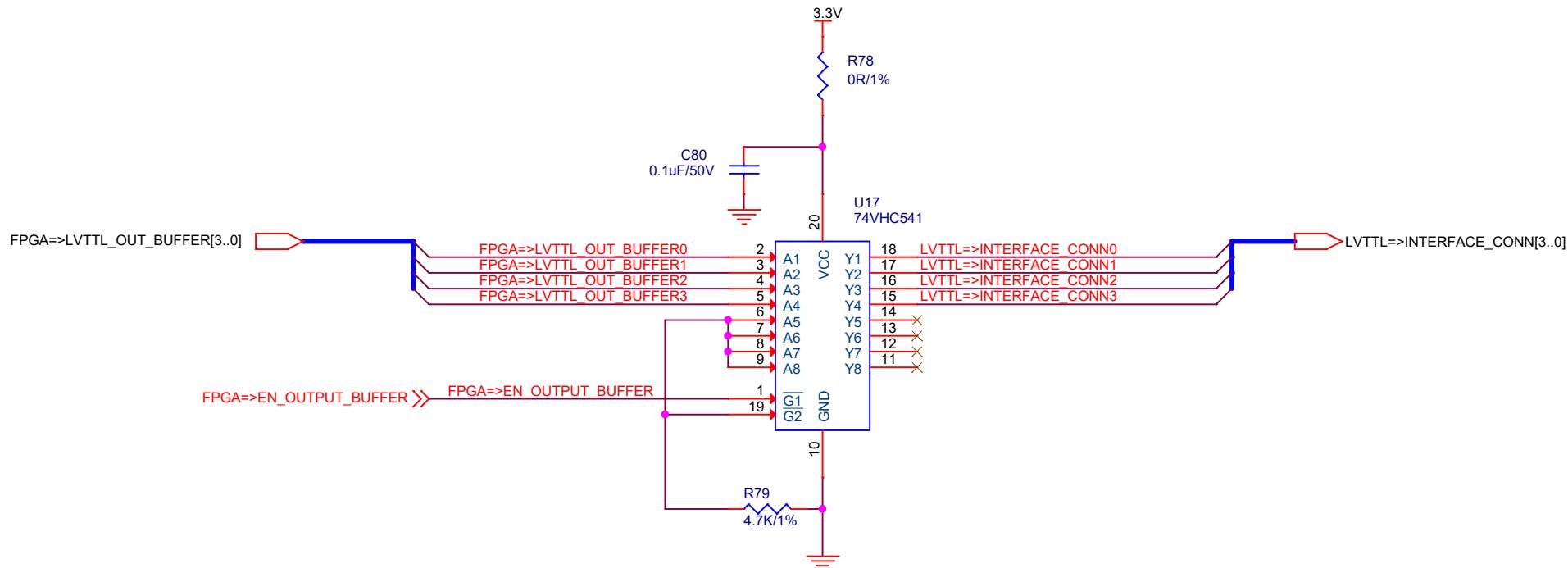
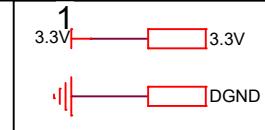
3

2

1

LVTTL OUT

OUTPUT LOGIC LEVEL 3.3V



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Interfaces	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 16	of 30

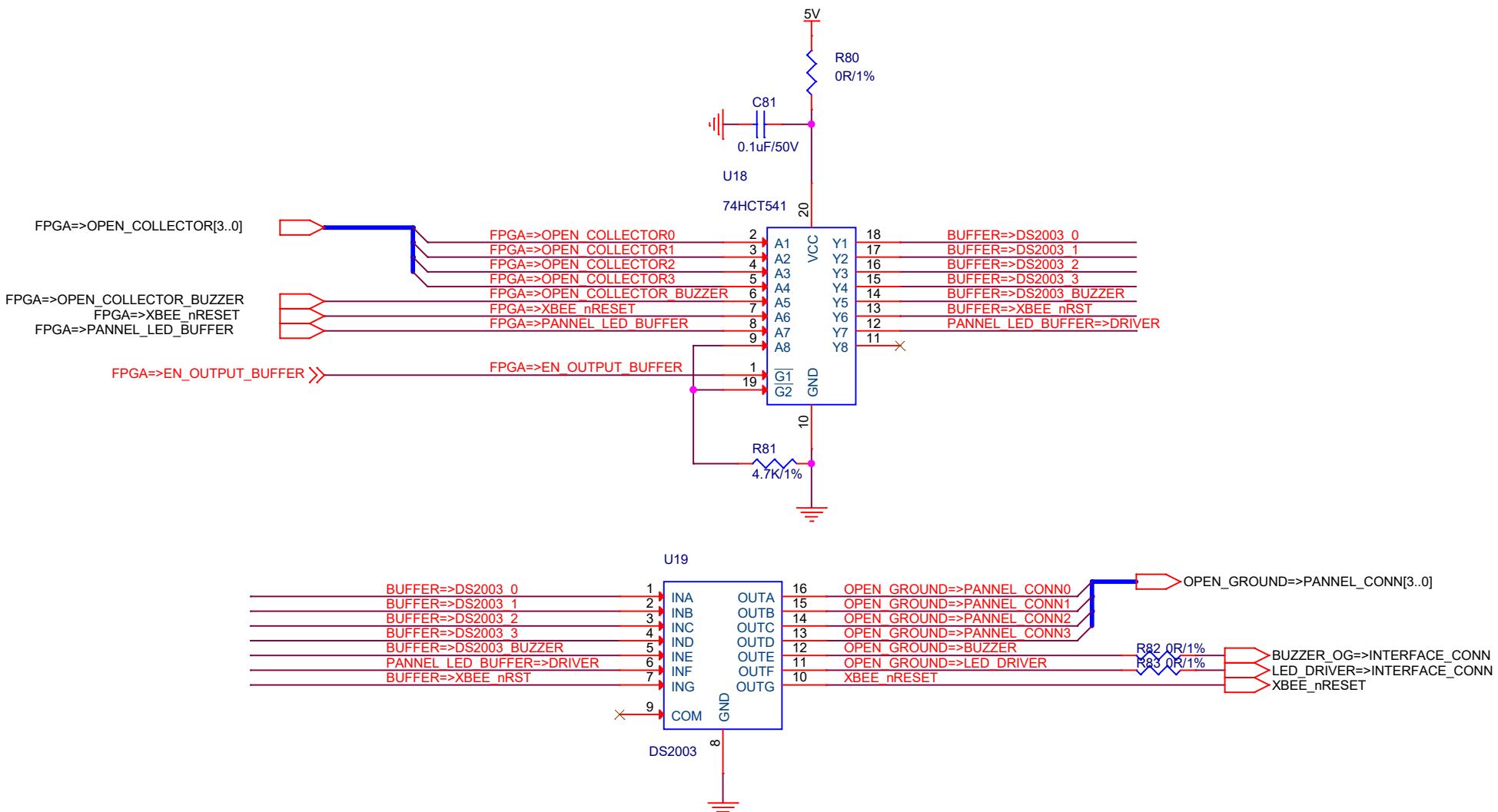
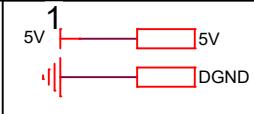
5

4

3

2

OPEN GROUND



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Interfaces	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 17	of 30

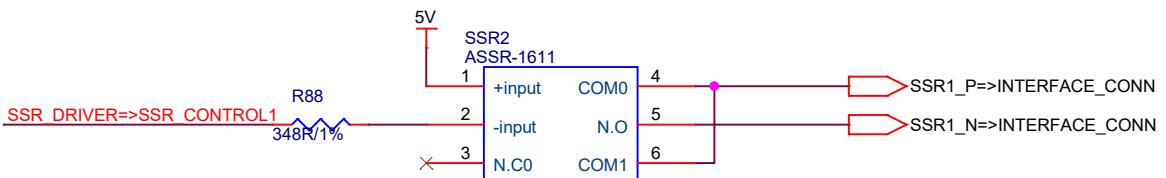
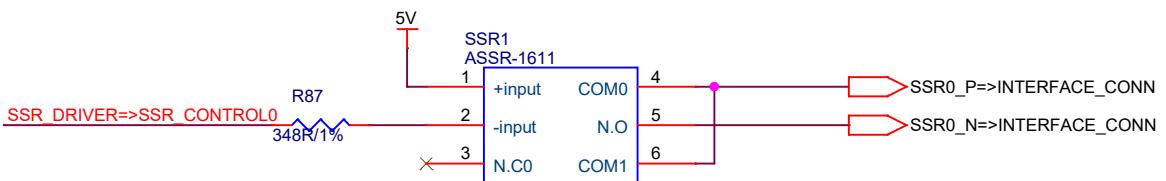
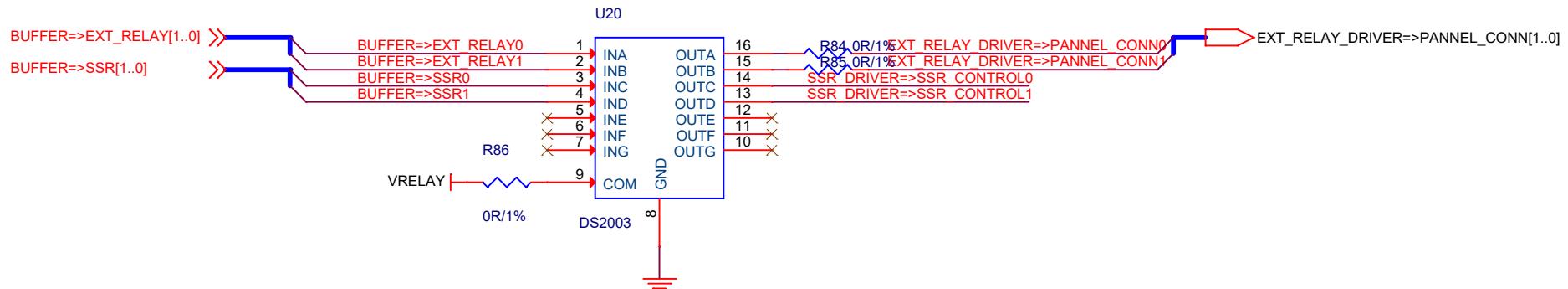
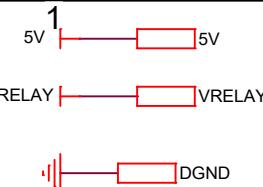
5

4

3

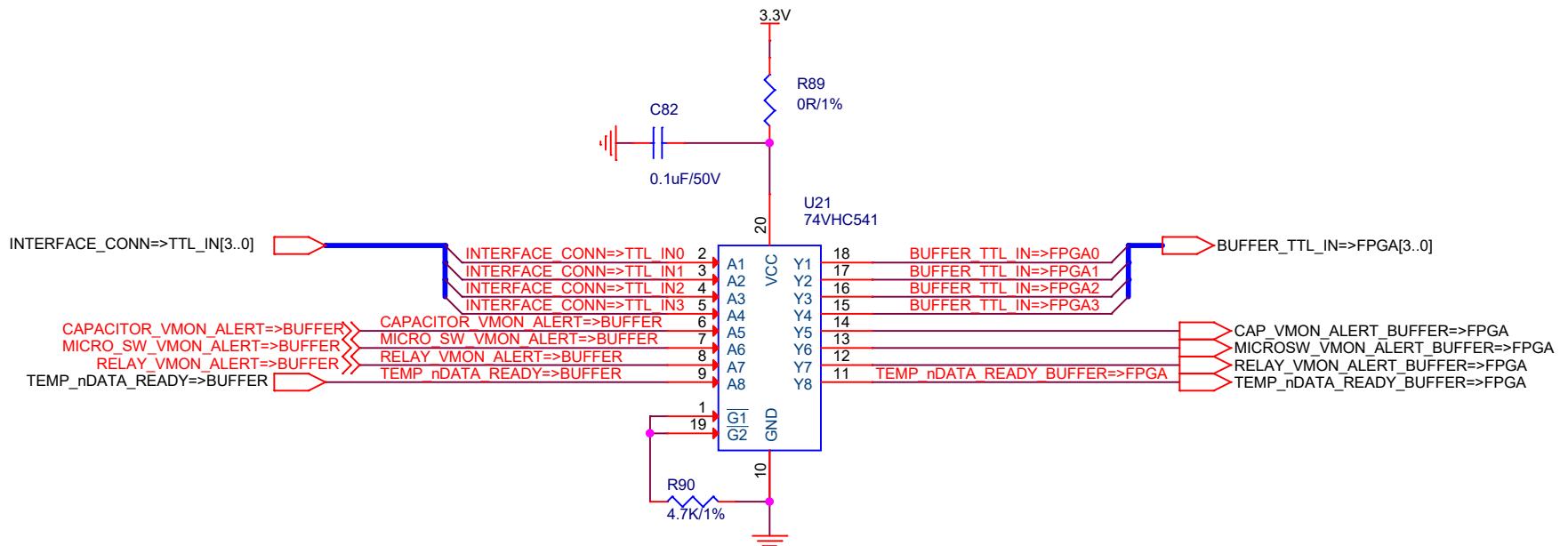
2

RELAY DRIVER AND CONTROL



Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board	Schematic Interfaces	Approved By Shay Levi and Daniel Tavor	
Designed By Nadav Moshe	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020	Sheet 18	of	30

TTL INPUTS



Design name SANTA		Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board	Schematic Interfaces	
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number RD1441-017-V1	Cage Code Rev 1.0
Date: Sunday, April 26, 2020	Sheet 19 of 30	

5

4

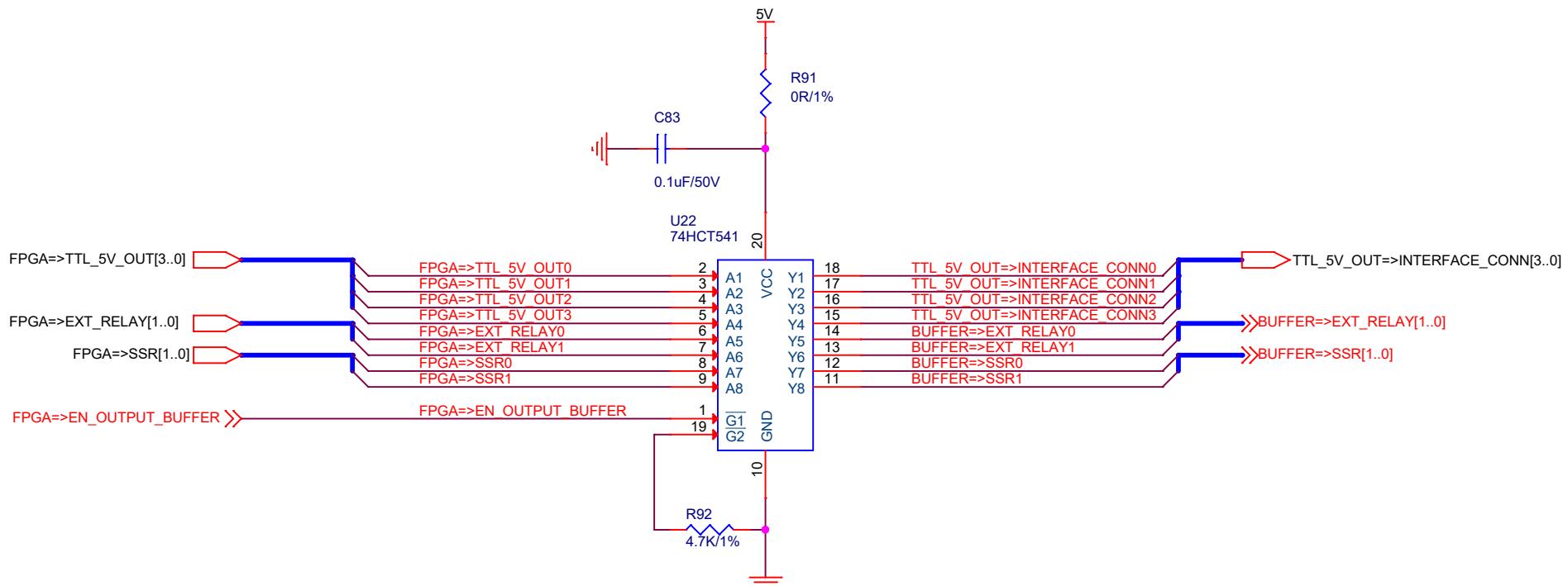
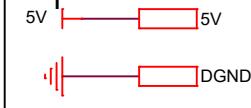
3

2

1

TTL OUTPUTS

OUTPUT LOGIC LEVEL 5V



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Interfaces	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 20	of 30

5

4

3

2

1

VOLTAGE_MONITOR=>I2C_SDA
VOLTAGE_MONITOR=>I2C_SCL

VOLTAGE_MONITOR=>I2C_SDA
VOLTAGE_MONITOR=>I2C_SCL

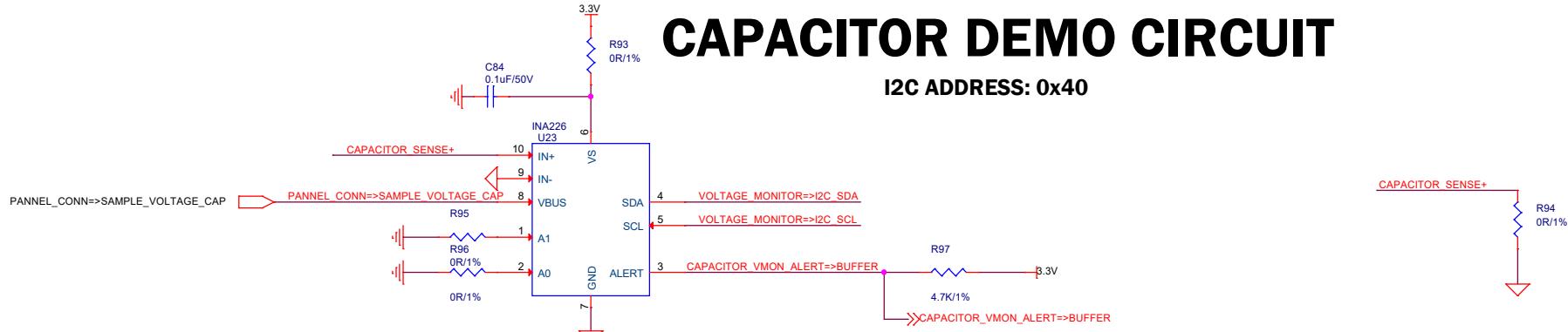
VOLTAGE SAMPLE AND MONITOR

CAPACITOR DEMO CIRCUIT

I2C ADDRESS: 0x40

D

D



C

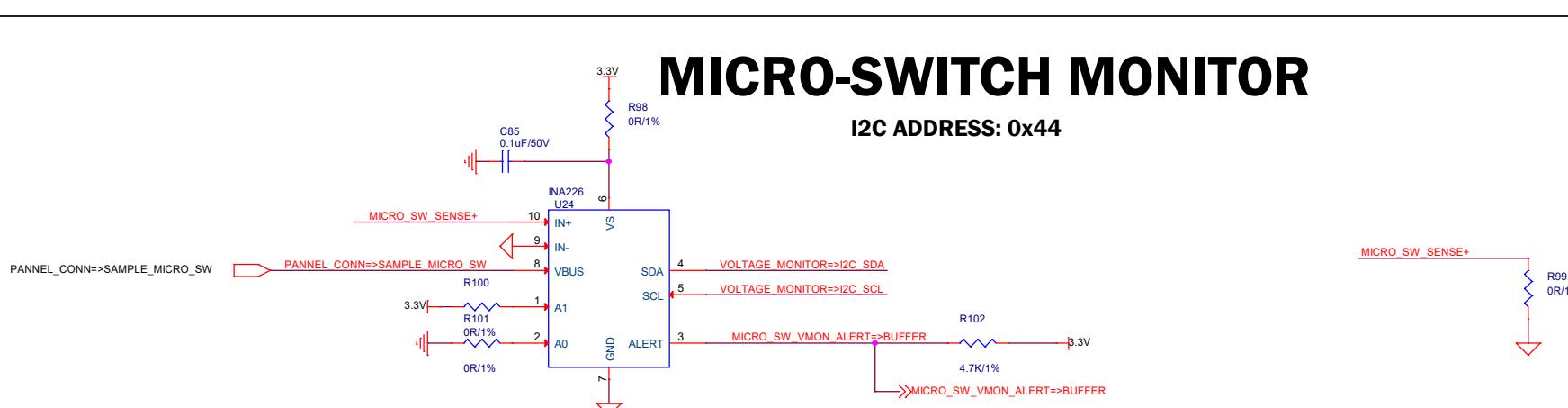
C

MICRO-SWITCH MONITOR

I2C ADDRESS: 0x44

B

B

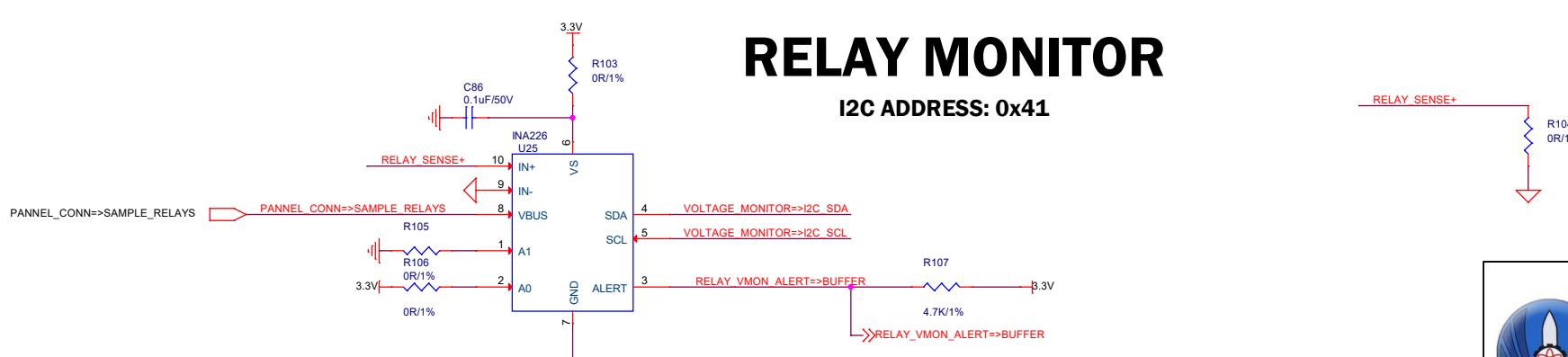


A

A

RELAY MONITOR

I2C ADDRESS: 0x41



Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations	
Title Santa Claus Board	Schematic Interfaces
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor
Size A3	Document Number RD1441-017-V1
Cage Code 1.0	Rev 1
Date: Sunday, April 26, 2020	Sheet 21 of 30

5

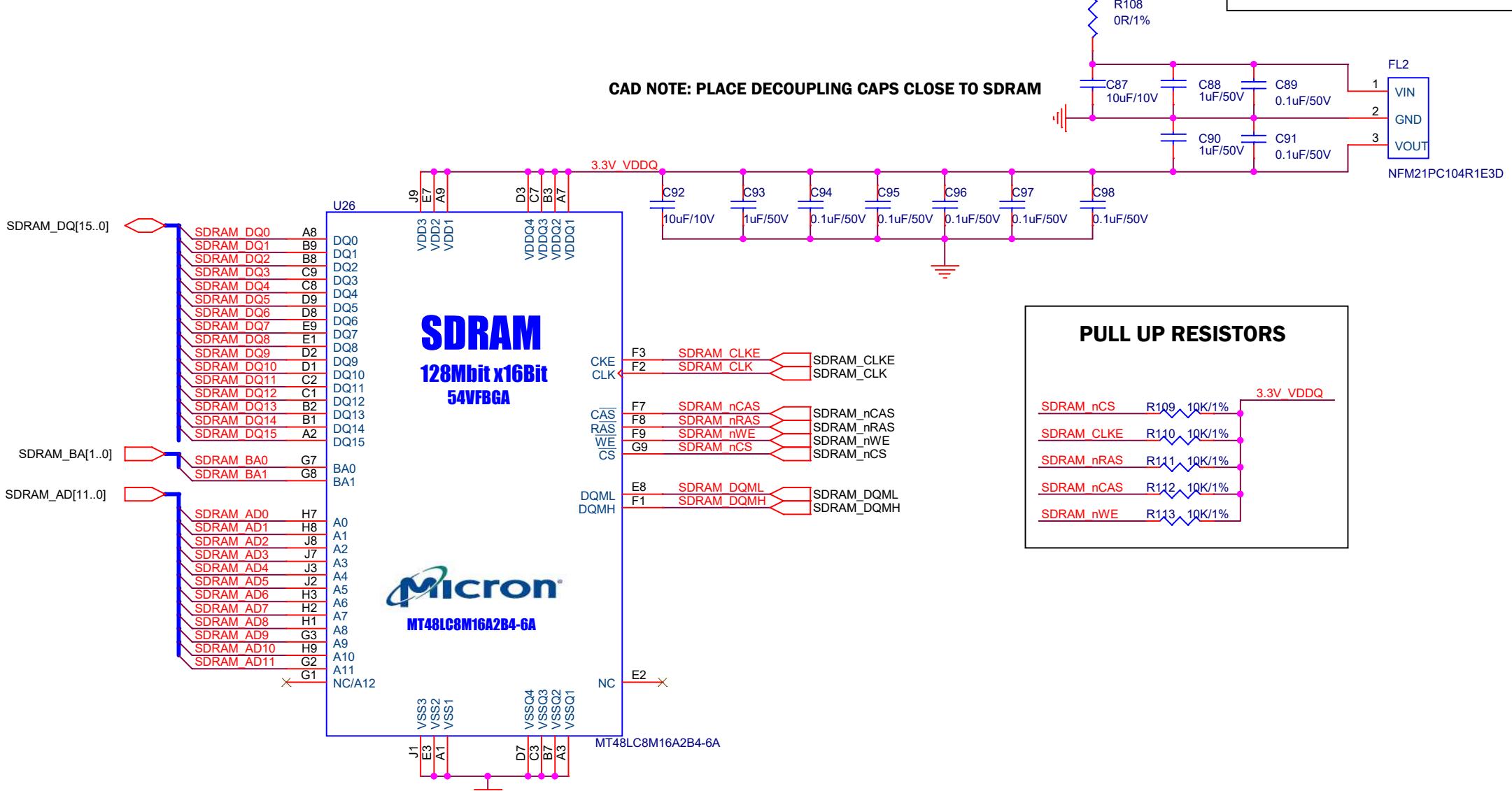
4

3

2

1

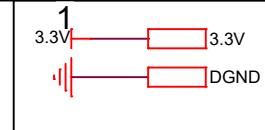
SDRAM



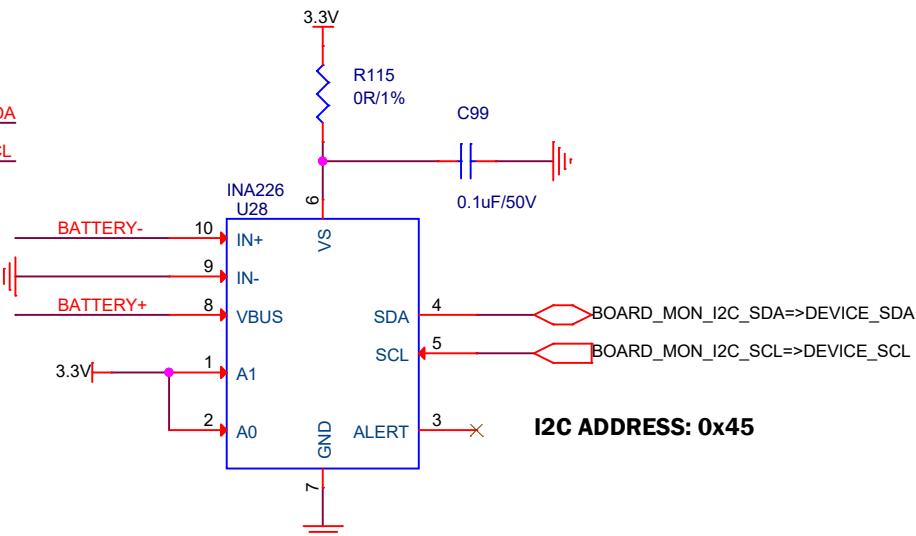
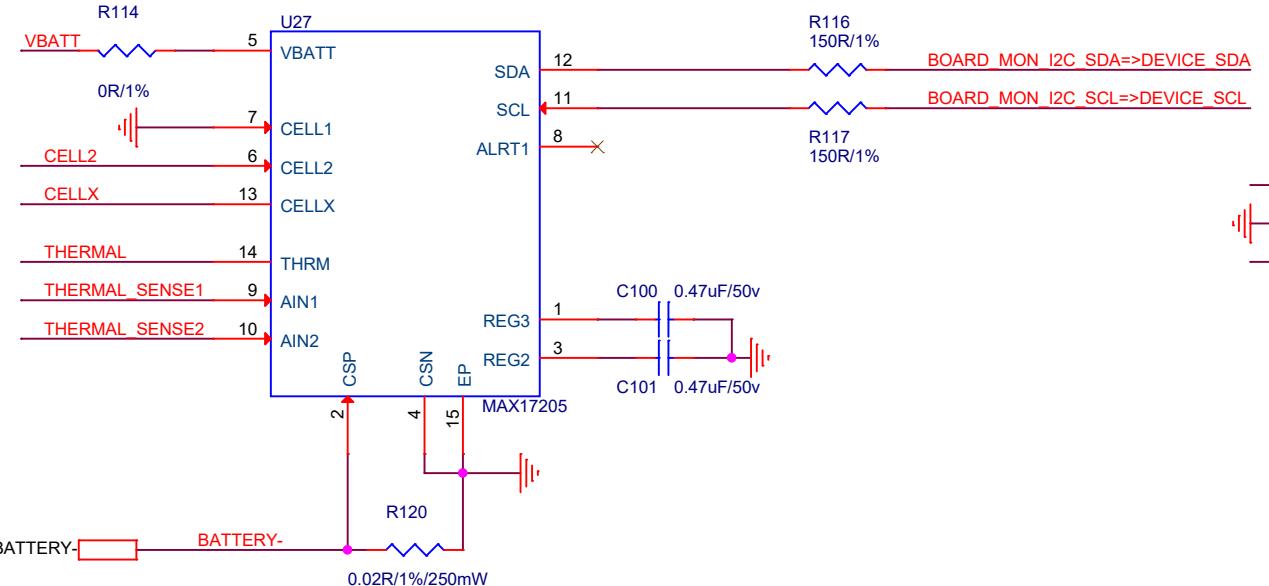
		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic Memory	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020			Sheet 22 of 30

BATTERY POWER GAUGE

CAD NOTE: PLACE THIS CLOSE TO POWER CONNECTORS



I2C ADDRESS: 0x6C | 0x16

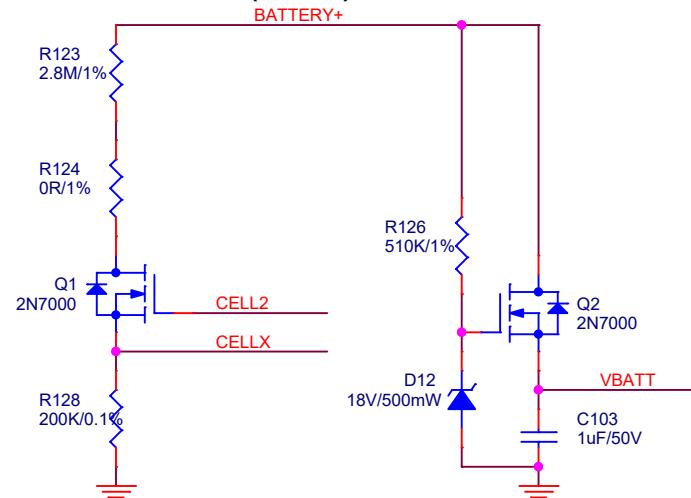


I2C ADDRESS: 0x45

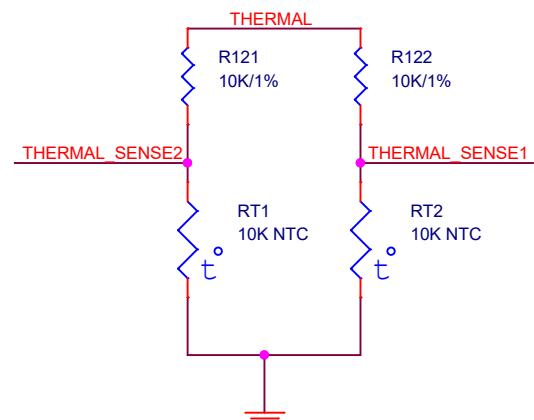
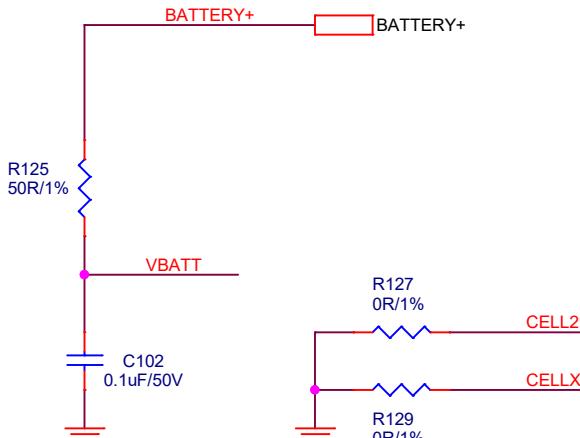
CAD NOTE: PLACE SHUNT RESISTOR CLOSE TO MAX17205 AND INA226

CELL PACK MORE THAN 4S

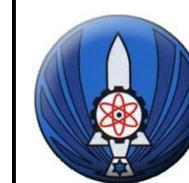
CHANGE R122 ACCORDING TO YOUR CELL (N):
 $(2.5 \times N - 1) \times 200\text{K}\Omega$



2S TO 4S CELL PACK



Design name	SANTA	Class	Unclassified
Organization	IAF - BAMZA 108 - Special Operations		
Title	Santa Claus Board	Schematic	Monitor
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A4	22836191.C.01	RD1441-017-V1	1.0
Date:	Sunday, April 26, 2020	Sheet	23 of 30



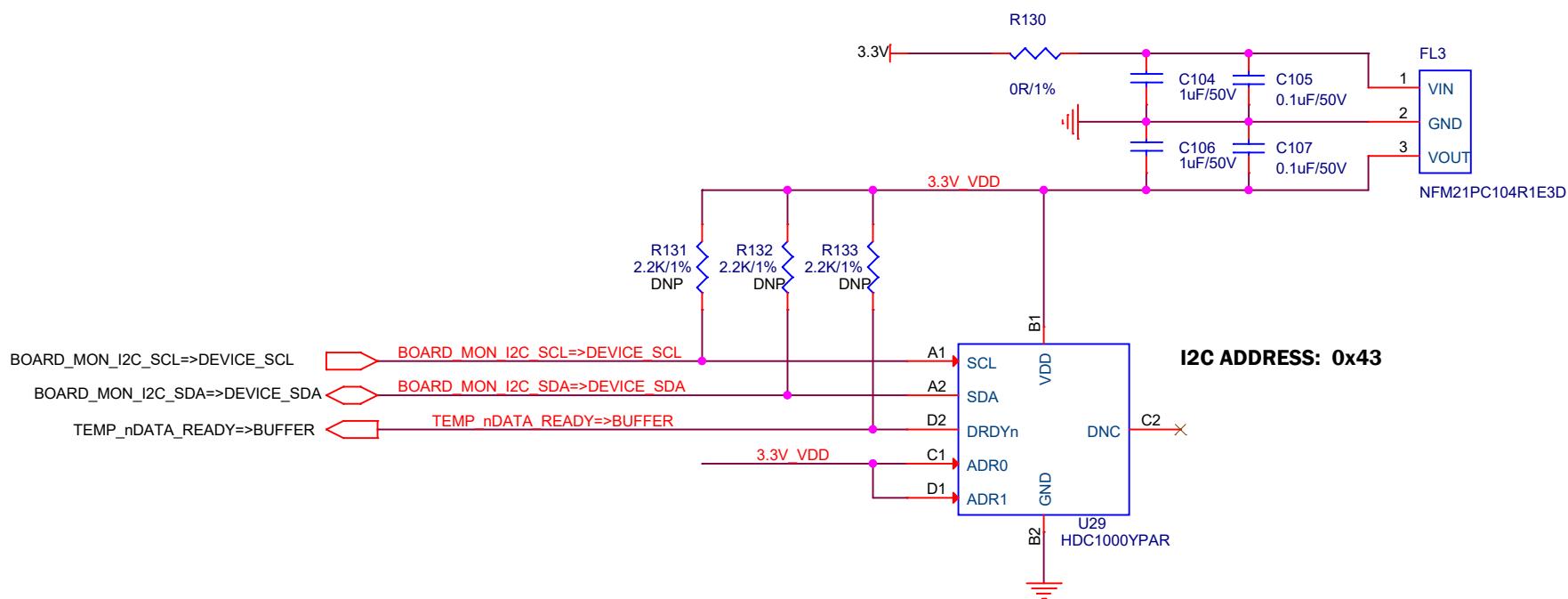
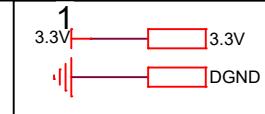
5

4

3

2

TEMPERATURE SENSOR



Design name SANTA		Class Unclassified	
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board	Schematic Monitor		
Designed By Nadav Moshe	Approved By Shay Levi and Daniel Tavor		
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 24	of 30

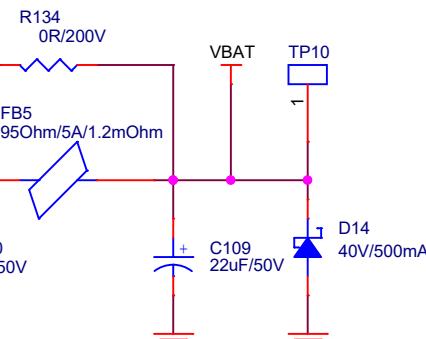
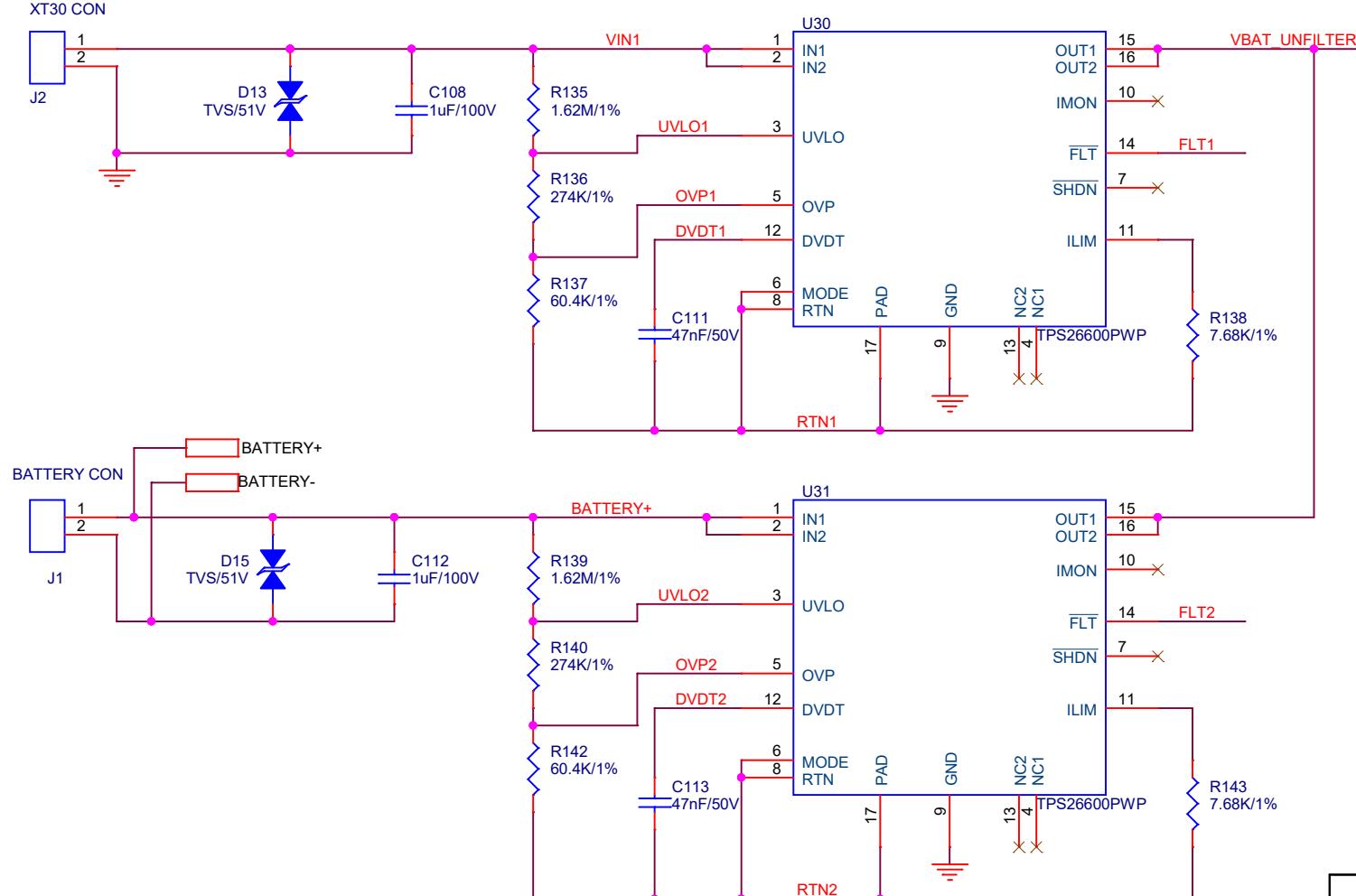
DUAL POWER SUPPLY

UNDER VOLTAGE: 7V

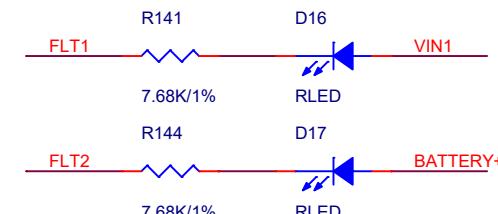
OVER VOLTAGE: 38V

CURRENT LIMIT: 1.5A

CAD NOTE: SEE LAYOUT GUIDELINES ON DATASHEET

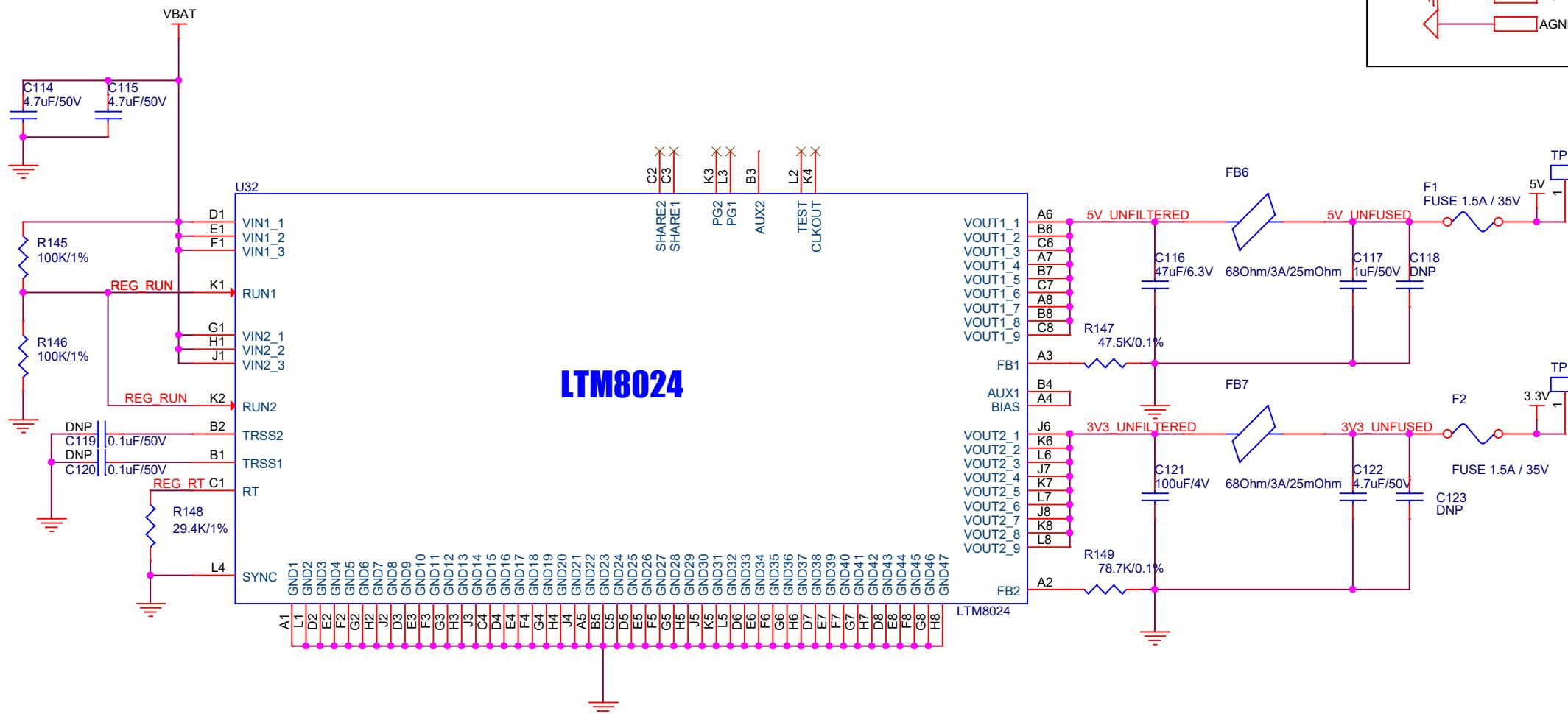


FAULT INDICATORS

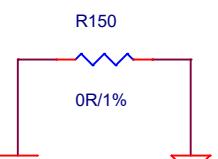


Design name SANTA		Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board		Schematic Power
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1
Date: Sunday, April 26, 2020	Rev 1.0	Sheet 25 of 30

VBAT TO 5V AND 3.3V STEP DOWN



GROUND SEPERATION



Design name SANTA		Class Unclassified
Organization IAF - BAMZA 108 - Special Operations		
Title Santa Claus Board		Schematic Power
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1
Date: Sunday, April 26, 2020	Rev 1.0	Sheet 26 of 30

5

4

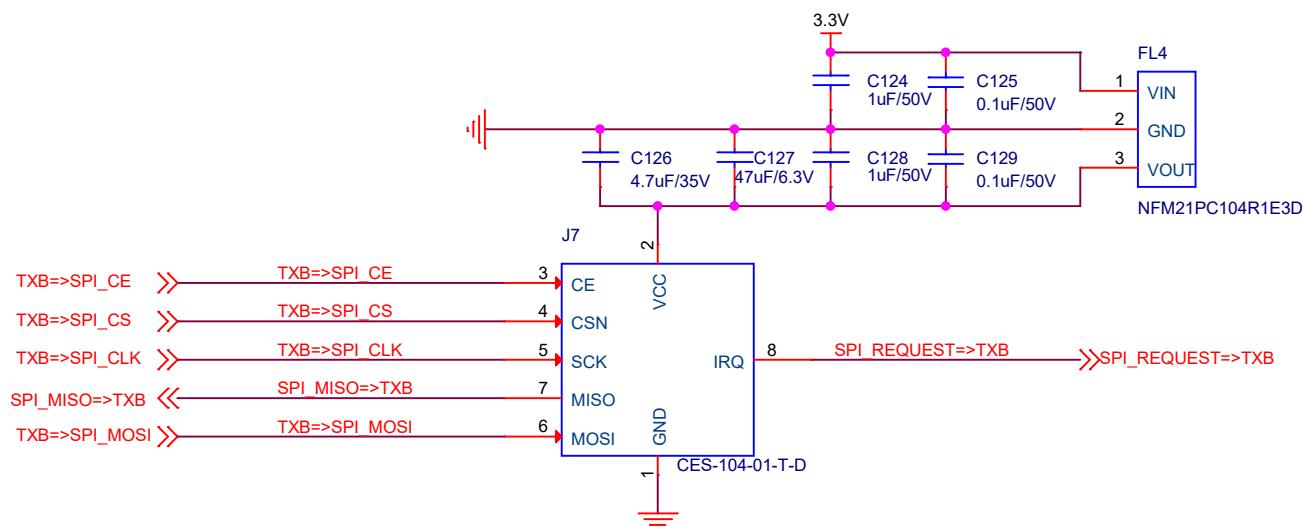
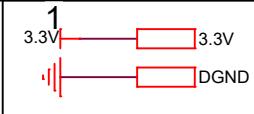
3

2

2G4M27D

2.4GHz 27dBm RF Module

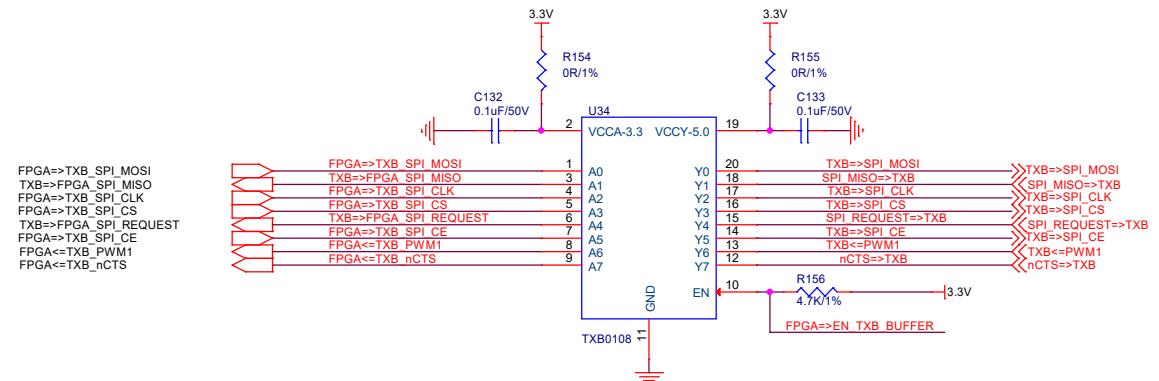
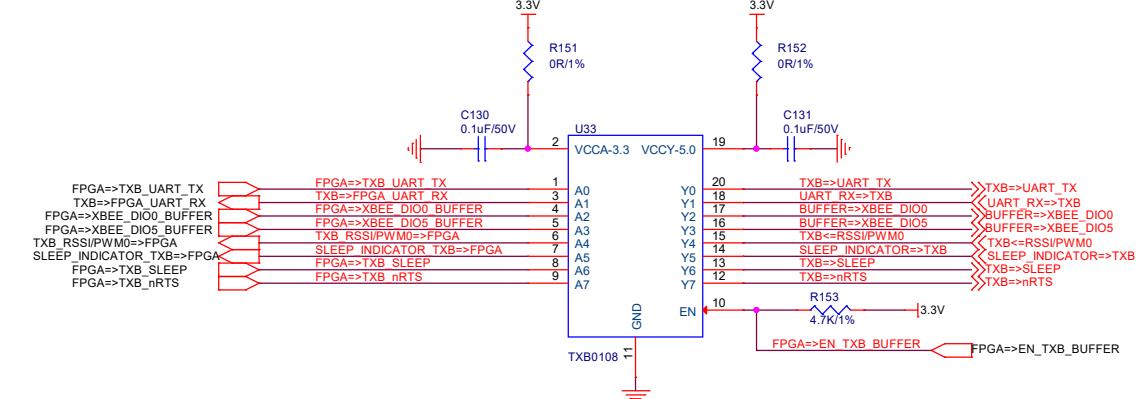
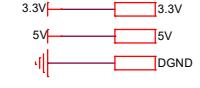
COMMUNICATION LOGIC LEVEL: 3.3V



		Design name SANTA	Class Unclassified
Organization IAF - BAMZA 108 - Special Operations			
Title Santa Claus Board		Schematic RF Transceivers	
Designed By Nadav Moshe		Approved By Shay Levi and Daniel Tavor	
Size A4	Document Number 22836191.C.01	Cage Code RD1441-017-V1	Rev 1.0
Date: Sunday, April 26, 2020		Sheet 27 of 30	

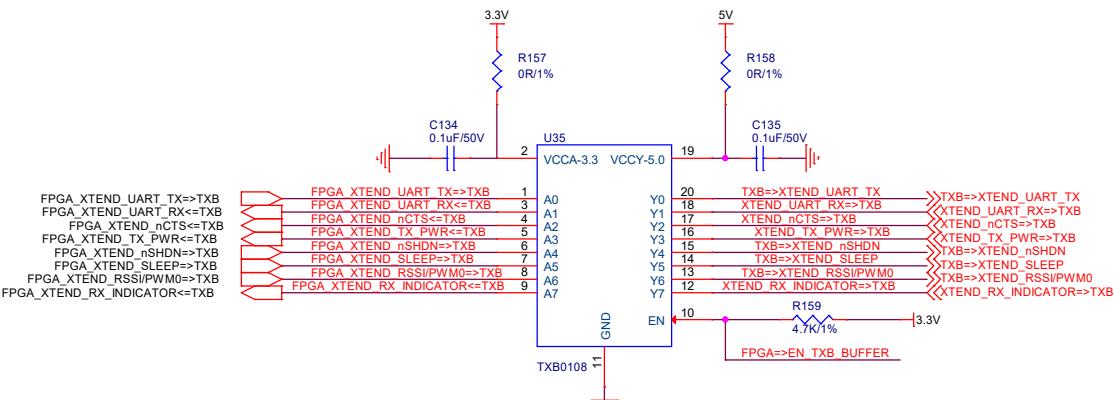
BIDIRECTIONAL BUFFER FOR RF MODULES

COMMUNICATION LOGIC LEVEL: 3.3V



BIDIRECTIONAL BUFFER FOR XTEND

COMMUNICATION LOGIC LEVEL: 5V



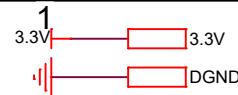
Design name	SANTA	Class	Unclassified
Organization	IAF - BAMZA 108 - Special Operations		
Title	Santa Claus Board	Schematic	RF Transceivers
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A3	22836191.C.01	RD1441-017.V1	1.0
Date:	Sunday, April 26, 2020	Sheet	28 of 30

5

4

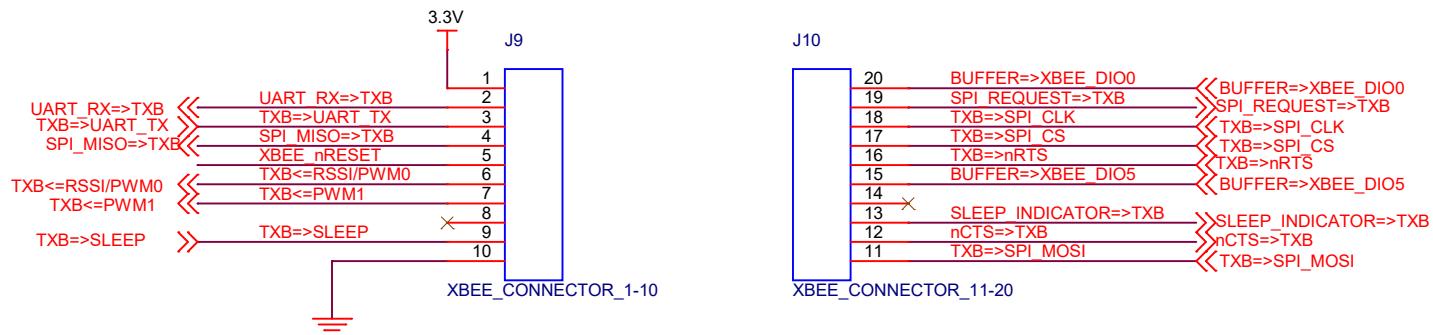
3

2

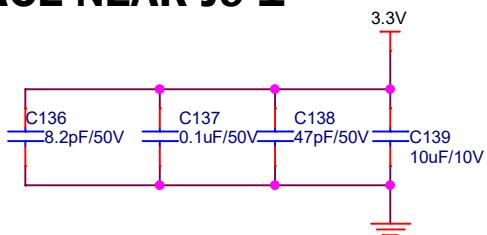


XBEE PRO 0dBm RF Module

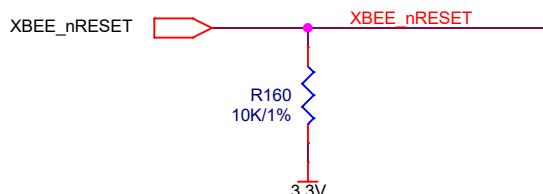
COMMUNICATION LOGIC LEVEL: 3.3V



**DECOUPLING CAPS
PLACE NEAR J9-1**



RESET PULLUP



Design name	SANTA	Class	Unclassified
Organization	IAF - BAMZA 108 - Special Operations		
Title	Santa Claus Board	Schematic	RF Tranceivers
Designed By	Nadav Moshe	Approved By	Shay Levi and Daniel Tavor
Size	Document Number	Cage Code	Rev
A4	22836191.C.01	RD1441-017-V1	1.0
Date:	Sunday, April 26, 2020	Sheet	29 of 30

5

4

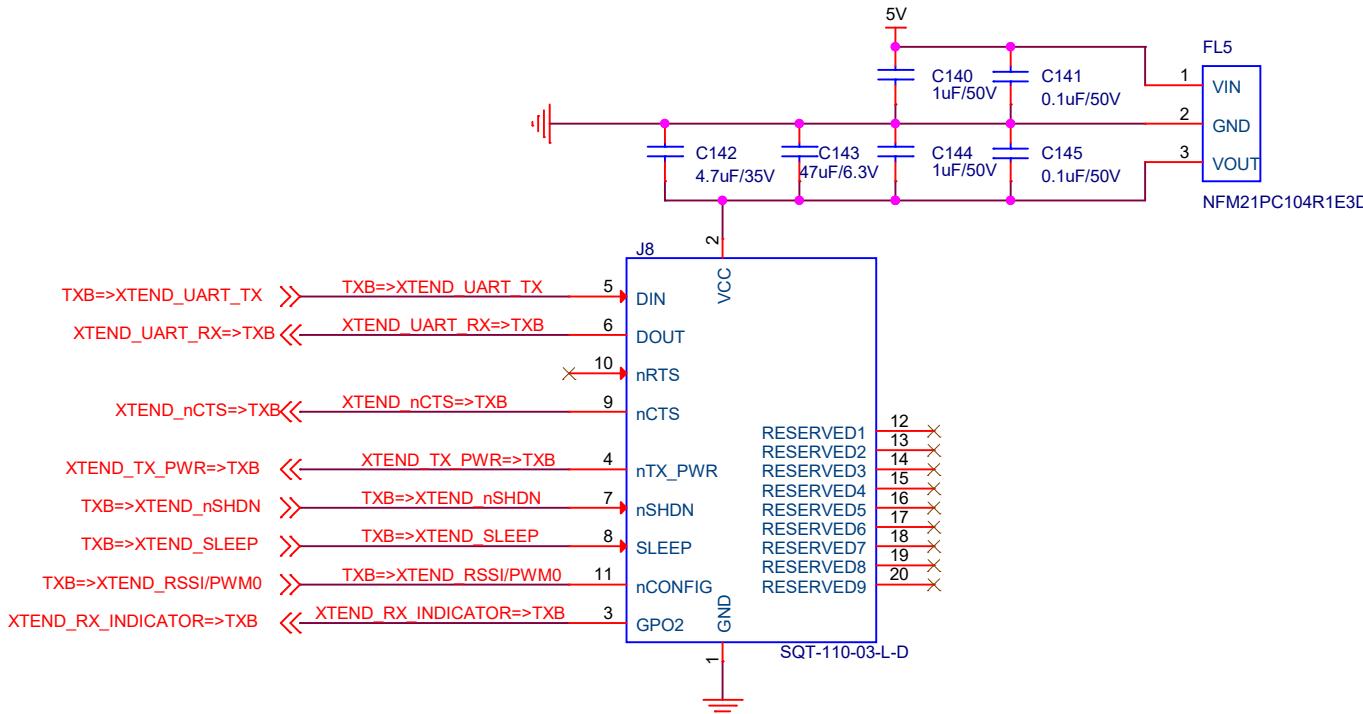
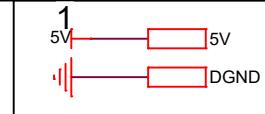
3

2

XTEND

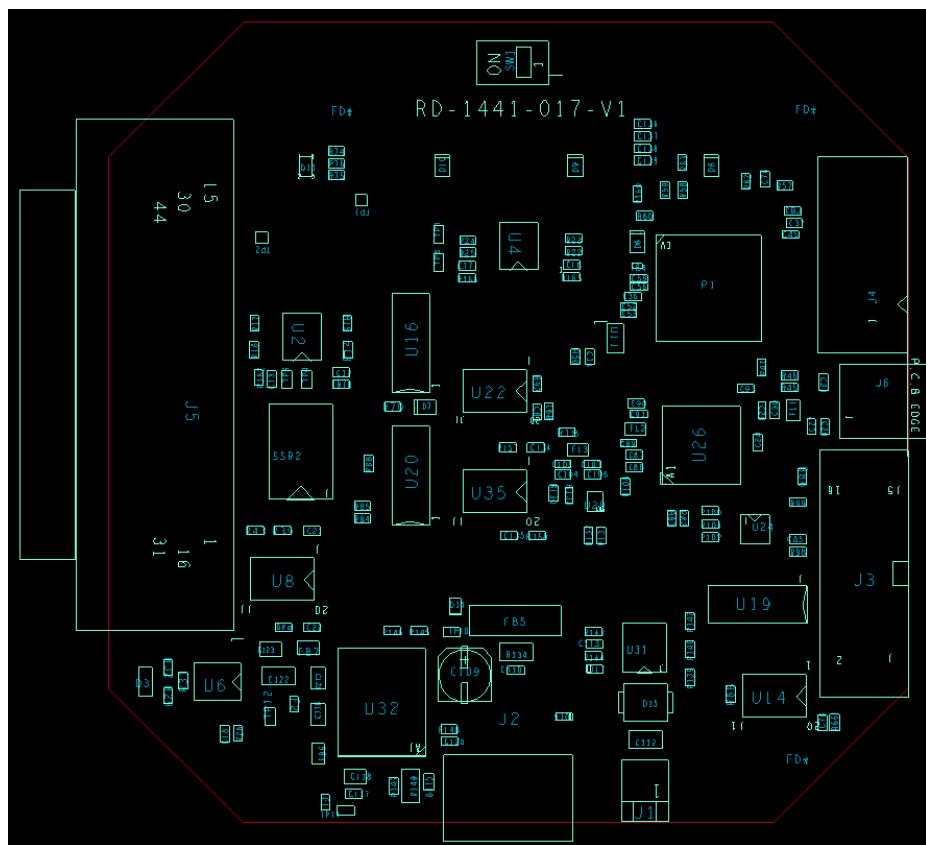
900MHz 30dBm RF Module

COMMUNICATION LOGIC LEVEL: 5V

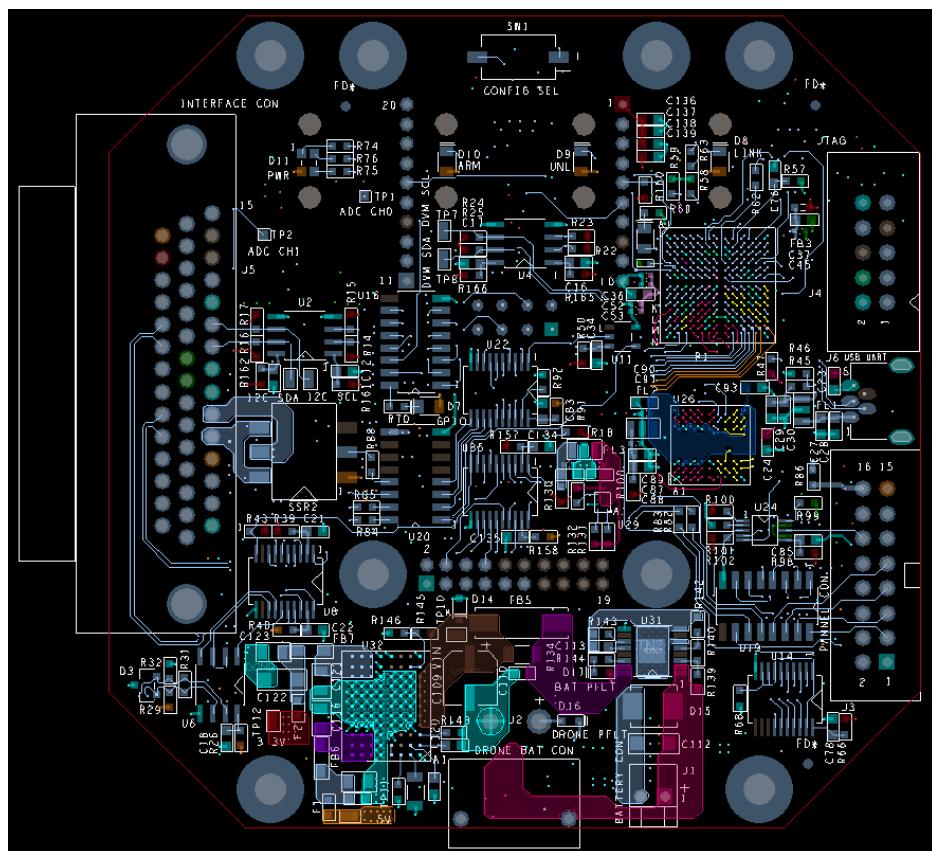


	Design name SANTA	Class Unclassified
Organization	IAF - BAMZA 108 - Special Operations	
Title	Santa Claus Board	Schematic RF Tranceivers
Designed By	Nadav Moshe	Approved By Shay Levi and Daniel Tavor
Size	Document Number	Cage Code
A4	22836191.C.01	RD1441-017-V1
Date:	Sunday, April 26, 2020	Rev 1.0
		Sheet 30 of 30

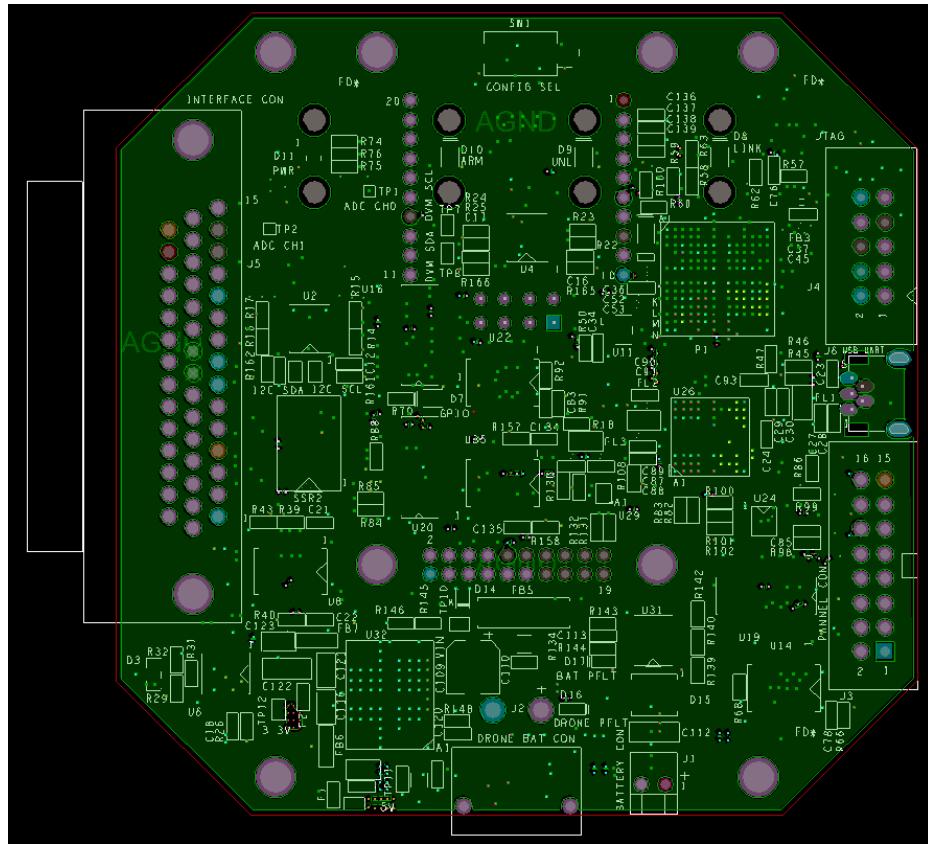
שכבות Silkscreen – TOP



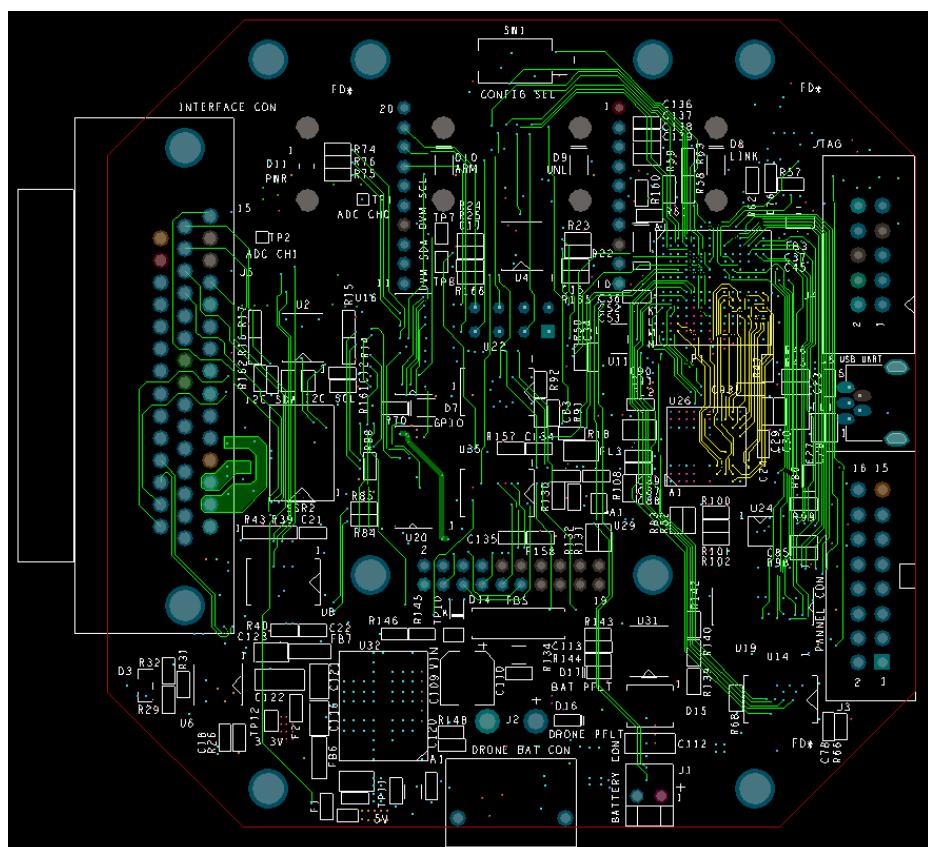
שכבת TOP

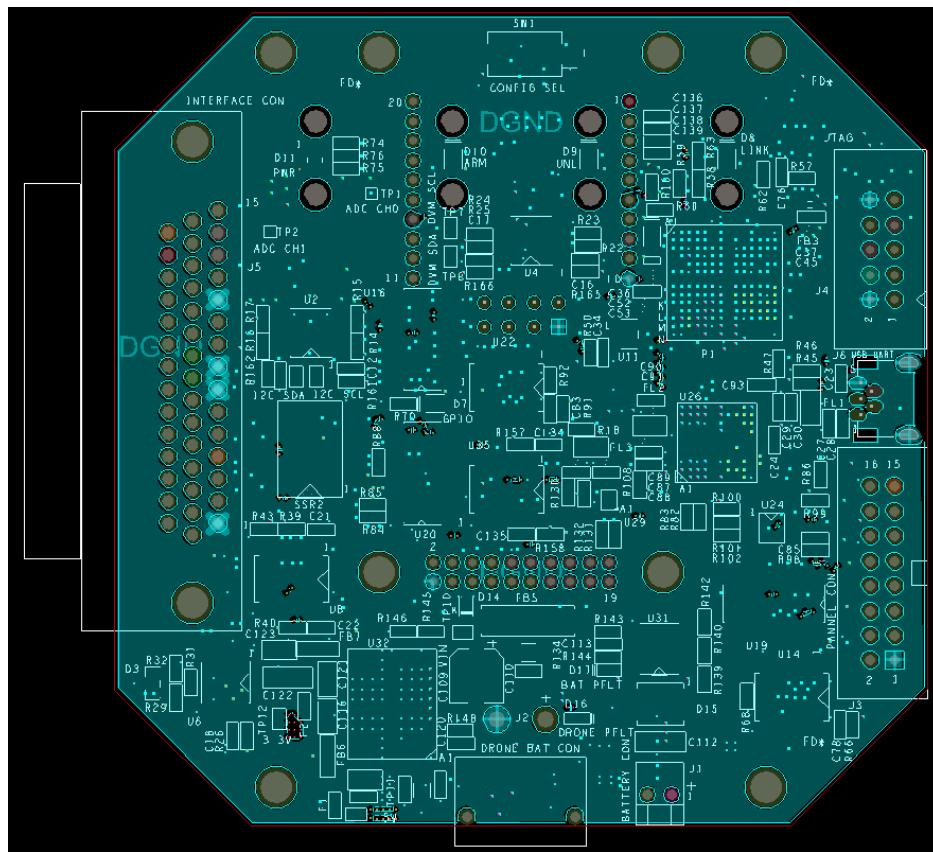
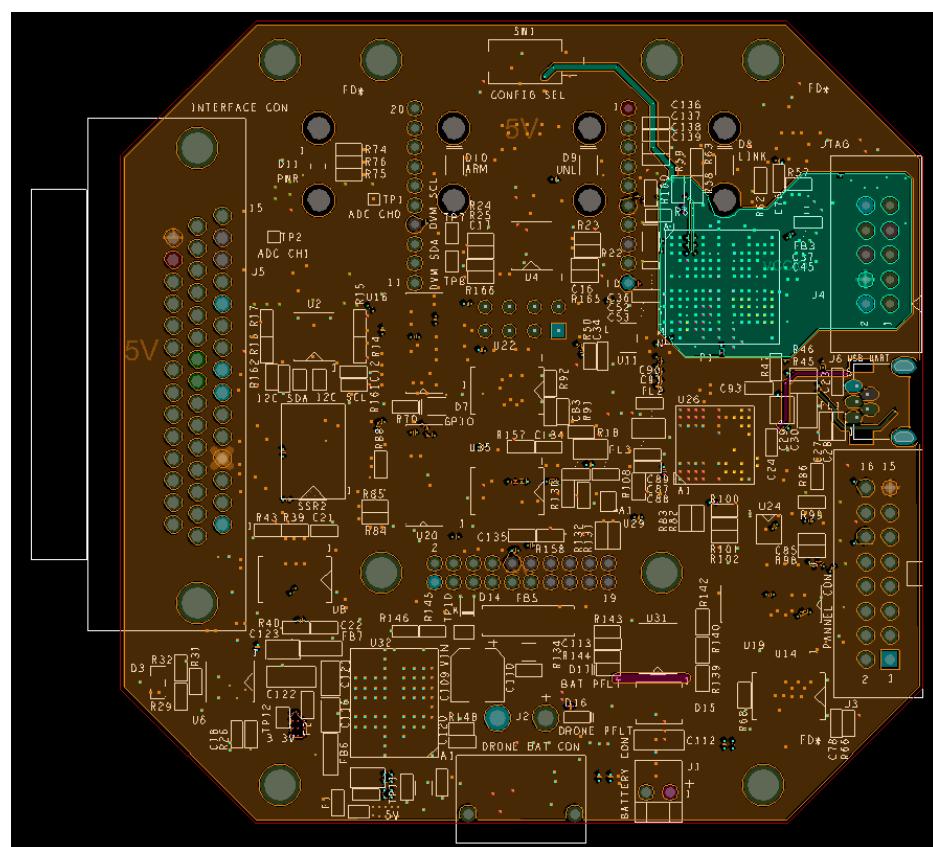


שכבה אדמונית אנלוגית AGND

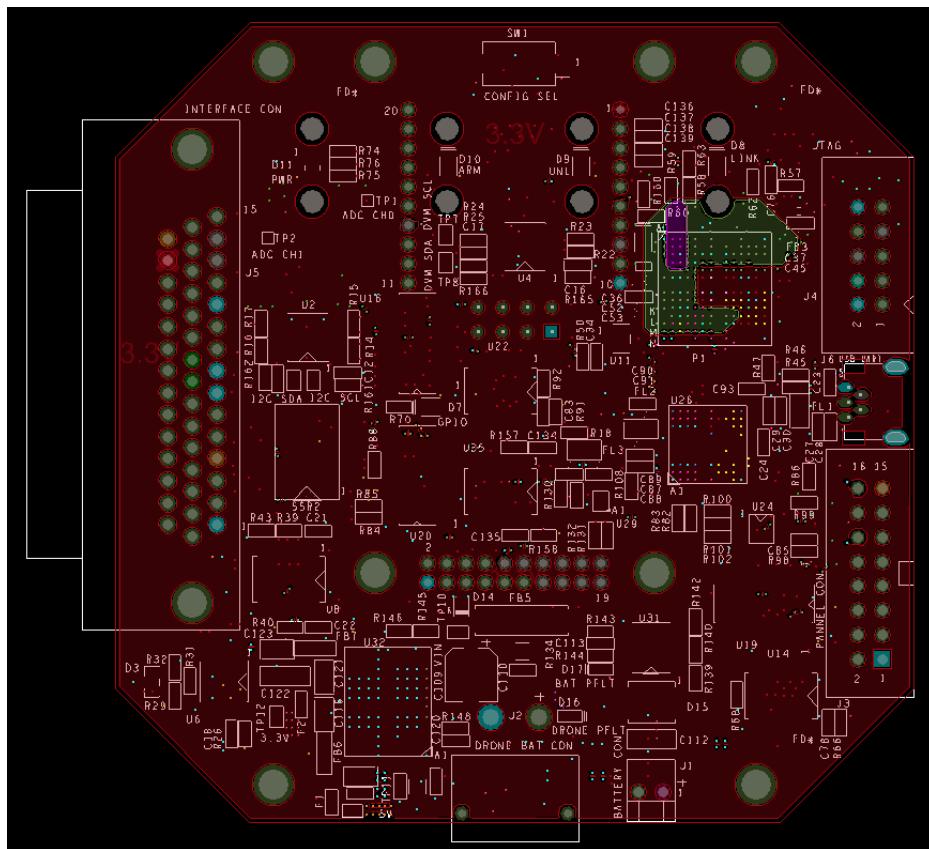


שכבות מוליכים – Layer 3

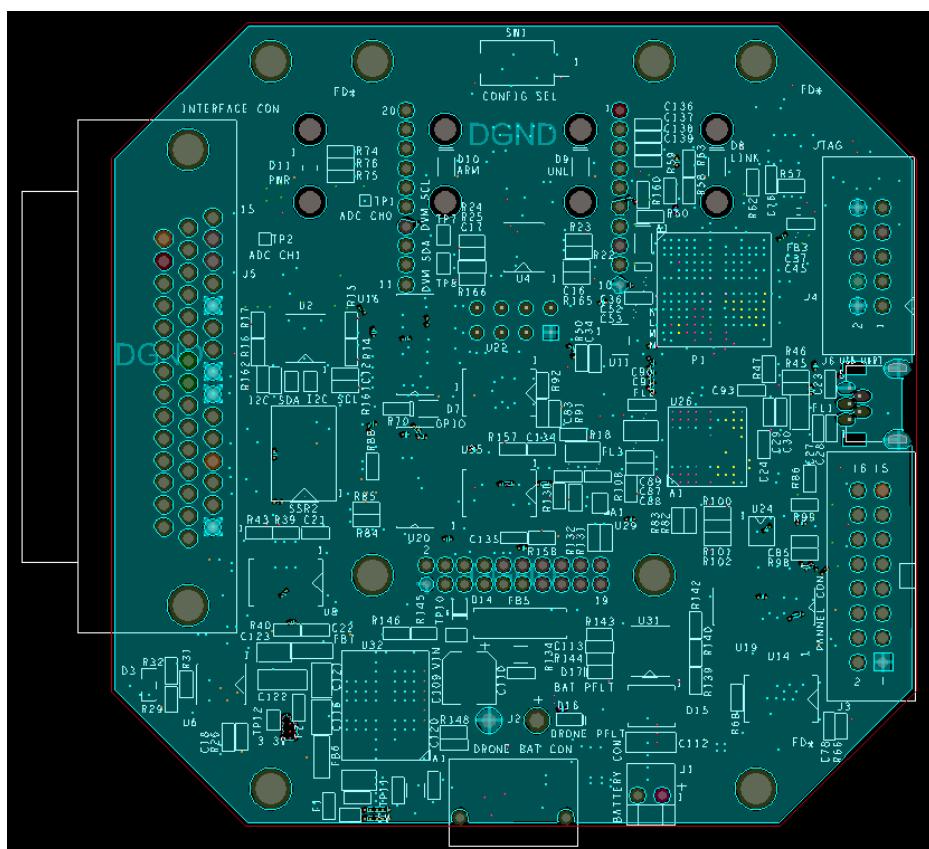


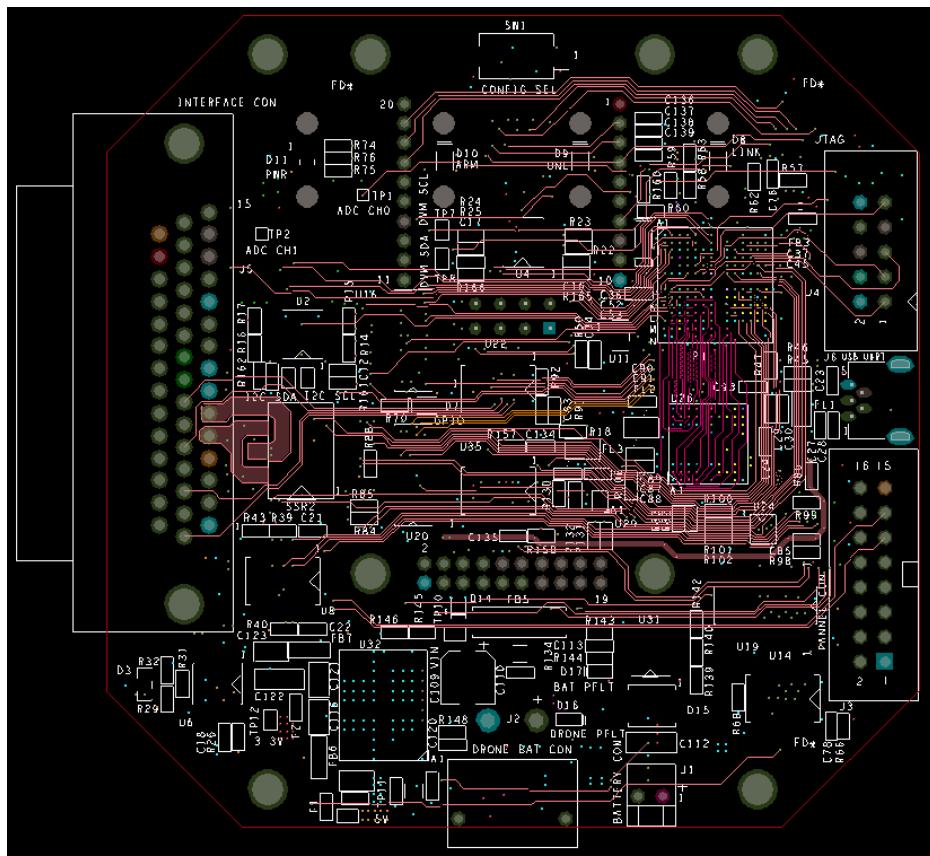
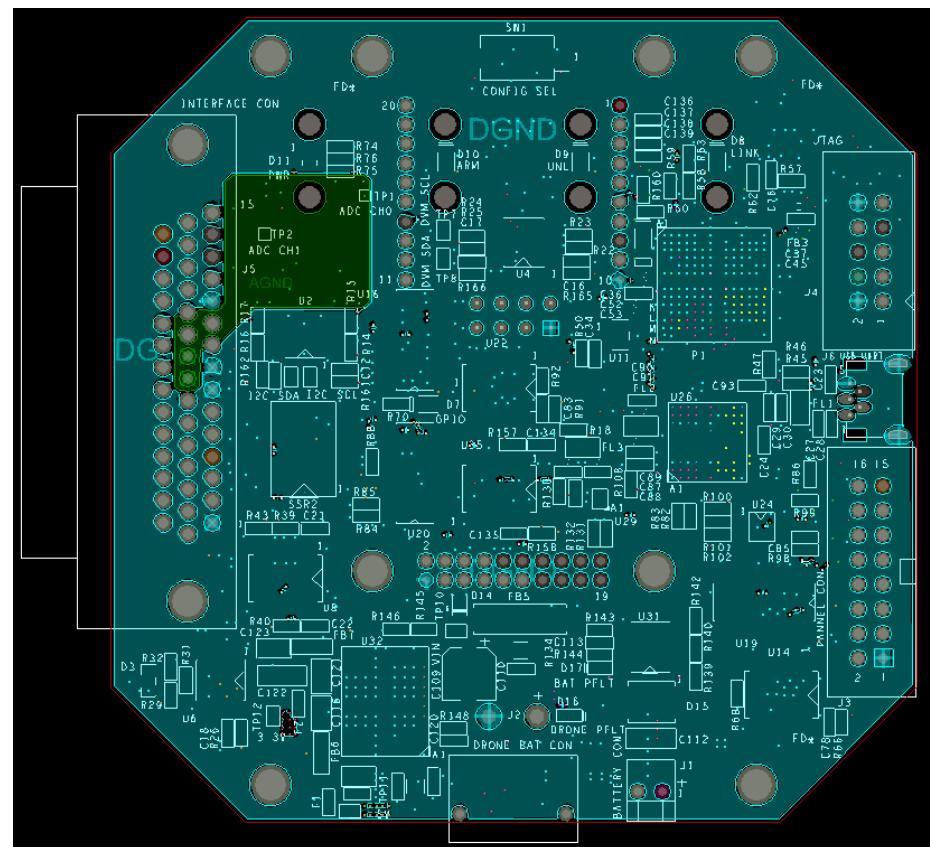
שכבה אדמה דיגיטלית DGND Layer 4**שכבה מתחי הזרה 5V,VCCIO Layer 5**

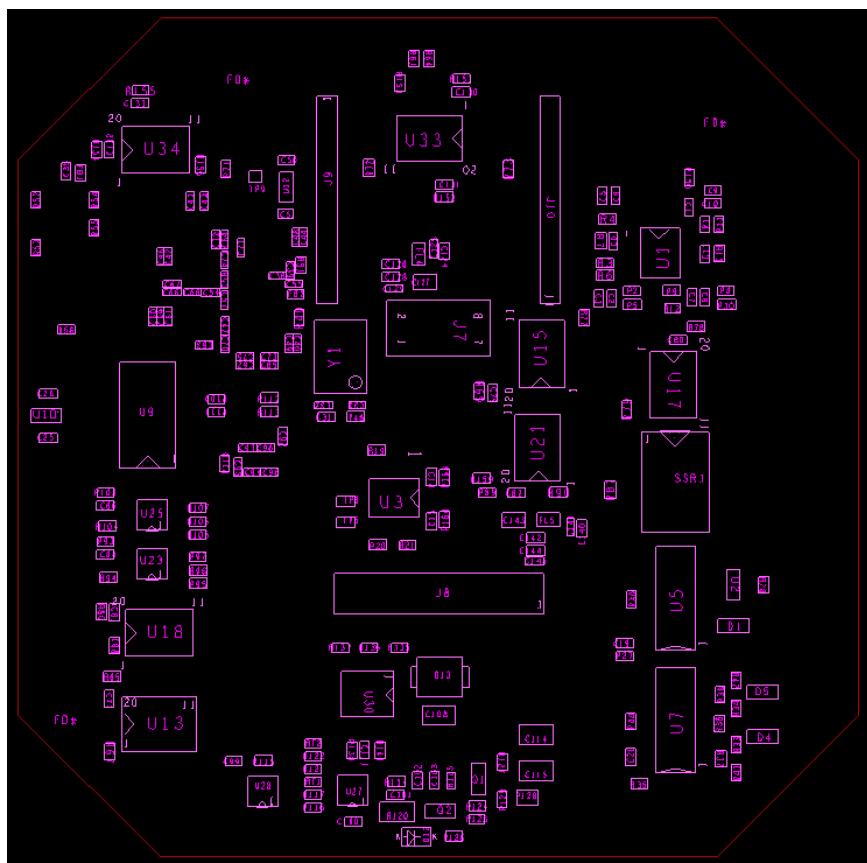
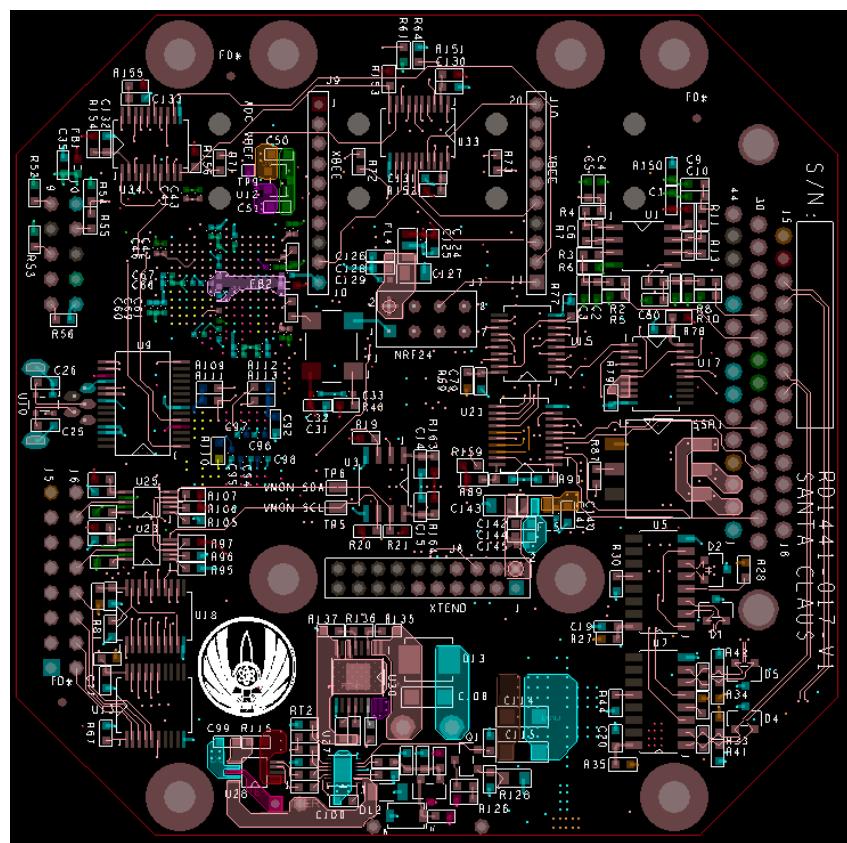
שכבות מתחי הזרה Layer 6 – 3.3V, VCCA, ADC_VREF



שכבה אדמה דיגיטלית DGND



שכבה מוליכים – Layer 8**שכבה אדמה דיגיטלית ואנלוגית DGND,AGND – Layer 9**

שכבה Bottom - Silkscreen**שכבת Bottom**

UART .1**UART TX .1.1**

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions

entity TX is
    generic (
        dataInSize: INTEGER := 8;
        freq : INTEGER := 7372800;
        baudRate : INTEGER := 115200;
        parityExist : std_logic:='1';
        parityPolarity : std_logic:='0';
        stopBitSize: INTEGER := 1;
        dataTransmitPolarity:std_logic := '0' -- 0 for LSB first and 1 for
MSB first
    );
port (
    clock  : in std_logic;
    nRST : in std_logic;
    trigger : in std_logic;
    dataIn : in std_logic_vector((dataInSize-1) downto 0);
    busy   : out std_logic;
    dataOut : out std_logic
);
end TX;

```

```
architecture TX_arc of TX is

TYPE TX_machine is (idle,startBit,counterS,data,evenParity,oddParity,stopBit);

constant COUNT_MAX      : integer := freq / baudRate;

signal state : TX_machine:= idle;

signal nextstate : TX_machine:= idle;

signal counter : integer:=0;

signal dataCounter : integer range 0 to dataInSize+1:=0;

signal stopBitCounter : integer range 0 to 2:=0;

signal parity :std_logic:='0';

signal counter_LSB_MSB : integer:=0;

begin

process (clock,nRST)

begin

if (nRST = '0') then

    state <= idle;

elsif (rising_edge(clock)) then

    case state is

        when idle =>

            if (dataTransmitPolarity = '0') then

                dataCounter <= 0;

                counter_LSB_MSB <=dataInSize-1;

            else

                dataCounter <= dataInSize;

                counter_LSB_MSB <= 0;

            end if;

            counter <= 0;

            if (trigger = '1') then

                busy <= '1';

            end if;

        end case;

    end if;

end process;
```

```

state <= startBit;

end if;

when startBit =>

    dataOut <='0';

    state <= counterS;

    nextstate <= data;

when counterS =>

    if (counter < COUNT_MAX) then

        counter <= counter +1;

        state <= counterS;

    else

        counter <= 0;

        state <= nextstate;

    end if;

when data =>

    if (dataCounter /= counter_LSB_MSB) then

        if (dataTransmitPolarity = '0') then

            dataOut <= dataIn(dataCounter);

            parity <= parity xor dataIn(dataCounter);

            dataCounter <= dataCounter +1;

        else

            dataOut <= dataIn(dataCounter-1);

            parity <= parity xor dataIn(dataCounter-1);

            dataCounter <= dataCounter - 1;

        end if;

        state <= counterS;

    elsif (parityExist = '0') then

        state <= stopBit;

```

```
        elsif (parityPolarity= '0') then
            state <= evenParity;
        else
            state <= oddParity;
        end if;

        when stopBit =>
            if (stopBitCounter < stopBitSize) then
                stopBitCounter <= stopBitCounter +1;
                dataOut <= '1';
                nextState <= stopBit;
                state <= counterS;
            else
                busy <= '0';
                state <= idle;
            end if;

        when evenParity =>
            dataOut <= parity;
            nextState <= stopBit;
            state <= counterS;

        when oddParity =>
            dataOut <= not parity;
            nextState <= stopBit;
            state <= counterS;

        when others =>
            state <= idle;
    end case;

end if;
end process ;
end TX_arc
```

UART RX .1.2

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions

entity RX is

    generic (
        dataInSize: INTEGER := 8;
        freq : INTEGER := 7372800;
        baudRate : INTEGER := 115200;
        parityExist : std_logic:='1';
        parityPolarity : std_logic:='0';
        stopBitSize: INTEGER := 1
    );

    port (
        clock : in std_logic:='0';
        nRST : in std_logic:='1';
        dataIn : in std_logic:='1';
        busy : in std_logic:='0';
        trigger : out std_logic:='0';
        dataOut : out std_logic_vector((dataInSize-1) downto 0):= "00000000"
    );
end RX;

```

architecture RX_arc of RX is

```

TYPE RX_machine is
(idle,startBit,halfCounterS,counterS,data,evenParity,oddParity,stopBit);

constant halfCounterValue : integer := freq / baudRate /2;
constant COUNT_MAX : integer := freq / baudRate;

```

```
signal state : RX_machine:= idle;
signal nextstate : RX_machine:= idle;
signal counter : integer:=0;
signal halfCounter : integer:=0;
signal dataCounter : integer range 0 to dataInSize:=0;
signal stopBitCounter : integer range 0 to 2:=0;
signal parity : std_logic := '0';
signal sig1 :std_logic:= '0';
signal sig2 :std_logic:= '0';
signal sig3 :std_logic:= '0';
begin
process (clock,nRST)
begin
if (nRST = '0' or busy = '1') then
    state <= idle;
elsif (rising_edge(clock)) then
    sig1 <= dataIn;
    sig2 <= not sig1;
    sig3 <= sig1 nor sig2;
    case state is
        when idle =>
            dataCounter <= 0;
        if (sig3 = '1') then
            state <= halfCounterS;
        else
            state <= idle;
        end if;
        when halfCounterS =>
```

```

if (halfCounter < halfCounterValue) then
    halfCounter <= halfCounter +1;
    state <= halfCounterS;
else
    state <= startBit;
    halfCounter <= 0;
end if;

when startBit =>
    if (dataIn = '0') then
        nextstate <= data;
        state <= counterS;
    else
        state <= idle;
    end if;

when counterS =>
    if (counter < COUNT_MAX) then
        counter <= counter +1;
        state <= counterS;
    else
        counter <= 0;
        state <= nextstate;
    end if;

when data =>

    if (dataCounter < dataInSize) then
        dataOut(dataCounter) <= dataIn;
        parity <= parity xor dataIn;
        dataCounter <= dataCounter +1;
        state <= counterS;
    elsif (parityExist = '1') then

```

```
if (parityPolarity = '0') then
    state <= evenParity;
else
    state <= oddParity;
end if;

else
    state <= stopBit;
end if;

when stopBit =>
    if (stopBitCounter < stopBitSize) then
        state <= counterS;
        stopBitCounter <= stopBitCounter +1;
        if (dataIn /= '1') then
            dataOut <= (others=>'0');
            trigger <= '0';
            state <= idle;
        end if;
    else
        trigger <= '1';
        state <= idle;
    end if;

when evenParity =>
    state <= counterS;
    if (parity /= dataIn) then
        dataOut <= (others=>'0');
        state <= idle;
    else
        state <= stopBit;
    end if;

when oddParity =>
    state <= counterS;
```

```
if ( not parity /= dataIn) then
    dataOut <= (others=>'0');
    state <= idle;
else
    state <= stopBit;
end if;
when others =>
    state <= idle;
end case;
end if;

end process ;
end RX_arc;
```

UART TX TEST-BENCH .1.3

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions

entity TX_tb is
end TX_tb;

architecture TX_tb_arc of TX_tb is
    signal clock : std_logic := '0';
    signal nRST : std_logic := '1';
    signal trigger : std_logic := '1';
    signal dataIn : std_logic_vector((8-1) downto 0):="00000000";
    signal busy : std_logic := '0';
    signal dataOut : std_logic := '1';

begin
    u1: entity work.TX
        port map (
            clock  => clock,
            nRST   => nRST,
            trigger => trigger,
            dataIn => dataIn,
            busy   => busy,
            dataOut     => dataOut
        );
    clock <= not clock after 272 ns;
    trigger <= '1', '0' after 500 ns;
    dataIn <= "11110000";
end TX_tb_arc;

```

UART RX TEST-BENCH .1.4

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions

entity RX_tb is
end RX_tb;

architecture RX_tb_arc of RX_tb is
    signal clock : std_logic := '0';
    signal nRST : std_logic := '1';
    signal dataIn : std_logic := '1';
    signal busy : std_logic := '0';
    signal trigger : std_logic := '0';
    signal dataOut : std_logic_vector((8-1) downto 0):="00000000";
begin
    u1: entity work.RX
        port map (
            clock  => clock,
            nRST   => nRST,
            trigger => trigger,
            dataIn => dataIn,
            busy   => busy,
            dataOut     => dataOut
        );
    clock <= not clock after 68 ns;
    busy <= '0';

```

```
process
begin
    dataIn <= '1';
    wait for 8.6805555 us;
    dataIn <= '0';
    wait for 8.6805555 us;
    dataIn <= '1';
    wait for 8.6805555 us;
    dataIn <= '1';
    wait for 8.6805555 us;
    dataIn <= '0';
    wait for 8.6805555 us;
    dataIn <= '1';
    wait for 8.6805555 us;
    dataIn <= '0';
    wait for 8.6805555 us;
    dataIn <= '0';
    wait for 8.6805555 us;
    dataIn <= '0';
    wait for 8.6805555 us;
    dataIn <= '1';
    wait for 8.6805555 us;
end process ;
--dataIn <= '1', '0' after 8.6805555 us,'1' after
17.361111 us,'1' after 26.0416665 us
```

```
--,'1' after 34.722222 us,'0' after 43.4027775 us,'1'  
after 52.083333 us,'0' after 60.7638885 us  
  
--,'0' after 69.444444 us,'0' after 78.1249995 us,'0'  
after 86.805555 us,'1' after 95.4861105 us  
  
--;  
end RX_tb_arc;
```

PWM .2**PWM GENERATOR .2.1**

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions
entity PWM is
    generic (
        freq : INTEGER := 50E6
    );
    port (
        clock : in std_logic:='0';
        nRST : in std_logic:='1';
        DutyCycle: in std_logic_vector(7 downto 0):= "00000000";
        dataOut : out std_logic:='0'
    );
end PWM;

```

```

architecture PWM_arc of PWM is
TYPE PWM_machine is (idle,PWM_ON,PWM_OFF);
signal state : PWM_machine:= idle;
signal counter: integer:= 0;
begin
    process (nRST, clock)
    begin
        if (nRST = '0') then
            state <= idle;
            counter <= 0;
            dataOut <= '0';
        elsif (rising_edge(clock)) then

```

```
case(state) is
    when idle =>
        counter <= 0;
        state <= PWM_ON;
    when PWM_ON =>
        if (counter < to_integer(unsigned(DutyCycle)))
then
            counter <= counter +1;
            dataOut <= '1';
            state <= PWM_ON;
        else
            state <= PWM_OFF;
        end if;
    when PWM_OFF =>
        if (counter < 256) then
            counter <= counter +1;
            dataOut <= '0';
            state <= PWM_OFF;
        else
            state <= idle;
        end if;
    when others =>
        state <= idle;
end case;
end if;
end process;
end PWM_arc;
```

PWM TEST-BENCH .2.2

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;      -- for addition & counting
use ieee.numeric_std.all;           -- for type conversions
entity PWM_tb is
end PWM_tb;

architecture PWM_tb_arc of PWM_tb is
    signal clock : std_logic:='0';
    signal nRST : std_logic:='1';
    signal DutyCycle: std_logic_vector(7 downto 0):= "00000000";
    signal dataOut : std_logic:='0';

begin
    u1: entity work.PWM
        port map (
            clock  => clock,
            nRST   => nRST,
            DutyCycle => DutyCycle,
            dataOut      => dataOut
        );
    clock <= not clock after 10 ns;
    process
        begin
            DutyCycle <= "10000000";
            wait for 5.12 us;
            DutyCycle <= "11110000";
            wait for 5.12 us;
        end process ;
    end PWM_tb_arc;

```