### DISTRIBUTED COMPUTING DEVICE

Johannes Natter



University of Applied Sciences
Upper Austria

Sept. 2012

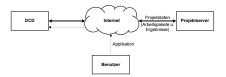
### **ZIELSETZUNG**

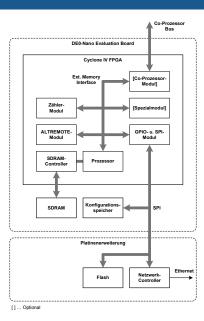
- Computersystem für verteiltes Rechnen
- Angepasst durch programmierbare Hard- und Software
- HW u. SW austauschbar
- Erweiterbar

# ÜBERSICHT

- 1 IMPLEMENTIERUNG
  - Kommunikationspartner Hardware-Aufbau Bootkonzept
- 2 ZEITPLAN
- 3 ERGEBNISSE

- Applikation und BSL (bootstrap loader)
- Ein Programm aktiv
- BSL-Protokoll
  - Speicher lesen/schreiben
  - Version lesen
  - Programmwechsel

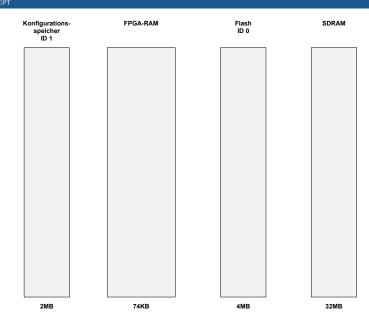


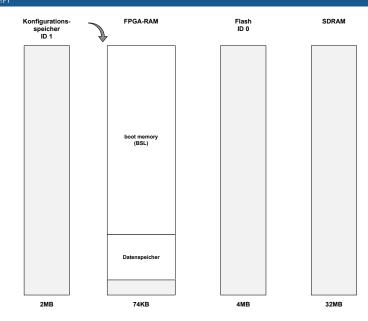


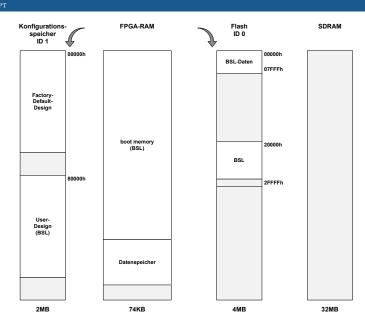
Implementierung

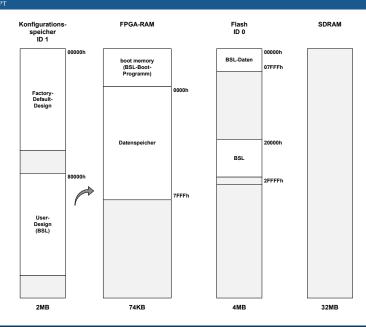
## 0000000000

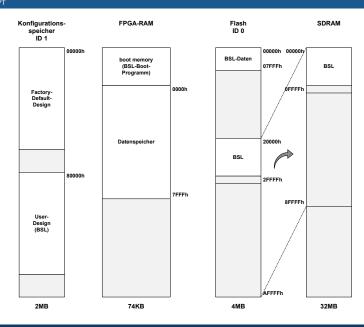
### BOOTKONZEPT

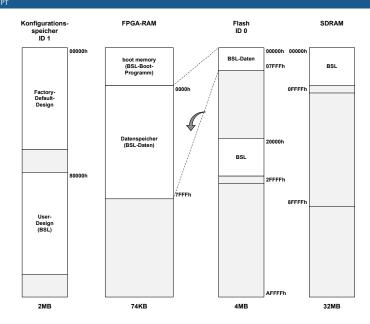


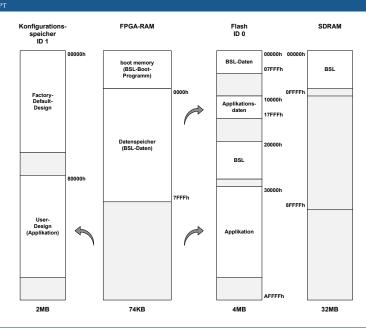


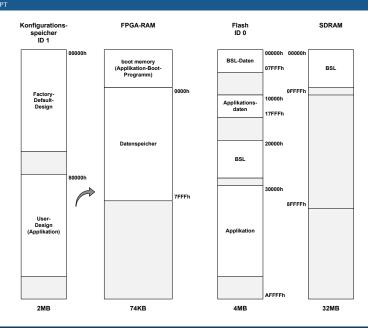


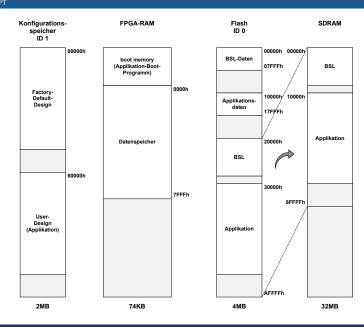


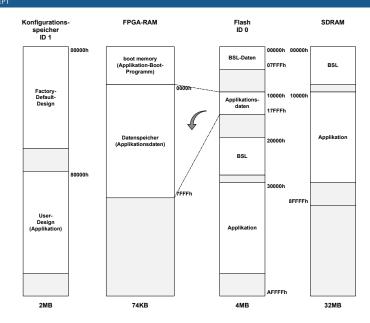












| KW19   | KW20                                    | KW21   | KW22   |
|--|---|--|--|
| SCARTS-GCC für<br>Windows 7 kompilieren                              | SCARTS-GCC für<br>Windows 7 kompilieren | SCARTS-Toolchain einrichten (Eclipse, Makefile, Linkerscript,)         | DE0-Nano-Testbed mit<br>SCARTS-Prozessor (VHDL)    |
| KW23   | KW24                                    | KW25   | KW26   |
| Leeres <i>SCARTS</i> -C-Projekt,<br>HEX-File-Konverter-Tool<br>(C++) | GPIO- u. SPI-Modul<br>(VHDL)            | Portieren von BSL (C)  | Treiber für<br>Flash-Speicher (C)                  |
| KW27   | KW28                                    | KW29   | KW30   |
| Treiber für<br>Konfigurationsspeicher (C)                            | SDRAM-Controller<br>(VHDL)              | SDRAM-Controller (VHDL),<br>Boot-Programm (ASM),<br>Startup-Code (ASM) | Portieren von TCP/IP-Stack (C), Zählermodul (VHDL) |

COADTOO

### Software D......

| Prozessor                              | SCARTS32 |
|--|----------|
| Prozessortakt                          | 25MHz    |
| Größe des Datenspeichers               | 32KB     |
| Maximale Programmgröße der Applikation | 512KB    |
| Benötigte Bootzeit                     | ca. 1s   |
|  |          |
| Hardware                               |          |
|  |          |

Anzahl der benötigten Logikeinheiten für das User-Design mit SCARTS-6.734 von 22.320 Prozessor, SDRAM-Controller, GPIO-, SPI-, ALTREMOTE- und Zähler-Modul Anzahl der benötigten Speicherbits für das User-Design 350.208 von 608.256 Taktversorgung des FPGA's 50MHz Netzwerkanschluss 10Base-T Ethernet