

# Verilog HDLゼミ 第6回課題

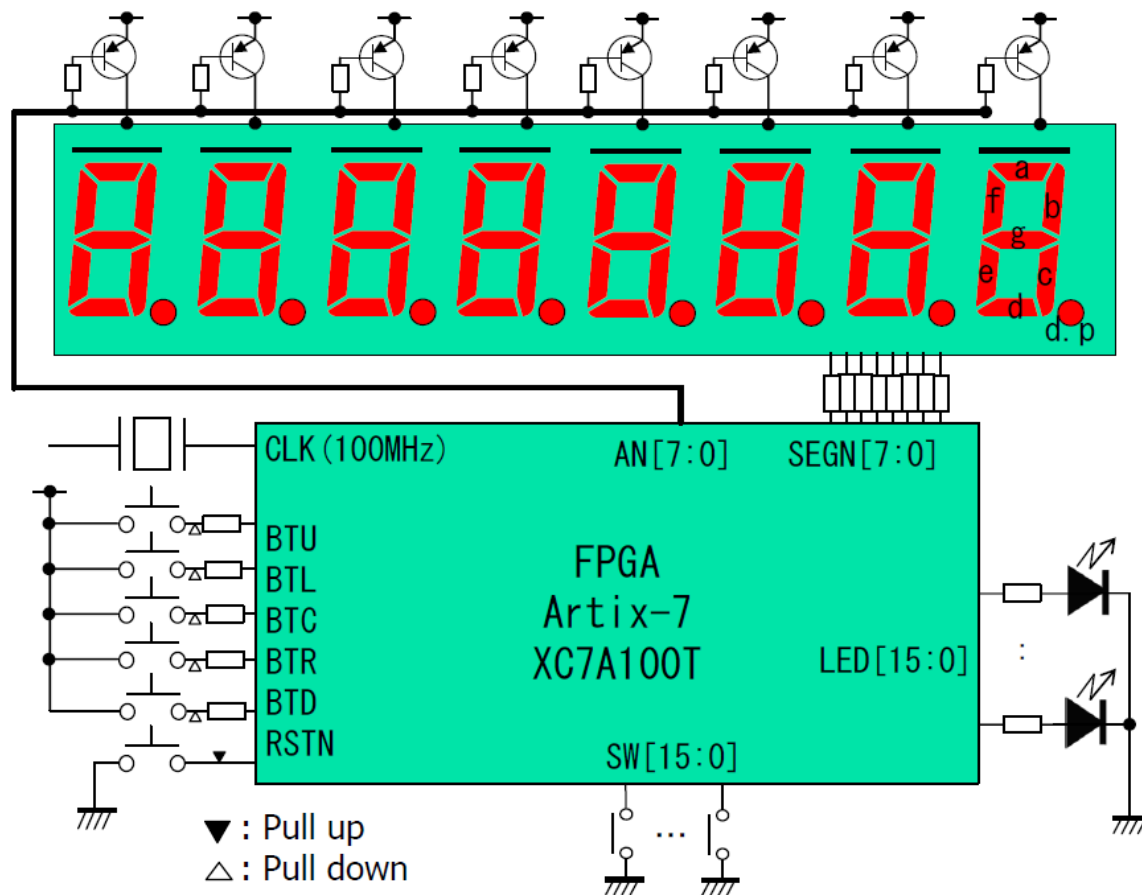
## 24時間時計へのアラーム機能実装

2021/7/26(月)

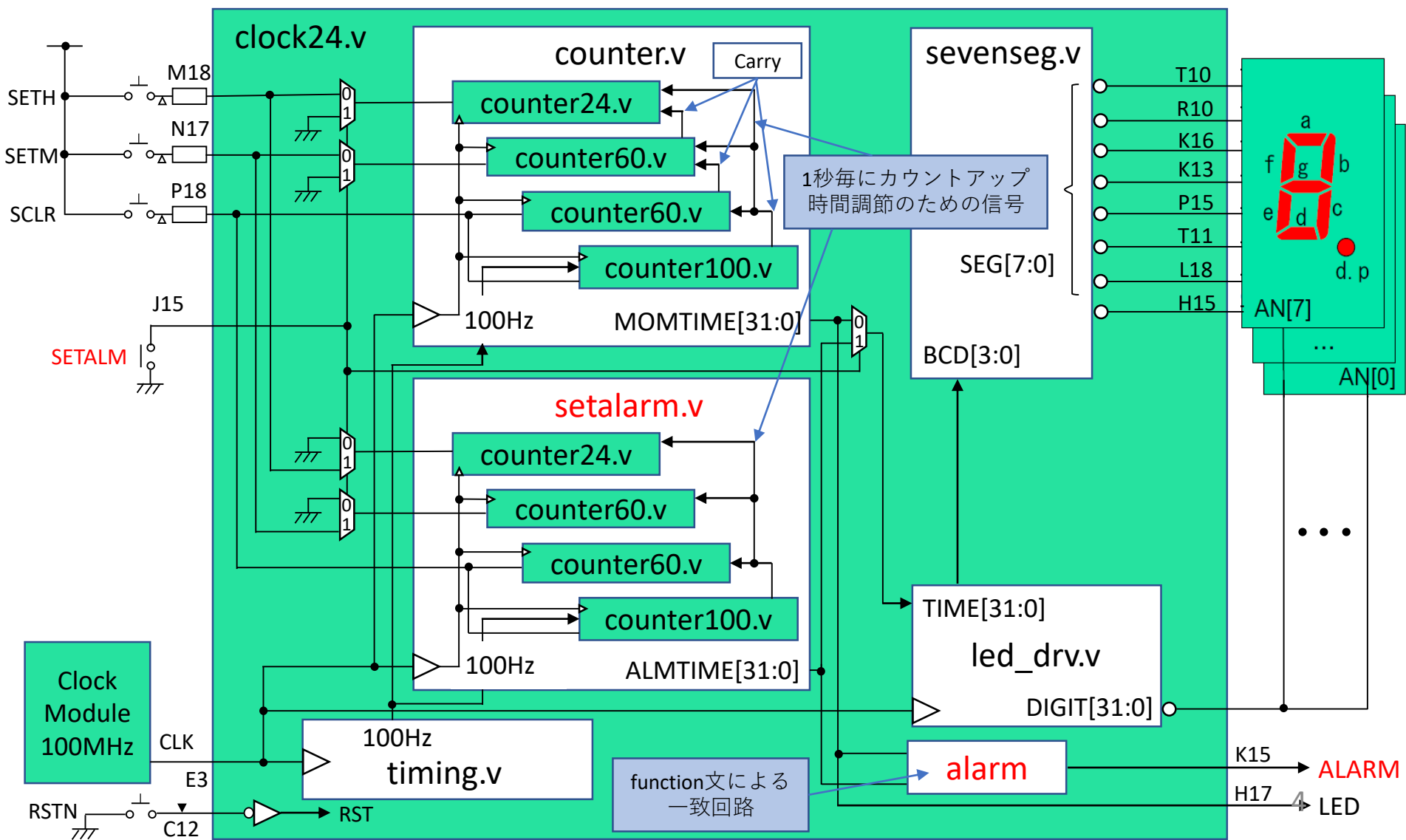
# アラーム機能の概要

- 所定の時刻になるとアラームを鳴らす機能を現在の**24**時間デジタル時計に実装する
  - 実際には**LED**を点灯させてアラーム機能を代用
- 計時用カウンタとは別にアラーム設定時刻を格納するレジスタを用意
  - 現在の時刻と常に比較し、一致した際に**LED**を点灯

# FPGAボードのブロック図



# 24時間時計のブロック図



# 新たな仕様について

## ■ 入力信号

- **SETALM** : 時刻表示モードとアラーム設定モードの切り替えを行うスイッチ  
SETH, SETMの入力先を時刻カウンタとアラームレジスタ間で切り替える制御信号としても使用

## ■ 出力信号

- **ALARM** : アラーム信号。時刻カウンタとアラームレジスタ値が一致した場合に一定時間点灯する

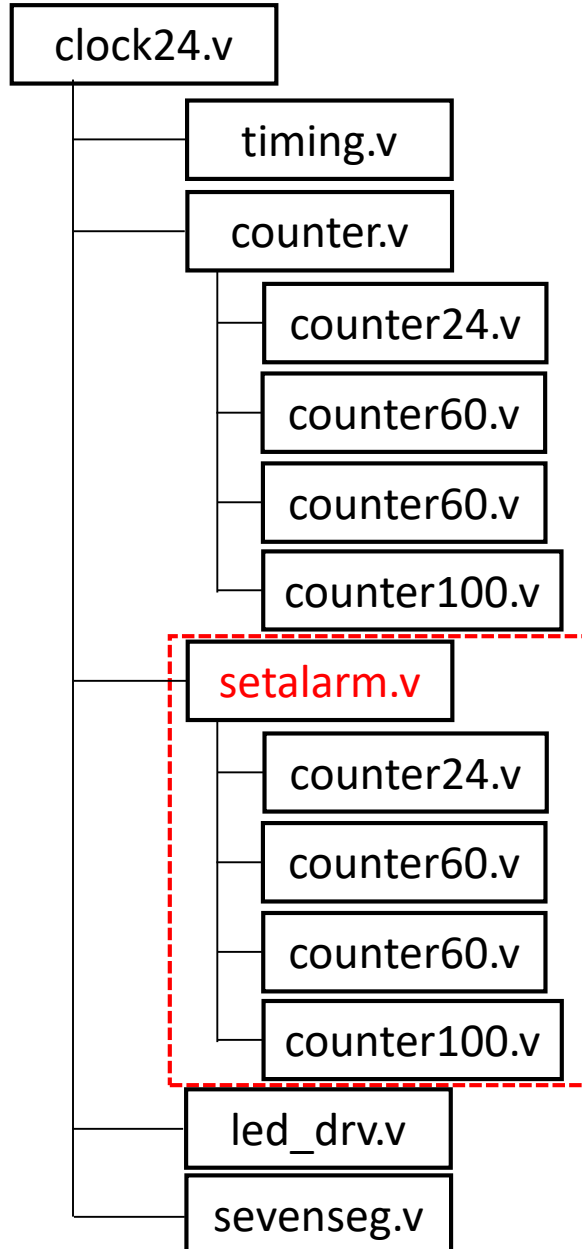
## ■ アラームレジスタ (setcounter.v)

- counterモジュールによる時刻カウンタと機能はほぼ同じ
- counterと異なる点は、アラーム時刻設定時に勝手に時間が進まないように秒カウンタから上位へのキャリーがないこと

## ■ 一致回路alarm

- 時刻カウンタとアラームレジスタの値を常に比較  
値が一致した場合に**ALARM**信号を立ち上げる
- function文により定義

# モジュール階層



`clock24.v` : トップモジュール

`timing.v` : タイミング生成回路, 1kHz, 100Hz

`counter.v` : 時刻カウンタのトップモジュール

`setalarm.v` : アラームレジスタのトップモジュール

`counter24.v` : 24進カウンタ. 時カウンタに使用

`counter60.v` : 60進カウンタ. 分・秒カウンタに使用

`counter100.v` : 100進カウンタ. 10ミリ秒カウンタに使用  
`led_drv.v` : 10ミリ秒以内で全桁LEDへ時刻の7セグメント表示を反映する

`sevenseg.v` : BCDから7セグメントへのデコーダ

追加モジュール

# シミュレーション方法

- 今回使用するclock24\_test.vは  
timing.vにおけるcnt1による  
100,000-counterを10-counterに  
してあることを想定

➤ より短時間での  
シミュレーションが可能  
(詳しくは前回の資料の  
30ページを参照してください)

STEP数の考え方 (cnt1を10-counterに短縮した際):  
10 (CLK周期) \* 10 (1ms分) \* 10 (10ms分) \* 100 (1s分)

➤ SETMによる1s毎の分カウンタアップにより  
アラーム時刻を00:01:00:00(0時1分)に設定

この時点で1s経過しているため, 残り59s進めて  
1分後の00:01:00:00にALARMが点灯するかをテスト

```
initial begin
    CLK = 0;
    while( 1 )
        CLK = # 5 ~CLK;
    end
```

```
initial begin
    SETH = 0;
    SETM = 0;
    SCLR = 0;
    SETALM = 0;
    RSTN = 1;
    RSTN = #15 0;
    RSTN = #20 1;
    SETALM = 1;
    SETM = 1;
    SETM = $(100000+100) 0;
    SETALM = 0;
    $(59*100000+1000) $finish;
end
```

# シミュレーション結果の例

