

論理回路に対する遅延テスト手法

Delay Test Methods For Logic Circuits

梶原誠司 Seiji KAJIHARA
佐藤康夫 Yasuo SATO

アブストラクト 半導体製造プロセスの微細化やSoC(System-on-a-Chip)の高速化に伴い、遅延故障のテストの重要性が高まっている。論理回路の遅延故障のテストには、高精度な測定を可能にするDFT(Design for Testability)やテストパターン印加の仕組み、フォールスパスを考慮し故障の伝搬経路長を考慮したATPG(Automatic Test Pattern Generation:自動テストパターン生成)、SoCのテストでは、高速クロック生成、複数クロックドメインへの対応等の総合的アプローチが必要である。本論文では、基本となる遅延故障のテスト手法を解説する。

キーワード 遅延故障, テスト容易化設計, テスト生成, 論理回路, SoC

1. はじめに

論理回路のテストでは、縮退故障を対象に、テスト生成やテスト容易化設計手法が開発されてきた。縮退故障とは入力パターンにかかわらず信号線の論理値が0または1に固定する故障である。しかしながら、90nmから65nmへと半導体製造プロセスは急速に微細化し、製造した回路のタイミング動作に影響を及ぼす現象が問題として顕在化している^{(1), (2)}。配線工程におけるCuダマシ、CMP (Chemical Mechanical Polishing)、あるいは、微小な高アスペクト比のビアの採用は、スクラッチ(研磨時に生じる傷)やボイド(配線内の空間)によりショートや抵抗性オープンを増加させる。Low-k(低誘電率材料)層間膜の導入は配線ショートを増加を招く。NBTI (Negative Bias Temperature Instability)のような劣化モードは、pMOSトランジスタのしきい値電圧 V_{tp} を増加させ遅延を増加させる。酸化膜の薄膜化は、リーク(MOSトランジスタOFF時の漏れ電流)の増加や信頼性に課題をかかえている。また、リソグラフィ工程においては、ArFレーザや液浸技術の採用にもかかわらず、描画最小寸法の方が光の波長より短い状態が続く、OPC (Optical Proximity Correction)により設計データを加工する等の工夫が重要とされている。しかし、出来上がり寸法のばらつきが増大し歩留り確保が大きな課題とされている。更に、最適化設計手法の進歩は、逆にタイミングマージンの少ないパスを多くする。回路の遅延が増加するような故障は、遅延故障と呼ばれ、上記に述べたような様々な理由により発生し、その検出は、近年のテスト技術

における重要な技術開発課題となっている⁽³⁾。本稿では、論理回路の遅延テストに関する基本技術について概説する。

遅延故障のモデルには、遷移遅延故障からパス遅延故障まで、故障の発生箇所の違いから幾つかのモデルが考えられている。まず**2.**では、代表的な遅延故障のモデルを紹介する。

遅延故障のテストには2パターンを実速度で印加する必要がある。同期式順序回路のテストを効率的に実施するには、スキャン設計を用いることが一般的であるが、**3.**では、スキャン機能を使った実速度 (At-speed test) テスト法を紹介する。**4.**では、SoCのテストにおいて考慮が必要となる、高速クロック生成、複数クロックドメインへの対応等を紹介する。**5.**で本稿のまとめを述べる。

2. 遅延故障モデル

遅延故障とは、同期式順序回路を構成する素子や配線の遅延が増加し、誤動作が生じるような故障である。図1に示すように、フリップフロップの出力で生じた信号値変化が組合せ回路内を伝搬して次のクロックでフリップフロップに取り込まれる際、遅延時間が決められた範囲を越えることにより誤動作が生じる。遅延故障には、各故障箇所に信号の立ち上がり(0から1への変化)の遅延と立ち下がり(1から0への変化)の遅延と2通りの故障が考えられる。また遅延故障は信号値の変化に起因するため、故障の検出には、変化前の信号値を設定するテストパターンと変化後の値を確かめる二つのテストパターンを連続して印加しなければならない。これを2パターンテストという。

遅延故障は、遅延が増大する範囲をどのように考えるかにより、以下のように分類される^{(4), (5)}。

梶原誠司 正員 九州工業大学情報工学部電子情報工学科
佐藤康夫 正員 九州工業大学情報工学部
Seiji KAJIHARA, Member (Department of Computer Science and Electronic Kyushu Institute of Technology Iidsuka-shi, 820-8502 Japan).
Yasuo SATO, Member (Faculty of Computer Science and Systems Engineering Kyushu Institute of Technology Iidsuka-shi, 820-8502 Japan).
Fundamentals Review Vol.1 No.3 pp.71-77 2008年1月

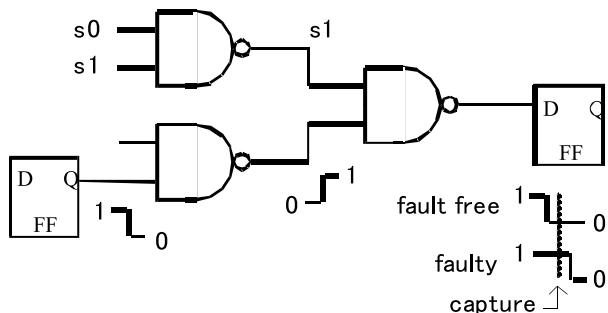


図1 遅延故障の例

2.1 遷移遅延故障

論理ゲートの入出力を構成する一つの信号線の遅延が増大する故障を遷移遅延故障（遷移故障，トランジション故障）という⁽⁶⁾。ある信号線の立ち上がり遷移故障を検出するには，その信号線の値を0に設定するパターンを印加した後，続けてその信号線で信号値変化が生じるよう1に設定し，信号値変化が生じたことを出力で確認できるパターンを印加する。この2パターン目は故障を仮定する信号線の0縮退故障を検出するパターンと同じ条件を満たすパターンとなる。

遷移遅延故障は，回路内で仮定される故障の数が信号線数の2倍（各信号線の立ち上がり故障と立ち下がり故障）である。そのため全故障を対象としたテストが現実的に実現可能であり，また，故障仮定箇所はテスト対象回路全体をまんべんなく網羅する。更に，テストパターンを生成するATPGやテストパターンの故障検出率（そのテストパターンで検出できる故障の割合）を計算する故障シミュレーションの処理は縮退故障を対象にする場合と同様に比較的容易であるため，故障検出率がある程度高いテストパターンを得ることができる。これらの理由から，遅延テストを行う際の対象故障モデルとしてよく使われている。しかし，遷移遅延故障では遅延欠陥の大きさを考慮していないため，テストパターンによって検出可能な遅延の大きさが異なるため，小さな遅延欠陥は回路に誤動作を及ぼす可能性があっても検出できる保証がない。

2.2 ゲート遅延故障とセグメント遅延故障

ゲート遅延故障は，論理ゲートの入力で生じた信号値変化がそのゲートの出力に伝搬するときの遅延時間が増大する故障である。遷移遅延故障と同様に，故障数が信号線数の2倍程度であり，テスト対象回路全体を網羅的にテストできる。遷移遅延故障のテストに比べ，1パターン目のゲート入力値の制約が多くなる分，テストパターン数が増加する。セグメント遅延故障は，信号伝搬経路のあるセグメント（部分パス）の遅延が増大する故障である⁽⁷⁾。セグメントがゲート一つであれば，ゲート遅延故障に相当する。セグメントを大きく取るに従い，故障の発生箇所を広範囲に考えることができるようになるが，故障数が増加するため，テスト生成への負担は大きくなる。

2.3 パス遅延故障

パス遅延故障は，フリップフロップ間を結ぶ特定の信号伝搬経路の遅延が増大する故障である⁽⁸⁾。信号が伝搬する際に蓄積する遅延をモデル化しており，遅延要素が回路内に小さくかつ分散している場合有効である。

あるパス遅延故障がテストできれば，そのパス上の縮退故障や遷移遅延故障などの他の故障も大部分がテストできる（必ずしもすべてではない）。一方で，回路のパス数はゲート数に対して指数関数的に増大する場合があります。全故障を対象とするテストは現実的に不可能である。そのため，パス遅延故障を対象にしたテストパターンだけで高いテスト品質を達成することは容易でない。また，回路全体を網羅的にテストすることが難しいので，他の故障モデルで生成したテストパターンを補完するように用いられることもある。

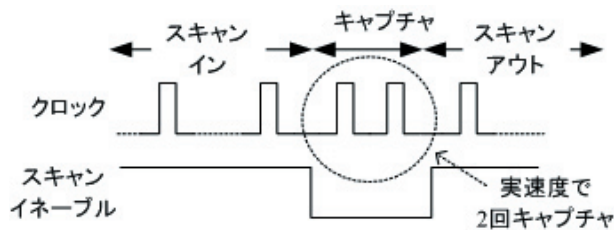
3. スキャン回路における At-speed test 法

大規模な順序回路に対して高い故障検出率のテストパターンを生成することは困難である。そこで，一般にはスキャン設計を用いて，テスト生成時に順序回路を組合せ回路として扱えるようにする。スキャン設計された回路では，テストパターンの印加と応答の観測を，スキャンシフト動作を通じて，時間をかけて行う。遅延故障を検出するための2パターンテストであっても高い故障検出率を達成するためにスキャン設計は必要であるが，二つの連続するテストパターンを印加するには，テスト印加方法，または，スキャンフリップフロップの構成法に工夫が必要となる。なぜなら，2パターンテストを単純にスキャンシフトにより印加すると，1パターン目で初期化した回路の状態が2パターン目のスキャンシフトにより壊れてしまうため，2パターンテストが At-speed（実速度）でできなくなるからである。つまり，1パターン目の印加と2パターン目の出力の観測にスキャン動作は有効であるが，2パターン目の印加にはスキャン動作は原則使えないのである。

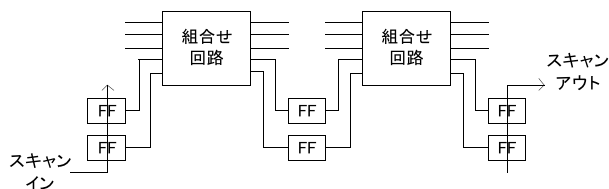
スキャン回路に対して2パターンテストを At-speed で印加する代表的な手法には，LoC（Launch-off-Capture，または broad-side）方式⁽⁹⁾と LoS（Launch-off-Shift，または skewed-load）方式⁽¹⁰⁾がある。これらは，2パターンテストの2パターン目をどのように印加するかが異なるのであるが，以下，LoC方式，LoS方式，拡張スキャン設計⁽¹¹⁾についてそれぞれ説明する。

3.1 LoC 方式

LoC方式では，1パターン目をスキャン動作により設定した後，通常動作でシステムクロックにより2パターン目を設定し，キャプチャする。つまり，スキャンイン後，システムクロックにより2回キャプチャすることになるので，クロック



(1) タイミングチャート



(2) 回路動作の時間展開

図2 LoC 方式

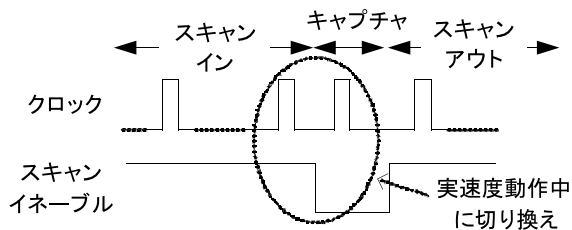
ク信号とスキャンイネーブル信号のタイミングチャートを示すと図2 (1) のようになる。また、LoC方式でテストするときの各時刻の回路動作を展開すると図2のように表される。LoC方式の特徴は、2パターン目が通常動作と同じなので設計時の制約が少なく、正常な回路を不良と判定する過剰テストによる不要な歩留り低下の危険性も少ないことが挙げられる。一方で、2パターン目として使われる内部状態が限定されるため、高い故障検出率を得にくいという欠点もある。

3.2 LoS 方式

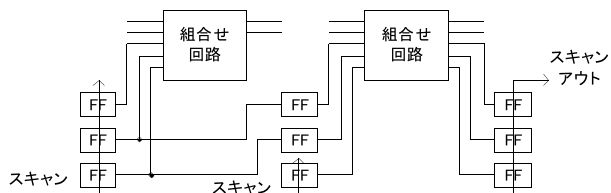
LoS方式では、スキャンイン動作の最後の2シフトクロックをそれぞれ1パターン目の設定と2パターン目の設定に用い、スキャンイン直後に、実速度で1回キャプチャする。LoS方式でテストするときのクロック信号とスキャンイネーブル信号のタイミングチャートを示すと図3 (1) のように、また、各時刻の回路動作を展開すると図3 (2) のように表される。スキャンインのための最後のクロックとキャプチャクロックの間隔が実速度になるよう要求されるが、その短い間にスキャンシフト動作から通常動作へスキャンイネーブル信号を切り換える必要がある。LoSは2パターン目に任意のパターンを印加できるので、LoCより高い故障検出率を実現できる。これは一方で、通常動作では使わない状態遷移に基づく動作でテストする場合が増加し、過剰テストを生じやすくなる。また、LoCはスキャンシフト動作から通常動作への切替に時間的な余裕があるので標準のスキャン設計で十分実現可能なのに対して、LoSは実動作中での切替になるため物理的な設計制約が厳しくなる。

3.3 拡張スキャン設計

スキャンFFに拡張スキャンFF (enhanced scan flip-flop) を用いて、1パターン目と2パターン目を完全に独立に設定する



(1) タイミングチャート



(2) 回路動作の時間展開

図3 LoS 方式

手法もある⁽¹⁰⁾。拡張スキャンFFは、通常動作におけるD-FFの出力を与えるラッチのほか、スキャンシフトの出力を与えるためのラッチを別に含んでいる。そのため、D-FFの通常出力値(状態)は保持したまま入力値のみをスキャンシフトにより変更でき、2パターン目のスキャンイン動作中に1パターン目に設定した状態が変化することはない。したがって、図4に示すように、完全に組合せ回路と同様に2パターンテストのテスト生成が可能になる。一方で、スキャン化するFFがラッチを一つ余計に含むため、面積オーバーヘッドが大きくなる。また任意のテストパターンによりテストが実行できるため、非常に高い故障検出率が得られるが、それだけ過剰テストが生じやすくなるという欠点が残る。

3.4 2パターンテスト印加手法の比較

表1はLoC方式、LoS方式、拡張スキャンによる2パターンテスト印加手法の特徴をまとめたものである。ATPGや物理設計の容易性、テスト用付加回路の面積、テスト実行時間、得られる故障検出率、過剰テストのリスクについて、比較している。LoC方式は、物理設計が容易なことや過剰テストのリスクが少ない利点がある一方で、検出不能故障(そのテスト手法ではどのようなテストパターンを印加しても検出できない故障)が多くなるため高い故障検出率を得ることは難しい。逆に、拡張スキャンFFを使う方式は、ATPGも容易で高い故障検出率が得られる一方で不要な歩留り低下をもたらす過剰テストのリスクも高く、スキャンFFの面積やテスト時

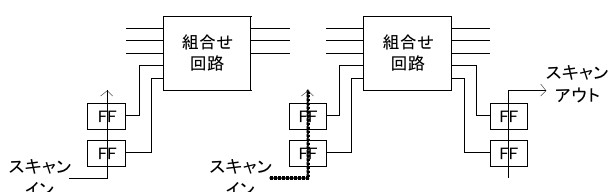


図4 拡張スキャン方式での回路動作の時間展開

表1 2パターンテスト印加手法の比較

手法	ATPG	物理設計	付加面積	テスト時間	故障検出率	過剰テストリスク
LoC	○	○ 容易	○ 小	○	△ 低	○ 低
LoS	○	△	△	○	○	△
拡張スキャン	◎ 容易	△	× 大	△ 長	◎ 高	× 高

間の点でも他の方式より劣っている。LoS方式は、LoC方式と拡張スキャンFF方式の中間的な性質を持つと考えることができる。

4. At-speed testのためのDFT技術

図5はSoCの例⁽³⁾、図6はクロックイメージを示す。SoCは複数の機能ブロック (IP: Intellectual Property) を組み合わせてチップ全体の機能を実現する。個々のIPは固有のクロック動作速度を持つため、IP間の転送は複雑になり、FIFO等の一時的メモリがバッファに使われたりする。このようなSoCにおいてAt-speed testを可能にするためには、様々なDFT上の工夫が必要である。代表的な技術を以下に紹介する。

4.1 高速クロック生成技術

図7にテスト時のクロック網の例を示す⁽¹²⁾。チップのクロックはPhase Locked Loop (PLL) より供給されるが、テスト時にはテストクロック制御回路 (Controller) を介して3. に示したlaunch-off-capture方式あるいはlaunch-off-shift方式のテストクロック (CLK-I, CLK-J) 及びスキャンイネーブル信号 (SEN-I, SEN-J) を生成する。これらの信号は複数のクロックドメイン (Domain-I, Domain-J) へ供給される。スキャンイネーブル信号はlaunch-off-shift方式のディレイテストを採用するときは、通常のクロック信号と同様の厳しいタイミング (スキュー) 制御が必要とされる。文献(12)ではクロックと同様のレイアウト方式によりそれを実現し、文献(13)、(14)ではフリップフロップのパイプライン方式により実現している。特に文献(14)ではCELLプロセッサで25段以上のパイプライ

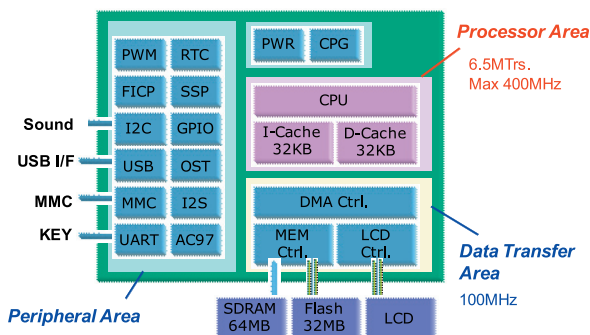


図5 SoCの例⁽³⁾

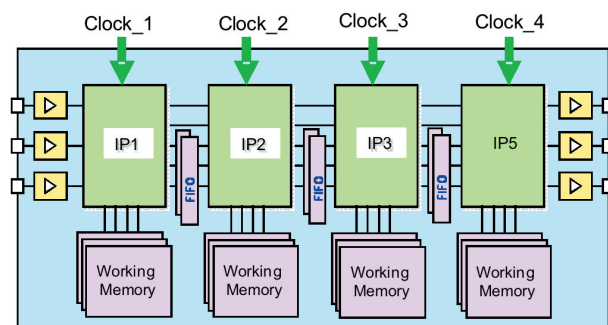


図6 SoCのクロックイメージ

ン用フリップフロップを用いたとしている。

近年の高速LSIではチップの動作速度は、ATE (Automatic Test Equipment: テスト装置) が供給可能なクロック速度より速い場合が多い。また仮にATEが対応可能でも、高価な高速ATEを採用するのはコスト的に得策とはいえない場合も多いと思われる。そのためPLLなどのオンチップクロックを用いて高速テストを行う技術が多く用いられる^{(15)、(16)}。図8にテストクロック制御回路の例を示す⁽¹⁵⁾。本回路により、スキャン時の低速なクロック (scan_clk) と実速度テスト時の高速なクロック (pll_clk) を合流させ、スキャンイネーブル信号 (scan_en) で切換を制御する。

またテスト時に、クロック以外の信号ピンをATEから入力すると、ATEでのピン間スキューが数百psから数nsに達する、あるいはピン間スキュー低減のためのキャリブレーションを行う必要がある等の理由で、論理BIST (Built-in Self-test) や圧縮スキャンテストを用いてATEからの信号の出し入れを最小限に抑える手法も多く用いられている⁽¹³⁾。

以上のようなテスト時の様々な信号の高速動作の実現のためには、テスト時固有のタイミング制約を漏れなく記述し、STA (Static Timing Analysis: 静的タイミング解析) 手法でタイミング検証を行う必要がある⁽¹²⁾。

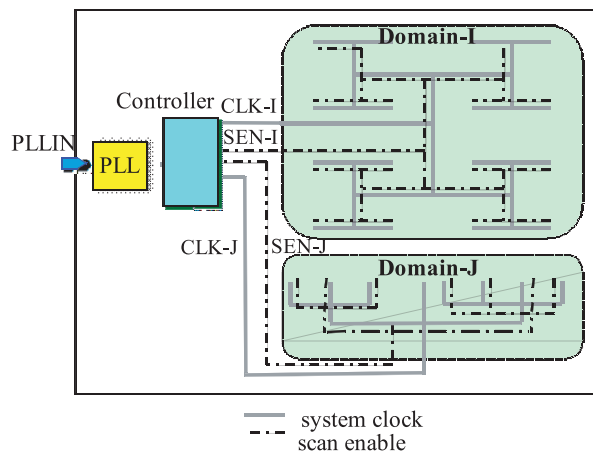


図7 テスト時のクロック網例⁽¹²⁾

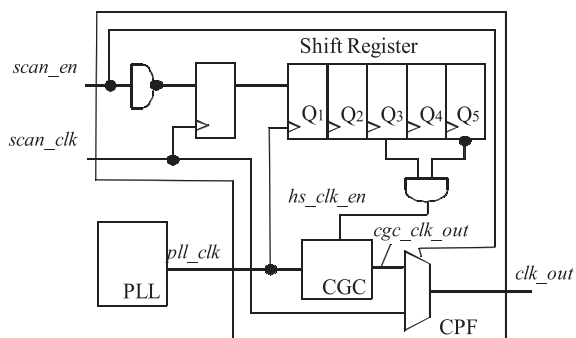


図8 テストクロック制御回路の例⁽¹⁵⁾

4.2 複数クロックドメイン間テスト技術

図6で説明したように、多機能なSoCでは一般に複数のクロックドメインを持ち、同一ドメイン内だけでなく、同一クロックソースを持つ異なるドメイン間の転送も多く用いられている(以降、異ドメイン間転送と呼ぶ)。異ドメイン間転送では同一のPLLから分周した異なる周波数のクロックが用いられるが、基本的に同期式転送である。図9に異ドメイン間テストの方式例を示す。図9(1)はテストクロックのlaunch時に同期をとる方式で、矢印で示したクロック間の転送がテストされる⁽¹⁷⁾。図9(2)はcapture時の同期をとる方式を示す⁽¹³⁾。いずれも同時に複数の転送をテストするのでテスト時間が短い効率的なテストが可能である。しかし、複雑なテスト制御回路が必要、launch-off-shift方式の転送を含むのでスキャンイネーブル信号の高精度なタイミング制御が必要、あるいは同時launchやcaptureによる電源ノイズの発生等の考慮が必要となる。文献(18)ではこれらの問題を防ぐために図10に示す方式を提案している。これはクロック相のペアごとにテストを行う方式で、図10の左ではCK-1でlaunchした信号をCK-2でcaptureするときにCK-1はサブレスされている。このため着目したドメイン間の安全なテストが可能であり、テスト制御回路も簡易化可能であるが、クロック相数が増えるとペア数が急激に増加しテスト時間が増加する懸念がある。筆者らの適用例では、小数のメインクロック以外のクロックに属する回路数は多くないため、テスト時間の増加はクロック数に比例する程度で問題にならないとしている。

文献⁽¹⁵⁾、⁽¹⁹⁾では異ドメイン間転送のテストをlaunch-off-capture方式で行う回路構成を提案している。launch-off-

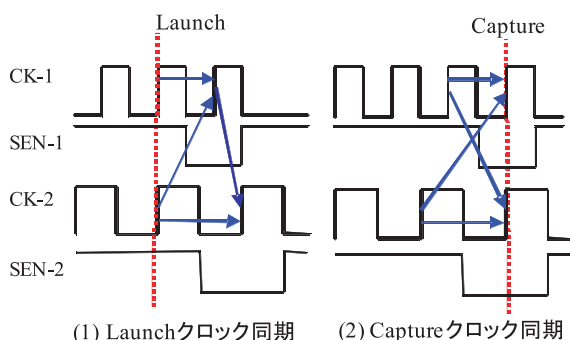


図9 異ドメイン間テスト方式の例

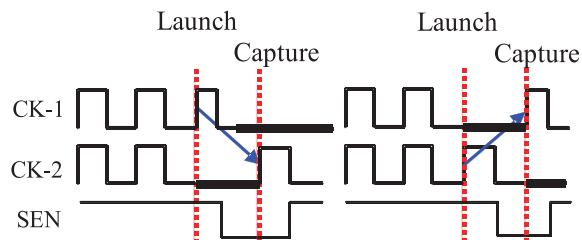


図10 異ドメイン間テスト方式の例

capture方式のためスキャンイネーブル信号のタイミング制約は緩和される。図11はスキャンイネーブル信号(SE)が切り換わった後にlaunchとcaptureを行う⁽¹⁹⁾。図12に異ドメイン間テスト制御回路例を示す⁽¹⁹⁾。二つのクロックを切り換えて制御することにより図11のタイミングを実現している。

4.3 タイミング考慮テスト技術

一般に遷移遅延故障モデルによるテストパターンを作成した場合、信号がどの論理パスを伝播するかは制御されない。その結果、フォールスパス(実使用時に使われない論理パス、したがって遅延値も大きいことが多い)を伝搬すると、故障が存在しなくても、伝搬時間がシステムのクロックサイクルに入らないことがある。これでは実速度テストは困難なので、テストモード時はフォールスパスをマスクする回路を挿入する等のアドホックな対応が取られてきた。

At-speed testを実用化するには、ATPGでフォールスパスを認識し、capture時にFFをマスクする(テストで期待値比較を行わない)、あるいはフォールスパスを活性化するテストパターンを作成しない等の機能が必要である。図13(a)のテストではフォールスパスの信号変化がFF3に伝搬しているので、

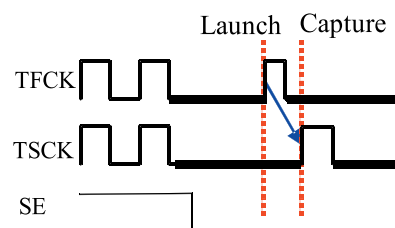


図11 異ドメイン間テスト方式の例(3)

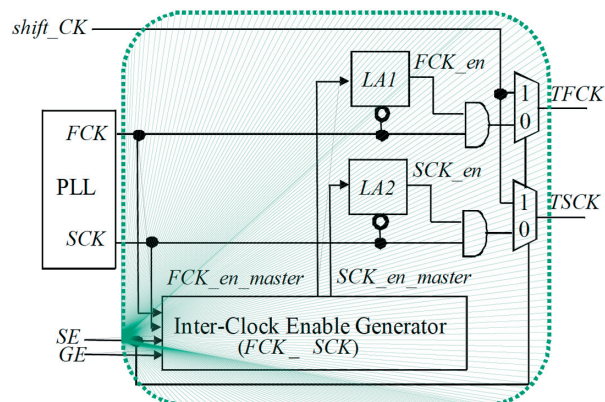


図12 異ドメイン間テスト制御回路例⁽¹⁹⁾

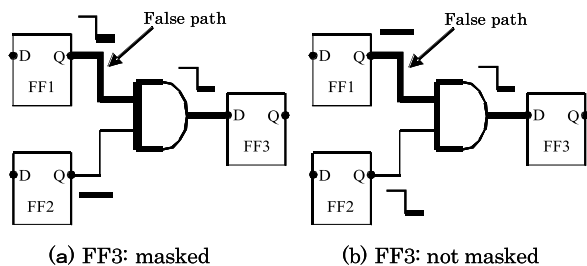


図13 フォールスパスのマスク例

FF3の観測値は無効と考えマスクする。図13 (b) のテストではフォールスパスは信号変化を起こしていないので、FF3はマスクしない。このようにテストパターンごとに信号の伝搬を認識した細かい制御が必要である。

フォールスパスはSTAの設計工程で指定され、そのパスはタイミング制約チェックの対象外とされる。フォールスパスの指定方法には、始点、終点、通過点、及びその様々な組合せが可能である。文献^{(20), (21)}ではフォールスパスの指定情報を読み込み、図13のように観測FFのマスクを自動化している。

5. むすび

本稿では、LSIの論理回路に対する遅延テストの故障モデル、テスト手法、及びDFT手法について、様々な観点から現状の技術を紹介した。LSI製造プロセスの微細化や回路の高速化とともに遅延テストの重要性はますます高まっており、特にAt-speed testで微細な遅延故障を持つチップを除去することが重要とされている。

遅延故障のテストには、高精度の故障モデル及びテスト生成、高精度な測定を可能にするDFTの仕組み、及びフォールスパスを考慮し故障の伝搬経路長を考慮したATPG、テスト品質の高精度な評価手法等の総合的アプローチが必要である。これらの課題は、近年急速に研究が進みつつある。またEDAベンダによるツールの開発も進んできている。

また高精度の遅延テストには、本報告で述べなかった以下の項目も重要であり研究が進みつつある。

- (1) 隣接配線とのクロストーク
- (2) 平均及び局所的(時間および座標)電力/熱
- (3) IRドロップ
- (4) 電流変動によるノイズ
- (5) プロセス変動

これらを考慮するには設計手法及びATEを含めたテスト系全体の適切なモデル化、遅延テストだけでなく他のテスト結果との有機的な結合による判定が必要と思われる。

文 献

- (1) S. Mitra, E. Volkerink, E. McCluskey, and S. Eichenberger, "Delay defect screening using process monitor structures," VLSI Test Symposium, pp. 43-52, 2004.
- (2) K.-T. Cheng, S. Dey, M. Rodgers, and K. Roy, "Test challenges

- for deep sub-micron technologies," Design Automation Conf., pp.142-149, June 2000.
- (3) 2002年度STRJ(半導体技術ロードマップ専門委員会)年度報告書, <http://strj-jeita.eliasp.net/strj/>
- (4) 米田友洋, 梶原誠司, 土屋達弘, ディペンダブルシステム, 共立出版, 2005.
- (5) A. Krstić, and K.-T. Cheng, Delay Fault Testing for VLSI Circuits, Kluwer Academic Publishers, 1998.
- (6) J. A. Waicukauski, E. Lindbloom, B. K. Rosen, and V. S. Iyengar, "Transition fault simulation," IEEE Des. Test Comput., pp. 32-38, April 1987.
- (7) K. Heragu, J. H. Patel, and V. D. Agrawal, "Segment delay faults: A few fault model," Proc. 14th IEEE VLSI Test Symposium, pp.32-39, April 1996.
- (8) G. L. Smith, "Model for delay faults based upon paths," International Test Conf., pp.342-349, 1985.
- (9) J. Savir, "On broad-side delay testing," VLSI Test Symposium, pp.284-290, 1994.
- (10) J. Savir, "Skewed-load transition test: Part I, calculus," International Test Conference, pp. 705-713, 1992.
- (11) S. Dasgupta et al., "An enhancement to LSSD and some applications of LSSD in reliability, availability, and serviceability," International Symposium on Fault-Tolerant Computing, pp. 32-34, 1981.
- (12) Y. Sato, M. Sato, K. Tsutsumida, K. Hatayama, and K. Nomoto, "DFT timing design methodology for logic BIST," IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3049-3055, Dec. 2003.
- (13) B. N-Dostie, Design for At-speed Test, Diagnosis and Measurement, Kluwer Academic Publishers, 1999.
- (14) L. Bushard, N. Chelstrom, S. Ferguson, and B. Keller, "DFT of the CELL processor and its impact on EDA test software," Proc. Asian Test Symposium, pp. 369-374, 2006.
- (15) M. Beck, O. Barondeau, M. Kaibel, F. Pohl, X. Lin, and R. Press, "Logic design for on-chip test clock generation - implementation details and impact on delay test quality," Proc. ACM Design, Automation and Test in Europe, vol. 1, pp. 56-61, 2005.
- (16) V. Iyengar, T. Yokota, K. Yamada, T. Anemikos, B. Bassett, M. Degregorio, R. Farmer, G. Grise, M. Johnson, D. Milton, M. Taylor, and F. Woytowich, "At-speed structural test for high-performance ASICs," Proc. IEEE International Test Conference, paper 2.4, 2006.
- (17) G. Hetherington, T. Fryars, N. Tamarapali, M. Kassab, A. Hassan, and J. Rajski, "Logic BIST for large industrial designs: real issues and case studies," Proc. IEEE International Test Conference, pp. 358-367, 1999.
- (18) K. Hatayama, M. Nakao, and Y. Sato, "At-speed built-in test for logic circuits with multiple clocks," Proc. Asian Test Symposium, pp. 292-297, 2002.
- (19) H. Furukawa and X. Wen, "A novel and practical control scheme for inter-clock at-speed testing," Proc. IEEE International Test Conference, paper 17.2, 2006.
- (20) D. Goswami, K.-H. Tsai, M. Kassab, T. Kobayashi, J. Rajski, B. Swanson, D. Walters, Y. Sato, T. Asaka, and T. Aikyo, "At-speed testing with timing exceptions and constraints - case studies," Proc. Asian Test Symposium, pp. 153-159, 2006.
- (21) V. Vorisek, B. Swanson, K.-H. Tsai, and D. Goswami, "Improved handling of false and multiple paths in ATPG," Proc. Asia and South Pacific Design Automation Conference, pp. 153-159, 2006.



梶原誠司 (正員)

昭62広島大・総合科学卒，平4阪大大学院工学研究科博士課程了，同年同大学・工・応用物理助手，平8九工大・情報工・電子情報・助教授，平15より，同大教授，この間，VLSIのテスト生成，テスト容易化設計などの研究に従事，博士(工学)，平7年度学術奨励賞，平16年度論文賞受賞，著書「ディペンダブルシステム」(共著)など。



佐藤康夫 (正員)

昭51東大・理・数学卒，昭53同大学院修士課程了，平17都立大大学院工学研究科博士課程了，博士(工学)，昭53(株)日立製作所入社，H15よりH18まで(株)半導体理工学研究センターに出向，論理LSIのテスト容易化設計及び故障診断の開発に従事，現在，(株)日立製作所マイクロデバイス事業部設計本部主管技師，平18より九工大・情報工・客員教授を兼任。