

卒業研究報告

題目

マルチサイクルテストにおける遅延故障の検出強化技術

指導教官

高橋寛教授

王森レイ講師

報告者

長滝谷剣

令和3年～月～日提出

愛媛大学工学部情報工学科情報システム工学講座

目次

第 1 章	まえがき	1
1.1	研究背景	1
1.2	研究目的・目標	1
1.3	本論文の構成	2
第 2 章	定義	3
2.1	スキャンテスト	3
2.2	遅延故障	4
2.3	遅延故障のテスト方式	5
2.4	LoC 方式	5
第 3 章	マルチサイクルテスト	7
3.1	マルチサイクルテスト	7
3.2	マルチサイクルテストにおける故障検出	8
3.2.1.	マルチサイクルテストにおける縮退故障の検出	8
3.2.2.	マルチサイクルテストにおける遅延故障の検出	9
第 4 章	FF 制御	11
4.1	故障検出能力低下問題への対策	11
4.2	CP 制御方法	11
第 5 章	実験	13
5.1	実験内容	13

5.2 実験結果	14
5.2.1. s5378 回路	14
5.2.2. s9234 回路	14
5.2.3. s13207 回路	14
 第 6 章 考察	 16
 第 7 章 まとめ	 17
 謝辞	 18
 参考文献	 19

第 1 章

まえがき

1.1 研究背景

近年，航空機や自動運転などにおける，システムの機能安全保証の開発が急速に進んでいる．システムの機能安全を保障するために，デバイスの運用時に故障の有無を検査するフィールドテストが必要である．パワーオンセルフテスト (POST) は、一つの代表的なフィールドテスト技術である．POST はシステムの起動時にデバイスに対して検査を行い，短時間 (システムの起動時間，およそ数十 ms) により多くの故障を検出する必要がある．そのため，より検出精度の高い手法を求め研究が行われている．

故障検出手法の 1 つにマルチサイクルテスト [1] がある．マルチサイクルテストは，キャプチャ動作時に複数回のキャプチャサイクルを与えることで，各サイクルで得られた値を次のキャプチャサイクルのテストパターンとして再利用する手法であり，従来のテスト手法と比較して，より多くの故障検出の機会が与えられるため，POST の性能向上に有効な手法である．

1.2 研究目的・目標

本研究の目的は，システムの機能安全保障のために，マルチサイクルテストを用いた POST における遅延故障に対する検出能力を向上することである．

先行研究では，マルチサイクルテストにおける縮退故障の検出モデルを解析し，縮

退故障の検出能力を向上するために回路内に故障を容易に検出できるようなテスト容易化技術を提案した。しかしながら、遅延故障は時間に関わる故障であり、故障の検出方式は縮退故障と異なるため、マルチサイクルテストによる遅延故障に対する検出効果がいまだに分からない。そこで、本研究の目標は、マルチサイクルテストにおける遅延故障のテスト方法について検討し、その検出効果を評価する。さらに、マルチサイクルテストにおける遅延故障の検出能力を向上するために、一部の FF にキャプチャ後の値を強制的に反転させる FF 制御回路を挿入する FF-CPI 技術を導入し、その効果を評価する。

1.3 本論文の構成

本論文は以下のような構成となっている。第 1 章では、本研究に至った背景や研究目的、目標について述べる。第 2 章では、本論文を閲覧するにあたり必要となる用語について、第 3 章では、マルチサイクルテストの概要及びマルチサイクルテストの利点と欠点について述べる。第 4 章では、FF 制御について述べる。第 5 章では、本研究における実験内容及び実験結果について述べ、第 6 章では、実験に対する評価、考察を述べる。また、第 7 章では、本研究を通してのまとめを記載している。

第 2 章

定義

本章では，本論文を閲覧するにあたり必要となる用語について述べる．

2.1 スキャンテスト

スキャンテスト [2] とは，組み合わせ回路に FF を取り付けることで，回路のテストや内部状態の制御・観測を容易にしたテスト手法である．スキャンテストの構成を図 2.1 に示す．

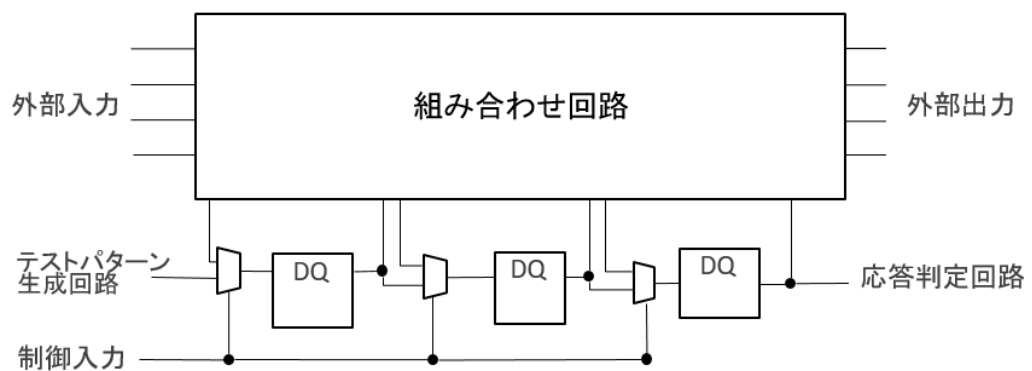


図 2.1. スキャンテスト

対象となる順序回路の FF を，直列につないだシフトレジスタ (スキャンチェーン)

に置き換え、スキャン出力まで値をシフトし内部状態の制御・観測を行う。また、テストパターン生成回路とテスト応答判定回路を組込むことで簡易的な検査が可能となる。テストパターン生成回路には線形帰還シフトレジスタ (LFSR: Linear Feedback Shift Registe) がよく用いられる。本研究でも LFSR を用いた回路を想定している。スキャンテストはシフトモードとキャプチャモードによってテストを行う。シフトモードとは、スキャンインと呼ばれる LFSR が生成したテストパターンを各 FF に印加する動作と、スキャンアウトと呼ばれる結果の出力を行う動作の二つの動作を持つモードである。キャプチャモードとは、スキャンチェーンに印加したテストパターンを用いて回路の応答を FF にキャプチャするモードである。

2.2 遅延故障

論理回路内の素子や信号線における信号変化の伝搬遅延時間が増大し誤作動を起こす故障を遅延故障 [3] と呼ぶ。遅延故障の故障モデルを図 2.2 に示す。図に示すように、FF の出力で生じた信号値変化が組み合わせ回路内を伝搬して次のクロックで FF に取り込まれる際、遅延時間が決められた範囲を超えることで誤作動が生じる。遅延故障には、立ち上がり (0 から 1 への変化) の遅延と、立ち下がり (1 から 0 への変化) の遅延の二通りの故障が考えられる。

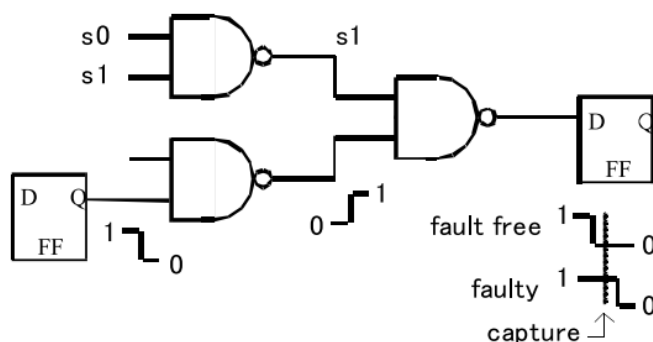


図 2.2. 遅延故障モデル

2.3 遅延故障のテスト方式

遅延故障は信号値の変化に起因することから、故障を検出するためには、変化前の信号値を設定するためのテストパターンと、変化後の値をキャプチャするためのテストパターンの2つを連続して印加する必要がある。この手法を2パターンテストと呼ぶ。

2パターンテストで高い故障検出率を得るためには、テストパターンの印加方法を工夫する必要がある。スキャン動作は、1パターン目の印加と2パターン目の出力の観測に有効であるが、1パターン目と2パターン目を連続して実動作時間で印加することができないためである。この問題を解決する手法の一つとして、次節で説明するラウンチオフキャプチャ方式 (LoC : Launch off Capture) が存在する。

2.4 LoC 方式

LoC 方式 [3] では、スキャンシフト動作で1パターン目をスキャンチェーンに設定した後、通常動作で、システムクロックにより2パターン目を設定し、続けてキャプチャを行う。つまり、スキャンインをした後に、システムクロックにより二回キャプチャを行うことになる。図 2.3 にクロック信号とスキャンイネーブル信号のタイミングチャートを示す。

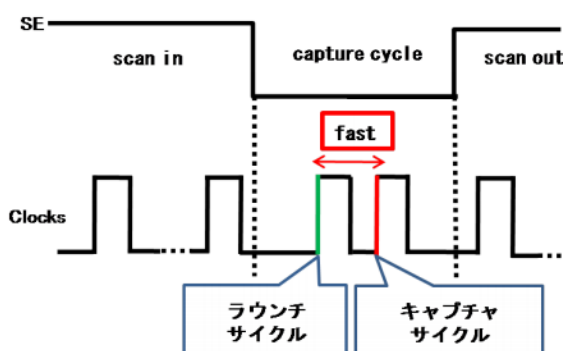


図 2.3. LoC のタイミングチャート

LoC 方式の特徴として、2パターン目が通常動作と同じなので設計時の制約が少な

いことがあげられる。また、正常な回路を不良と判定する歩留まりの低下の危険性も少ないこともあげられる。

本研究では、LoC 方式に対して図 2.4 に示すようにマルチサイクル化を施し、4 章で説明する FF 制御を用いて実験を行う。

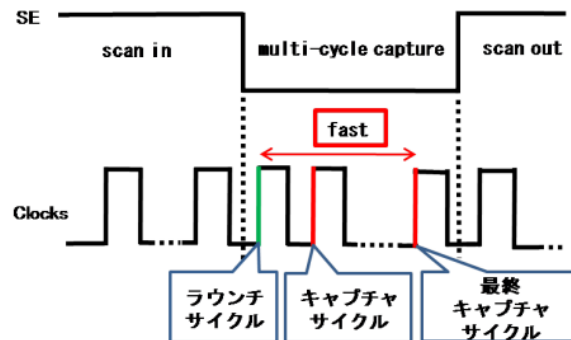


図 2.4. マルチサイクルによる LoC のタイミングチャート

第 3 章

マルチサイクルテスト

本章では，マルチサイクルテストの概要と，マルチサイクルテストにおける縮退故障の検出および遅延故障の検出に関してそれぞれ述べる．

3.1 マルチサイクルテスト

マルチサイクルテスト [1] とは，スキャンテストにおいて複数回のキャプチャサイクルを繰り返す手法である．サイクル数を3とした場合のテスト実行例を図 3.1 に示す．まず，スキャンイン動作で (110) が入力される．1 サイクル目でキャプチャされたパターン (001) を入力として2 サイクル目が実行される．2 サイクル目でキャプチャされたパターン (101) を入力として3 サイクル目が実行される．3 サイクル目でキャプチャされたパターン (101) をスキャンアウトすることでテスト結果を得る．

マルチサイクルテストでは，各サイクルでキャプチャされたキャプチャパターンを次のキャプチャサイクルのテストパターンとして再利用することで，従来のスキャンテストと比較したときに，テストパターンの生成数を抑えつつより多くの故障検出を行う機会を獲得できる．

一方で，マルチサイクルテストには“故障検出能力低下問題”がある．故障検出能力低下問題 [4] とは，キャプチャサイクルを重ねるにつれ次第に新たな故障を検出しにくくなっていく問題である．マルチサイクルテストでは，被検査回路の内部状態を機動作に近づけることができ，多数のキャプチャサイクル (20 サイクル) を適用した場合，

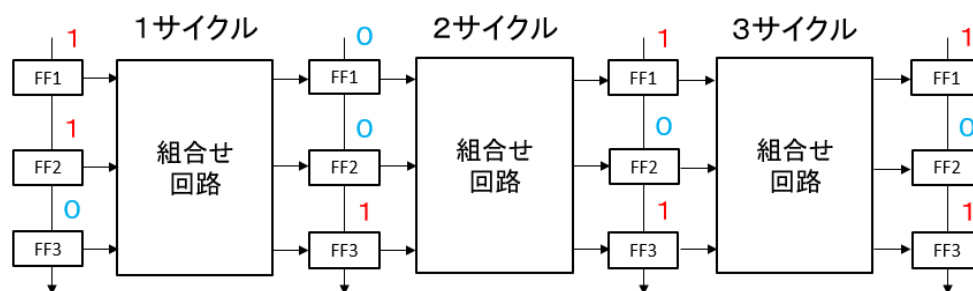


図 3.1. マルチサイクルテスト

被検査回路の内部状態遷移はサイクル数を増やすことによって低減することが報告されている。被検査回路の内部状態遷移の減少によって、キャプチャパターンが最初のサイクルで適用されたテストパターンと比較して、ランダム性の少ない入力パターンになってしまい、新たな故障を検出する能力が低下する。

3.2 マルチサイクルテストにおける故障検出

3.2.1. マルチサイクルテストにおける縮退故障の検出

ここでは、マルチサイクルテストにおける縮退故障の検出に関して述べる。ある信号線Lの0(1)縮退故障を検出するためには、テストパターンによってその信号線Lに1(0)を設定することで故障が励起される。次に、この縮退故障の影響が被検査回路の出力側のフリップフロップにおいて誤り論理値として取り込まれることによって、テストパターンによって縮退故障が検出できたと判定する。

図3.2にマルチサイクルテストにおける縮退故障の検出例を示す。マルチサイクルテストにおいては、まず、スキャンフリップフロップにテストパターンがスキャンインされた後に、被検査回路をシステムクロックのテストモードで動作させる。次に、キャプチャクロックで1サイクル目のテストモードで回路が動作した結果として、得られた応答がフリップフロップに取り込まれる。図3.2の例では、2サイクル目以降のフリップフロップにおいて、テスト時に取り込まれた論理値と期待値が異なるため、最終サ

イクルのテストモードにおいて回路が動作した結果として得られた応答がフリップフロップに取り込まれ，テスト時に取り込まれた論理値と期待値が異なるため縮退故障が検出できたと判定する．

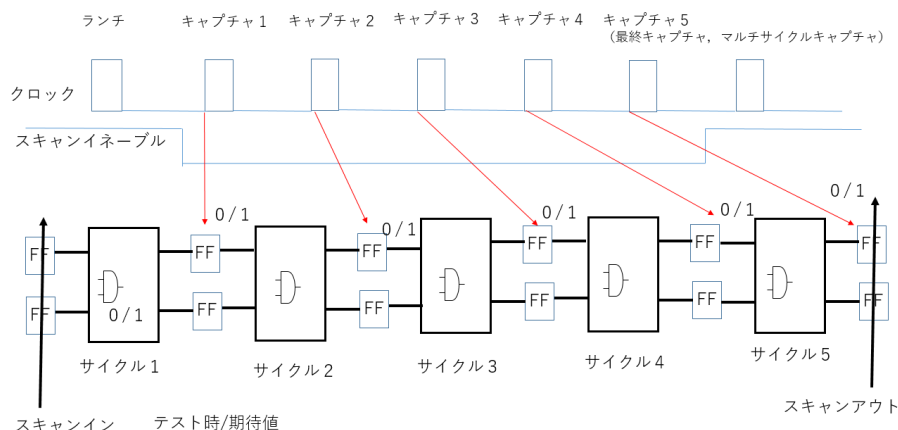


図 3.2. マルチサイクルテストにおける縮退故障の検出例

3.2.2. マルチサイクルテストにおける遅延故障の検出

ここでは，マルチサイクルテストにおける遅延故障の検出に関して述べる．ある信号線Lの立ち下がり(立ち上がり)遅延故障を検出するためには，まず，テストパターンによってその信号線Lに1(0)を初期値として設定し，次のテストパターンによってその信号線Lに0(1)を設定することで，立ち下がり(立ち上がり)遅延故障が励起される．次に，この遅延故障の影響が被検査回路の出力側のフリップフロップにおいて誤り論理値が取り込まれることによって，テストパターンによって遅延故障が検出できたと判定する．

図 3.3 にマルチサイクルテストにおける遅延故障の検出例を示す．マルチサイクルテストにおいては，まず，スキャンフリップフロップにテストパターンがスキャンインされた後に，被検査回路をシステムクロックのテストモードで動作させる．次に，キャプチャクロックで1サイクル目のテストモードで回路が動作した結果として，対象とする信号線に初期値を設定している．次に，2サイクル目のテストモードにおいて，対

象とする信号線に信号遷移(立ち上がり信号変化)を励起している。対象とする信号線の信号遷移(立ち上がり信号変化)が遅延故障の影響を受けるので、その遅延故障の影響が伝搬する出力側のフリップフロップにおいて誤り論理値が取り込まれる。その誤り論理値の影響が最終サイクルまで伝搬することによって、遅延故障が検出できたと判定する。

さらに、図 3.3 では、4 サイクル目に初期値 1 を設定し、5 サイクル目で対象とする信号線に信号遷移(立ち下がり信号変化)を励起し、出力側のフリップフロップにおいて誤り論理値が取り込まれることで、遅延故障が検出できたと判定する。

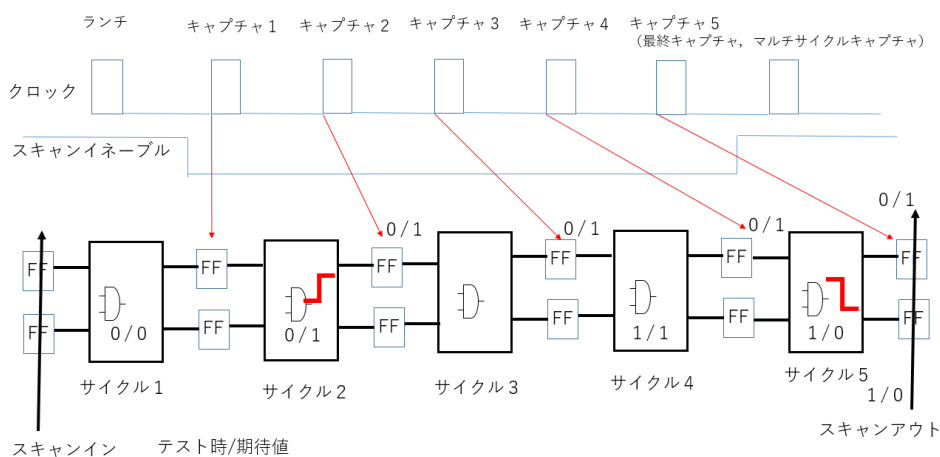


図 3.3. マルチサイクルテストにおける遅延故障の検出例

第 4 章

FF 制御

本章では，マルチサイクルテストにおける故障検出能力低下問題への対策として，FF 制御について述べる．

4.1 故障検出能力低下問題への対策

3 章で説明したように，マルチサイクルテストでは，キャプチャサイクルの増加に伴い，被検査回路の内部状態遷移が低減し，新たな故障の検出が困難になる問題がある．この対策として，制御テストポイント (CP) 挿入技術がある．制御テストポイント挿入技術とは，被検査回路の内部状態遷移の低減によって故障信号の伝搬や励起を阻害している FF に，直接論理値を割り当てる技術である．FF に CP を挿入することで，制御後のサイクルにおけるキャプチャパターンのランダム性を向上させることができる．固定値 0/1 が印加される箇所に対して，制御した論理値 1/0 を割り当てることにより，故障の励起を促し，故障検出能力の向上を期待する．

4.2 CP 制御方法

本研究では，FF を制御するために，トグリング制御を用いる．トグリング制御の制御モデルを図 4.1 に示す．

トグリング制御とは，選定した信号線にトグル回路を追加することで，サイクル毎に選定信号線の値をトグルさせる手法である．キャプチャモードでは，現在の状態 (T_i :

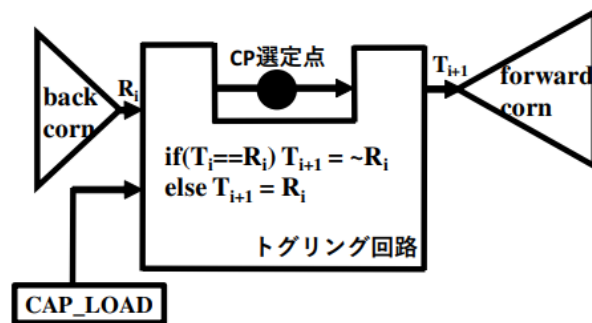


図 4.1. トグリング制御の制御モデル

現在のキャプチャサイクルで適用されたテストパターン) と、次の状態 (R_i :現在のキャプチャサイクルで適用されたテストパターンのレスポンス) を比較して、FF の値が変化しているかを確認する。変化していない場合は、トグル制御回路は T_{i+1} にトグルを生成し、 R_i の反転値を次のサイクルに伝搬させ、変化している場合は、ば次のサイクルに現在の R_i を伝搬させる。

また、本実験では、FF 制御箇所はランダムに選定する。

第 5 章

実験

本章では，本研究における実験内容及び結果について述べる．

5.1 実験内容

遅延故障シミュレータに FF 制御を実装し，検出率を算出する．本実験では，全体の 10% の FF を制御した．FF 制御を行う場合と行わない場合それぞれにおいて，遅延故障検出率の観点から性能差を比較する．今回実験に用いた回路の詳細は表 5.1 の通りである．

表 5.1. 実験回路情報

回路名	s5378	s9234	s13207
信号線の数	5344 本	9256 本	13300 本
FF の総数	179 個	228 個	669 個
制御する FF の数	17 個	22 個	66 個

3 種類すべての回路において，テストパターン数 100 でシミュレーションを行い，2 サイクルから 10 サイクルにかけての遅延故障検出率の推移を算出した．なお，本研究

で使用されたプログラムはすべて C 言語で開発されている。

5.2 実験結果

それぞれの回路における遅延故障検出率を以下の図に示す。図では、FF 制御なしのグラフは青線で、FF 制御ありのグラフは黄線で表している。得られた結果に対する考察は次章にて述べる。

5.2.1. ~~s5378~~ 回路

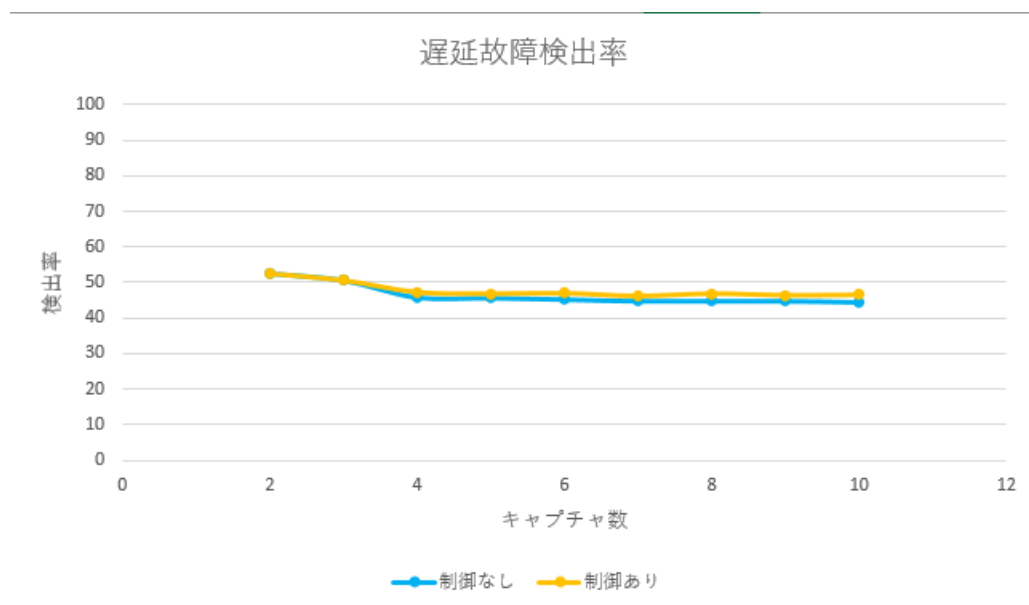


図 5.1. ~~s5378~~ 回路における遅延故障検出率

5.2.2. ~~s9234~~ 回路

5.2.3. ~~s13207~~ 回路

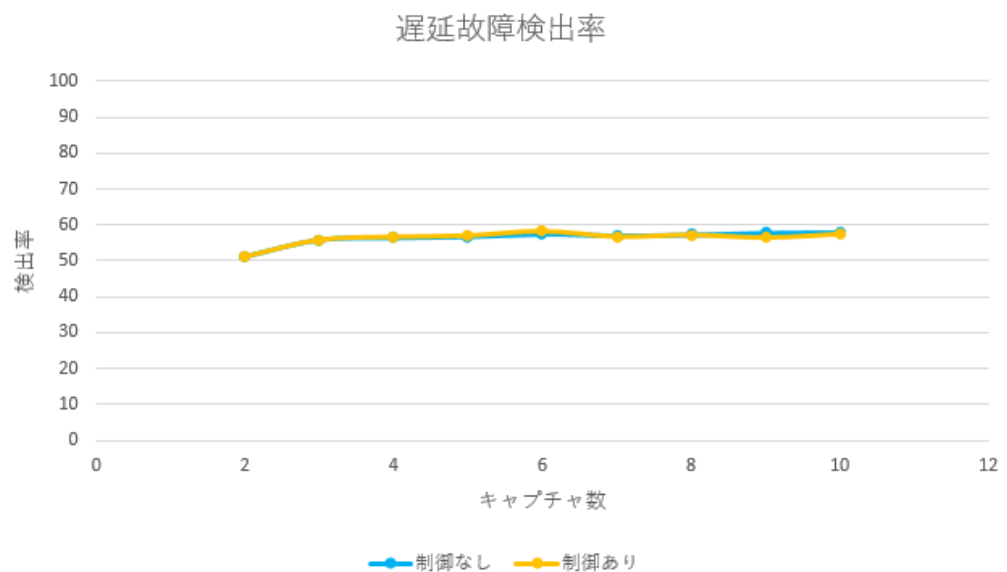


図 5.2. s9234 回路における遅延故障検出率

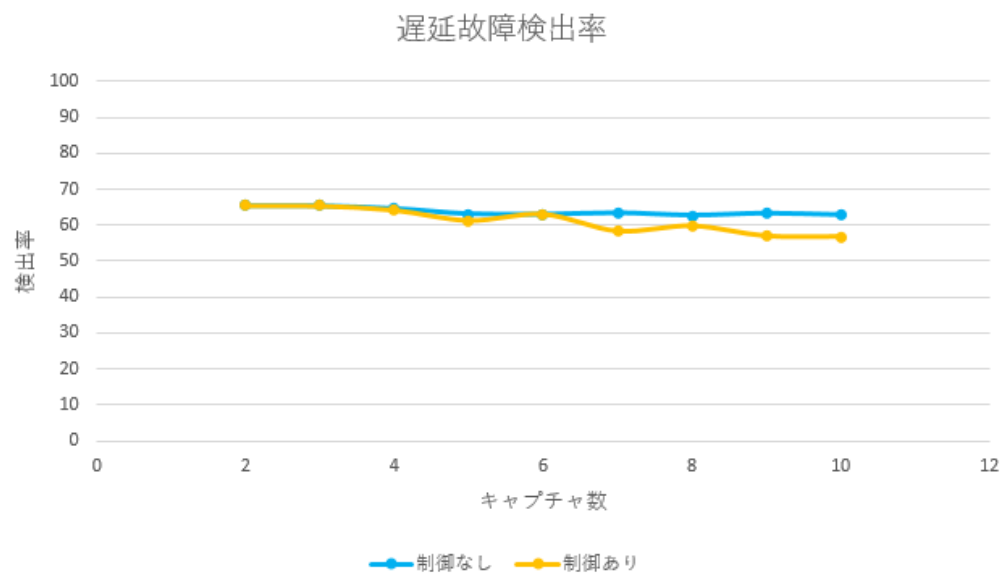


図 5.3. s13207 回路における遅延故障検出率

第 6 章

考察

本章では，実験結果に対する考察について述べる．

マルチサイクルテストにおける遅延故障検出結果として，キャプチャ数を増やすと故障検出率が低下する傾向にあることが判明した．この結果は，キャプチャ数を増加させるにつれて内部状態が次第に遷移しなくなるという，“故障検出能力低下問題”に起因する可能性が高い．また，s9234 回路に関してのみ，キャプチャ数の増加に伴い故障検出率が増加しているが，これは回路そのものが原因であると推測する．

FF 制御を行った場合の実験結果では，s5378 回路では，ほとんどのキャプチャ数において故障検出率が 1.5% 程度向上し，s9234 回路では，いくつかのキャプチャ数において故障検出率が 0.8% ほど向上したことが明らかとなった．しかしながら，s13207 回路においては，ほとんどのキャプチャ数において故障検出率が悪化する結果となり，フリップフロップ制御が遅延故障検出率の向上に必ずしも寄与するとは言い難い結果となった．回路ごとに最適な CP 挿入箇所が存在するものの，本実験では CP 挿入箇所をランダムに選定したことが，今回の得られた結果の原因である可能性が高い．CP 挿入箇所選定手法に関して，より適した選定点の提案を実現できれば，遅延故障検出率により寄与できるのではないだろうか．

第 7 章

まとめ

本研究では，マルチサイクルテストが遅延故障検出率にどのような結果をもたらすのか検証した．実験では，外部から直接論理値を割り当てる CP を FF に挿入する手法を提案し，FF 制御の有無で，遅延故障検出率の性能差を算出した．結果からは，提案手法により，わずかながら故障検出能力の向上が確認できた．

今後の課題として，CP の選定位置の最適化が挙げられる．現在は選定位置はランダムとしているが，より適した位置に CP を挿入することで，遅延故障検出率を更に向上させる必要がある．

謝辞

本研究を進めるにあたり，懇篤な御指導，御鞭撻を賜りました本学高橋寛教授に深く御礼申し上げます。

本論文の作成に関し，詳細なるご検討，貴重な御教示を頂きました本学王森レイ講師ならびに甲斐博准教授に深く御礼申し上げます。

また，本研究に際しご審査いただきました本学井門 俊講師に深く御礼申し上げます。

最後に，多大な御協力と貴重な御助言を頂いた本学工学部情報工学科情報システム工学講座高橋研究室の諸氏に厚く御礼申し上げます。

参考文献

- [1] 山口 久登, 松園 誠, 佐藤 康夫, 梶原 誠司: “スキャン BIST におけるマルチサイクルテストと部分観測方式の提案と評価”, 電子情報通信学会技術研究報告, DC2010-28, pp.31-36, 2010-11
- [2] 藤原 秀雄: “コンピュータの設計とテスト”, 工学図書 pp.221, 1990
- [3] 梶原 誠司・佐藤 康夫: “論理回路に対する遅延テスト手法”,
- [4] J. Rearick, ”Too Much Delay Fault Coverage is a Bad Thing,” Proc. Int'l Test Conf., Baltimore, MD, pp. 624-633, 2001. DOI: 10.1109/TEST.2001.966682