

# 数电实验统一实验环境使用说明

数字电路实验课程涉及到的工具及语言包括：

- Logisim 软件：一款图形化的数字电路模拟软件
- Vivado 软件：Xilinx 公司开发的 FPGA 集成开发环境
- Verilog 语言：用来设计数字逻辑电路的一门硬件描述语言
- FPGA 实验设备：用来运行目标电路的硬件平台

根据以往经验, 学生往往在搭建实验环境上面花费大量时间精力, 且无法做到实验环境统一, 为节省学生时间开销, 计算机学院实验教学中心为大家提供了数字电路实验课程的统一实验环境, 用户只需登录 [vlab.ustc.edu.cn](http://vlab.ustc.edu.cn) 即可获取, 由于存在浏览器兼容性问题, 推荐使用 chrome、firefox、edge 等主流浏览器, 下面介绍具体流程。

## 第一节 使用远程教学云桌面系统

该系统为用户提供一个实时在线的 Linux 环境, 且预装了 Logisim、Vivado 等工具软件, 可通过图形界面或命令行等多种方式接入, 此外还提供了网页版 vscode、文件传输等功能。该系统支持的课程包括: 数电实验、组成原理、体系结构、嵌入式、程序设计、程序调试技术、操作系统、编译原理、网络系统实验等, 此外有不少学生通过该平台学习 Linux 系统、学习编程技术、开发个人项目等。

下面介绍使用步骤。

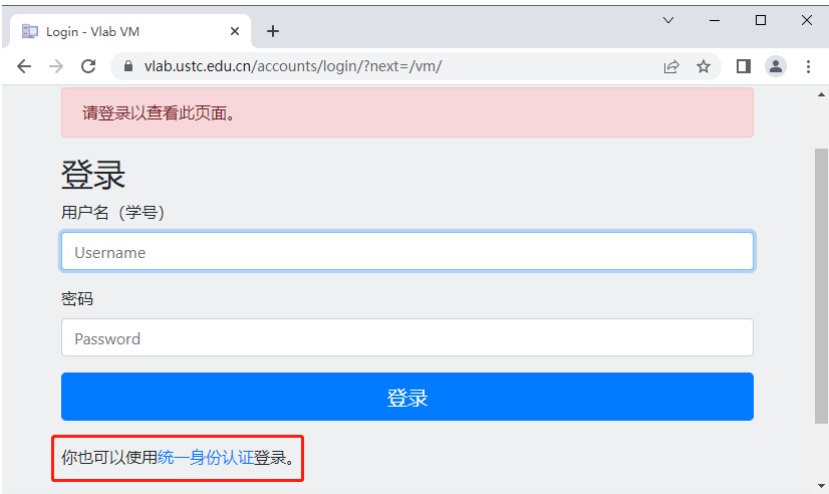
### 第 1 步：登录 vlab 网站



vlab 网站 ([vlab.ustc.edu.cn](http://vlab.ustc.edu.cn)) 提供了远程 linux 系统服务 (虚拟机管理)、Verilog 在线测评服务链接 (VerilogOJ)、FPGA 在线设备服务链接 (FPGA 在线), 此外还提供了文件传输、使用说明、用量统计等功能。

## 第 2 步：虚拟机管理页面

点击“虚拟机管理”进入虚拟机服务界面，用户需要通过统一身份认证登录。



## 第 3 步：创建虚拟机

进入虚拟机管理页面后，新用户需要点击“新建虚拟机”按钮创建虚拟机，虚拟机名称和密码可以自行确定，系统镜像选择默认的 vlab01 镜像，点击创建按钮后大约 2 分钟时间即可完成创建。如页面长时间没有反应，用户可通过刷新或重新进入 vlab 网站的方法查看创建情况。

虚拟机名称\*

镜像选择\*

root 密码\*

请注意：您的密码必须大于等于 8 位，不能为纯数字，且不能为极其常见的密码。

创建

## 第 4 步：开机

虚拟机创建完毕后，默认处于关机状态，用户需手动点击“开机”按钮启动虚拟机，此过程大约耗时半分钟，如页面长时间没有响应，用户可以试着刷新页面或者多点击几次“开机”按钮。

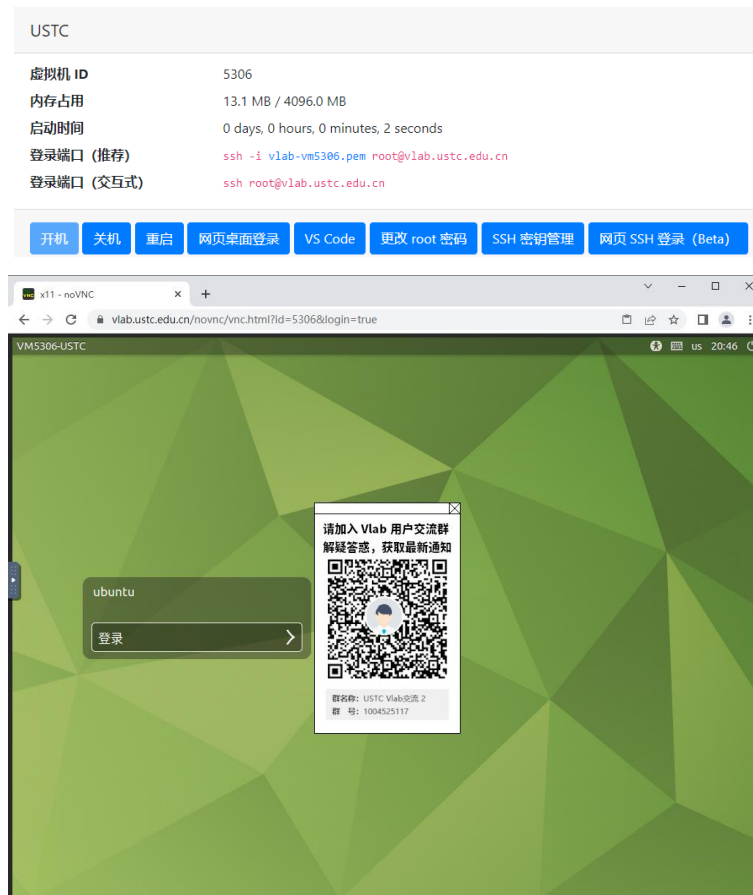
USTC

虚拟机 ID	5306
内存占用	0.0 B / 4096.0 MB
启动时间	0 days, 0 hours, 0 minutes, 0 seconds
登录端口 (推荐)	ssh -i vlab-vm5306.pem root@vlab.ustc.edu.cn
登录端口 (交互式)	ssh root@vlab.ustc.edu.cn

开机 关机 重启 SSH 密钥管理 销毁

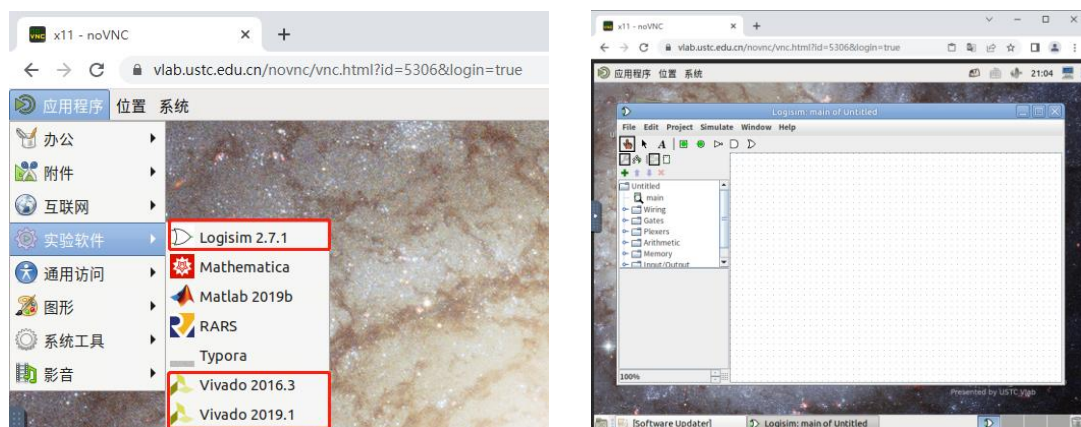
## 第 5 步：进入系统

用户可直接点击“网页桌面登录”按钮进入 linux 桌面环境，系统默认用户名为 ubuntu，没有密码，直接点击登录框即可进入系统，进入系统时会显示 vlab 用户 QQ 群二维码，如有需要，可加入该群获取帮助，也可以直接关闭二维码窗口。



## 第 6 步：使用系统

用户进入系统后便获取了一个嵌入在浏览器窗口中的 linux 系统，该系统已经预装了 Logisim 和 Vivado 等软件，供用户直接使用。



## 第 7 步：其它功能

除了网页版桌面系统之外，该系统还支持 VNC、SSH、网页 SSH 等接入方式。此外还支持网页版 VS Code、文件传输等功能，具体使用方法可通过 vlab 平台使用文档学习，网址为：<https://vlab.ustc.edu.cn/docs/>



## 第二节 使用 VerilogOJ 系统

VLAB 平台帮助用户解决了课程实验环境的问题，用户在学习数电实验课程时还有一大障碍：Verilog 语言。数电实验要求学生使用 Verilog 语言设计出一系列特定功能的电路，并最终运行在 FPGA 设备上。虽然理论课上会讲解 Verilog 语法，但绝大多数学生在使用这门语言时仍觉得非常困难。为了让学生快速掌握 Verilog 语法，并完成电路设计，我们提供了一个 Verilog 的在线测评系统：VerilogOJ，网址为，[verilogoj.ustc.edu.cn](http://verilogoj.ustc.edu.cn)，用户也可以通过 vlab 网站上的链接进入到该系统，下面介绍具体使用步骤。



## 第 1 步 进入系统

进入 VerilogOJ 系统的主页后，用户可以看到三个标签页，分别是“Home”、“Problem”、“Status”。右上角是登录、注册按钮，本系统支持统一身份认证直接登录，校外用户也可以注册账号后使用。未登录用户只可以浏览网站上的内容，但无法使用代码测评功能。



## 第 2 步 登录系统

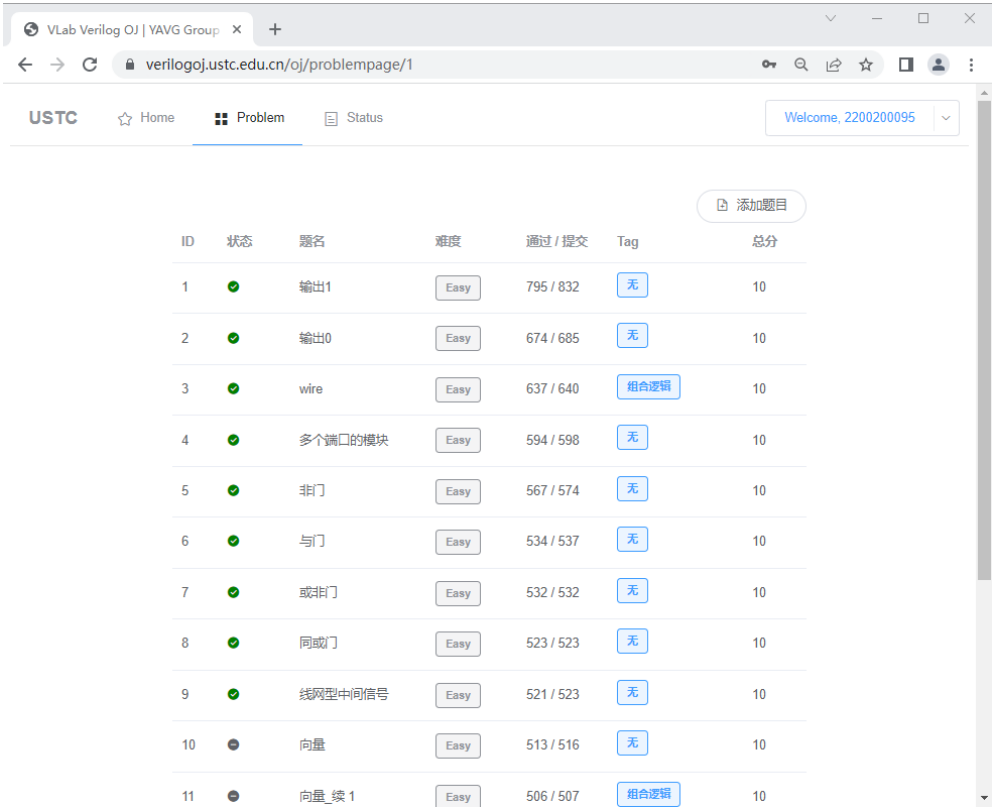
点击“Login”按钮，进入登录界面，支持账号和统一身份认证两种登录方式，虽然校内用户也可以通过注册账号方式登录，但还是建议您采用统一身份认证登录，因为后续会统计题目完成情况，并计入课程得分，注册账号在证明自己身份方面会麻烦一些。



## 第 3 步 浏览题目

登录之后，点击“Problem”标签，进入题目列表页面，用户可以看到一系列的 Verilog 题目，这些题目基本上按照由易到难的方式进行排列，可以依次完成各个题目的在线测评，

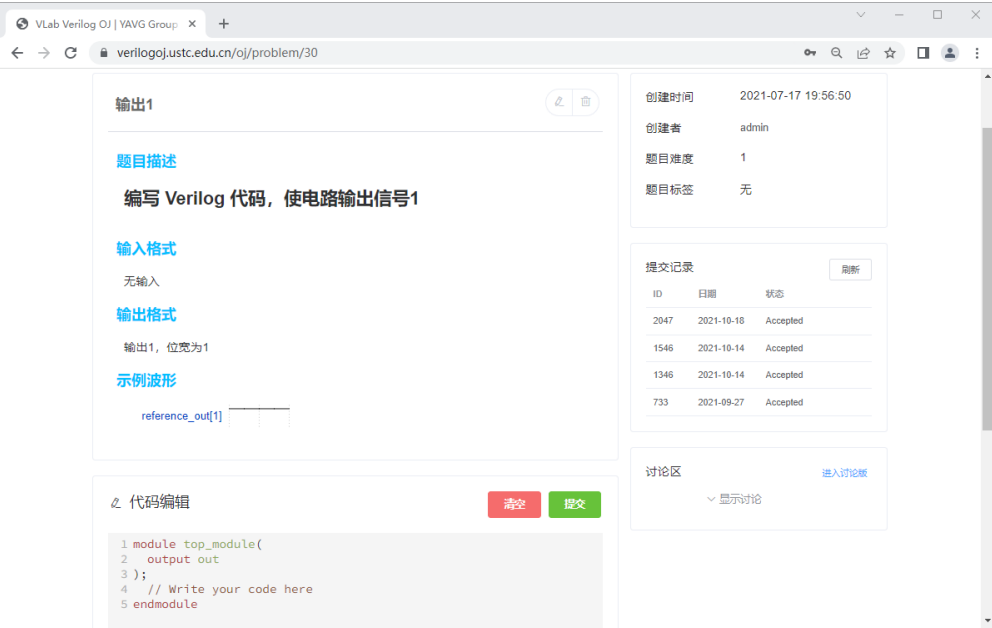
系统会记录用户的完成情况，完成题目后，其状态标识会变成绿色，否则为灰色。



ID	状态	题名	难度	通过 / 提交	Tag	总分
1	●	输出1	Easy	795 / 832	无	10
2	●	输出0	Easy	674 / 685	无	10
3	●	wire	Easy	637 / 640	组合逻辑	10
4	●	多个端口的模块	Easy	594 / 598	无	10
5	●	非门	Easy	567 / 574	无	10
6	●	与门	Easy	534 / 537	无	10
7	●	或非门	Easy	532 / 532	无	10
8	●	同或门	Easy	523 / 523	无	10
9	●	线网型中间信号	Easy	521 / 523	无	10
10	●	向量	Easy	513 / 516	无	10
11	●	向量_续 1	Easy	506 / 507	组合逻辑	10

#### 第 4 步 完成题目

题目中包含了题目描述区和代码编辑区两大部分，用户可以根据题目要求，在代码编辑区域完成代码编写，并提交测评，



### 输出1

[题目描述](#)

**编写 Verilog 代码，使电路输出信号1**

[输入格式](#)

无输入

[输出格式](#)

输出1，位宽为1

[示例波形](#)

reference\_out[1]

创建时间 2021-07-17 19:56:50

创建者 admin

题目难度 1

题目标签 无

提交记录 [刷新](#)

ID	日期	状态
2047	2021-10-18	Accepted
1548	2021-10-14	Accepted
1346	2021-10-14	Accepted
733	2021-09-27	Accepted

讨论区 [进入讨论区](#)

显示讨论

代码编辑

[清空](#) [提交](#)

```
1 module top_module(  
2     output out  
3 );  
4 // Write your code here  
5 endmodule
```

## 第 5 步 查看测评结果

提交测评后，系统会在几秒钟内给出测评结果，显示是否通过，点击“测试用例”还可以进一步查看日志、仿真波形等详细信息。

提交结果

1 / 1 个通过测试用例，获 10 / 10 分

状态: Accepted

提交时间: 几秒前

测试用例 0 (行为级仿真) : Accepted

10 / 10 分 >

Code:

Copy

Download

```
1 module top_module(  
2     output out  
3 );  
4     // Write your code here  
5     assign out = 1;  
6 endmodule
```

## 第 6 步 统计信息

点击“Status”可以查看所有用户或仅自己最近的提交记录等信息，点击网页右上角的个人账号，可以进入题目完成情况的统计页面

VLab Verilog OJ | YAVG Group

verilogoj.ustc.edu.cn/oj/status

USTC

Home

Problem

Status

Welcome, 2200200095

所有人

仅自己

刷新

ID	用户	题名	状态	提交时间
58422	花都开好了	基于端口位置的实例化	Accepted	2022-09-27 21:38:35
58421	花都开好了	基于端口位置的实例化	Compile Error at testcase #0	2022-09-27 21:37:26
58420	花都开好了	模块例化	Accepted	2022-09-27 21:35:19
58419	2200200095	输出1	Accepted	2022-09-27 21:34:26
58418	Leeo	同或门	Accepted	2022-09-27 21:33:55
58417	Leeo	或非门	Accepted	2022-09-27 21:32:27
58416	花都开好了	模块例化	Compile Error at testcase #0	2022-09-27 21:31:43



2200200095 在本站通过了 14 道题目。

1	2	3	4	5	6	7	8	9	15
29	43	100	101						

截至目前，2200200095 还有 55 道题目没有做完。

10	11	12	13	14	16	17	18	19	20
21	22	23	24	25	26	27	28	30	31
32	33	34	35	36	37	38	39	40	41
42	44	45	46	47	48	49	50	51	52
53	54	55	56	57	58	59	60	61	102
103	104	105	106	107					

### 第三节 使用 FPGAOL 平台

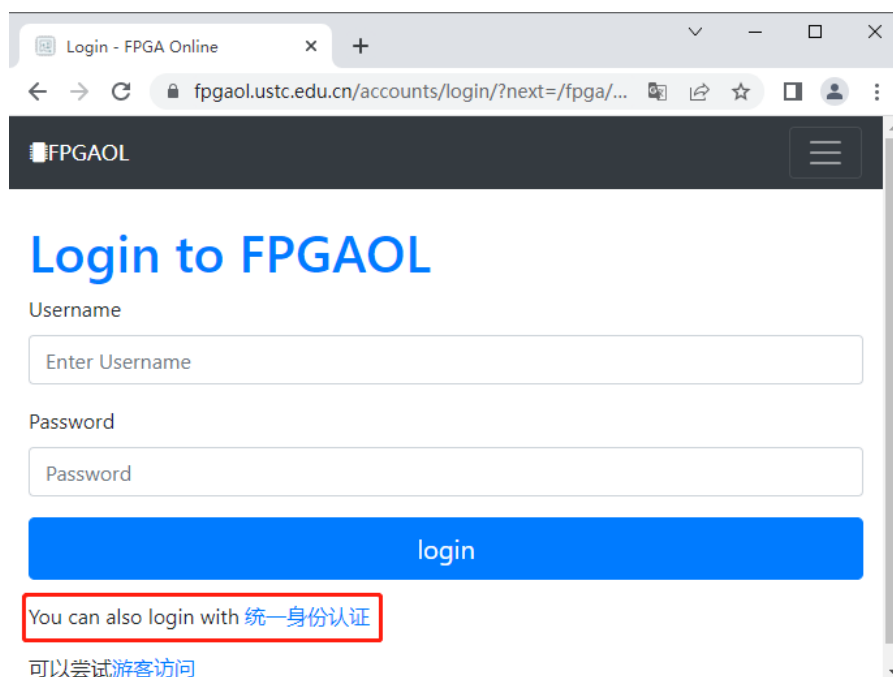
数电实验课程会用到 FPGA 设备，没有实验设备便不能开展实验，以往我们会为每位同学提供一块 FPGA 开发板，后来发现这种方式设备利用率低，且开发板容易损坏。为了解决上述问题，并让学生能随时随地开展数电实验，计算机学院实验教学中心自主开发了 FPGA 在线实验平台（FPGAOL），网址为：fpgaol.ustc.edu.cn，用户也可通过 vlab 平台的链接进入该系统。下面介绍其使用步骤。



#### 第 1 步：进入系统

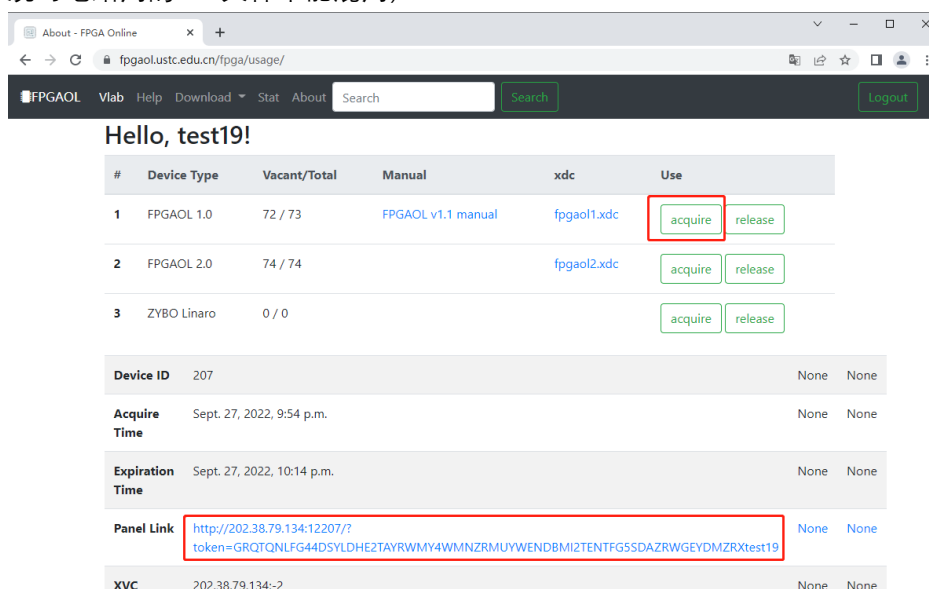
用户首次进入该系统时，会自动跳转到登录页面，校内用户可以使用统一身份认证登录，校外用户可直接使用游客身份登录，目前并没有对游客的权限进行限制，享有与正式用户完全一样的权限。





## 第 2 步 获取设备结点

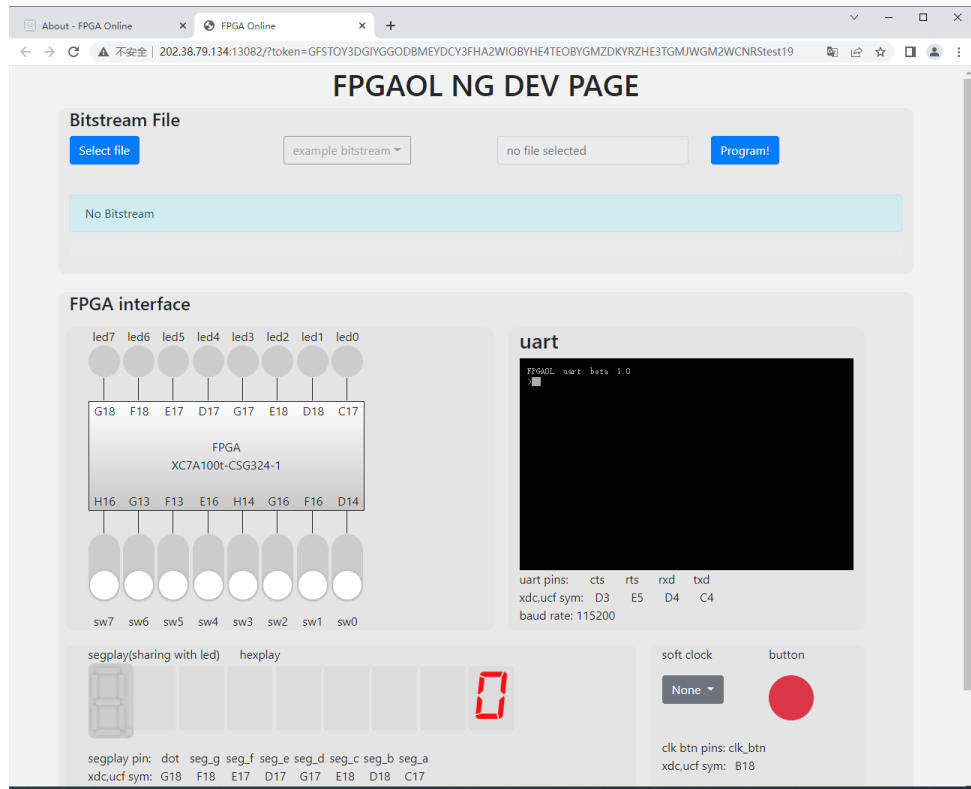
登录之后，便进入了设备申请界面，本平台目前提供了 FPGAOL 1.0 和 2.0 两个版本的设备节点，目前来说功能基本一样，建议大家统一使用 FPGAOL 1.0 的设备节点（两个版本不兼容，烧写电路用的 bit 文件不能混用）



## 第 3 步 进入设备结点页面

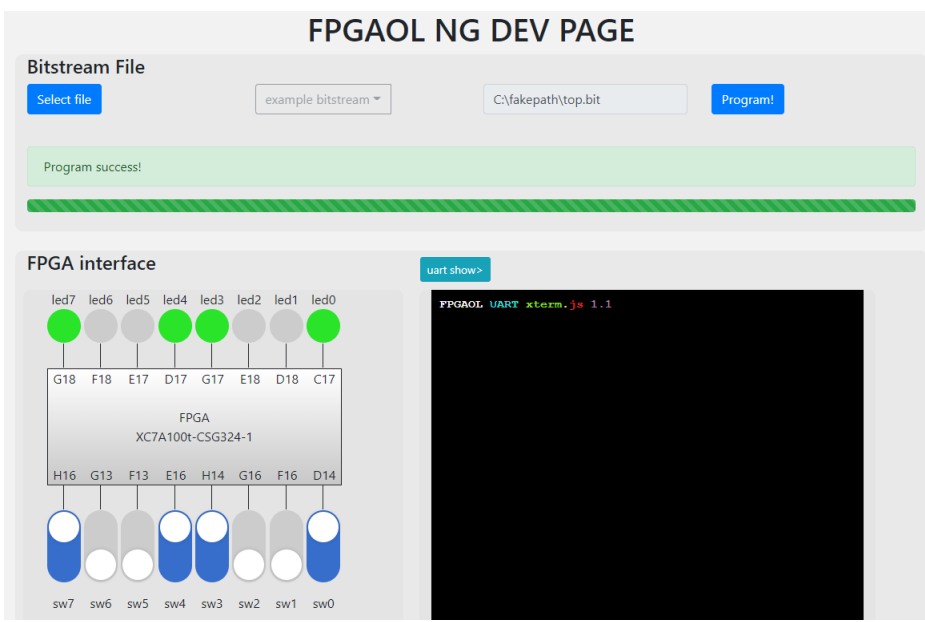
点击前一步骤生成的链接，便进入了设备节点页面，在该页面中，我们通过网页组件，模拟了 FPGA 设备的几种常用外设，如 LED、数码管、开关、按键、串口终端等，虽然这些组件是虚拟的，但底层对应着实际的物理设备，用户在网页内对组件的操作最终都会转变

为对 FPGA 设备的真实操作。



#### 第 4 步 烧写 FPGA 设备节点

点击“select file”按钮，选择生成好的 bit 文件（示例 bit 文件可在“Download”菜单中下载，用户自己的 bit 文件生成方法则需要在熟悉 Vivado 软件的使用后才能掌握），然后点击“Program”按钮，便开始了对 FPGA 设备节点的烧写，并显示烧写进度，一切顺利的话，3~5 秒左右便可完成烧写。烧写完成后，可以通过鼠标操作开关、按键等输入型外设，并观察 LED、数码管等输出型外设的输出结果，以此验证目标电路功能正确与否。



## 第 5 步 其它介绍

通过“Download”下拉菜单可以下载 FPGAOL 平台的测试用 bit 文件和示例工程，方便用户快速体验本平台。另外，点击“FPGAOL v1.1 manual”，可以进入平台的详细介绍页面，供用户学习使用。

FPGAOL

Vlab

Help

Download

Stat

About

Search

Search

Logout

Hello, test19!

#	Device Type	Vacant/Total	Manual	xdc	Use
1	FPGAOL 1.0	72 / 73	FPGAOL v1.1 manual	fpgaol1.xdc	<div>acquire</div> <div>release</div>
2	FPGAOL 2.0	73 / 74		fpgaol2.xdc	<div>acquire</div> <div>release</div>
3	ZYBO Linaro	0 / 0			<div>acquire</div> <div>release</div>

以上便是计算机学院实验教学中心提供的三套平台使用方法的简单介绍，希望这几款平台能为您的实验体验带来一定程度的提升，祝您实验顺利，学有收获。