



中国科学技术大学
University of Science and Technology of China

实验06

FPGA原理及Vivado综合

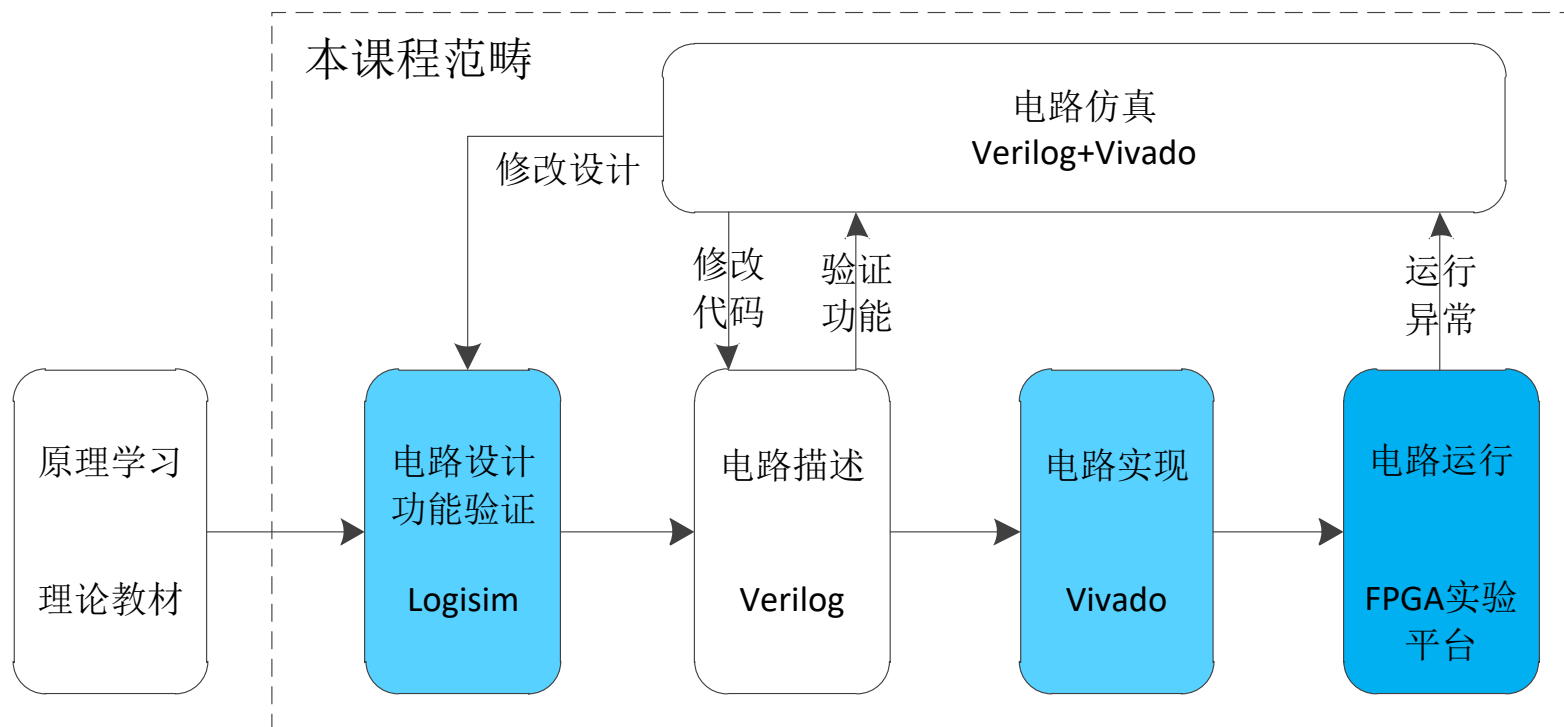
2022/11/03

实验安排

数字电路实验关键时间节点				
时间	实验发布（23：59前）	实验讲解（上课时间）	检查截止（21:30前）	报告提交截止（23:59前）
第四周 (09. 22)	实验01_Logisim入门			
第五周 (09. 29)	实验02_简单组合逻辑电路	实验01_Logisim入门		
第七周 (10. 13)	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门	
第八周 (10. 20)	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门
第九周 (10. 27)	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路
第十周 (11. 03)	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路
十一周 (11. 10)	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言
十二周 (11. 17)	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真
十三周 (11. 24)	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合
十四周 (12. 01)	实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核
十五周 (12. 08)		实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机
十六周 (12. 15)			实验10_综合实验	实验09_竞争冒险及流水线技术
十七周 (12. 22)				实验10_综合实验

实验目的

- 了解FPGA工作原理
- 了解Verilog文件和约束文件在FPGA开发中的作用
- 学会使用Vivado进行FPGA开发的完整流程
- 学习使用FPGA在线实验平台

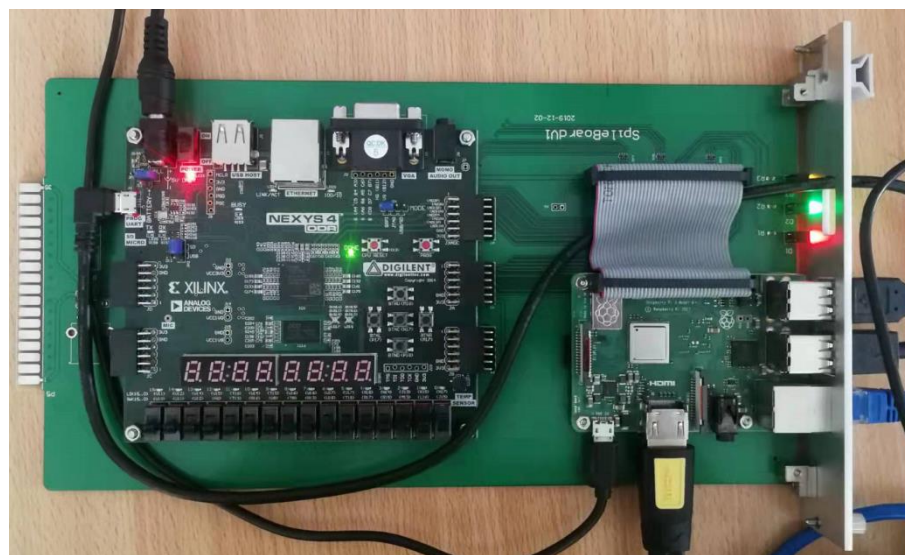
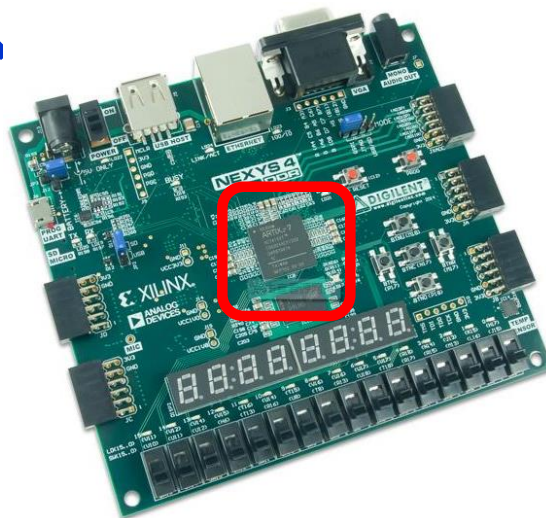
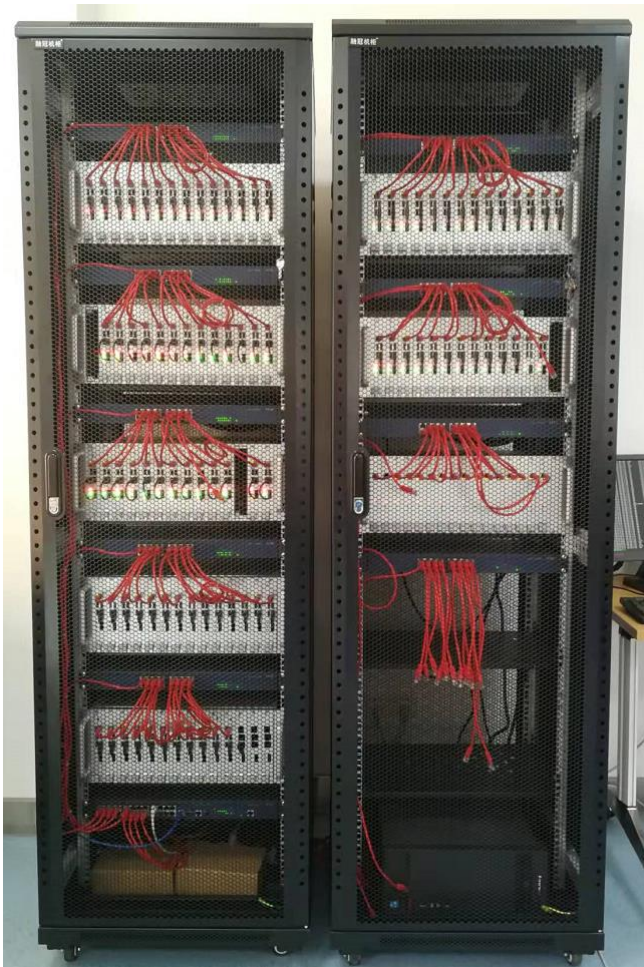


实验环境

- vlab.ustc.edu.cn
- fpgaol.ustc.edu.cn
- verilogoj.ustc.edu.cn
- Vivado
- Logisim

实验原理

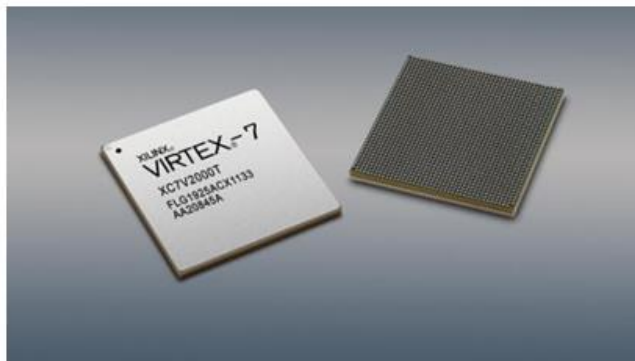
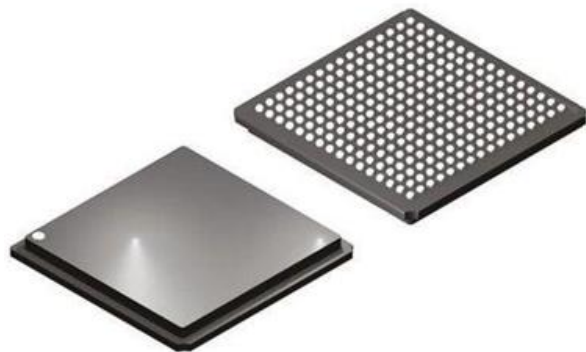
■ FPGA开发板/平台



实验原理

■ 初识FPGA

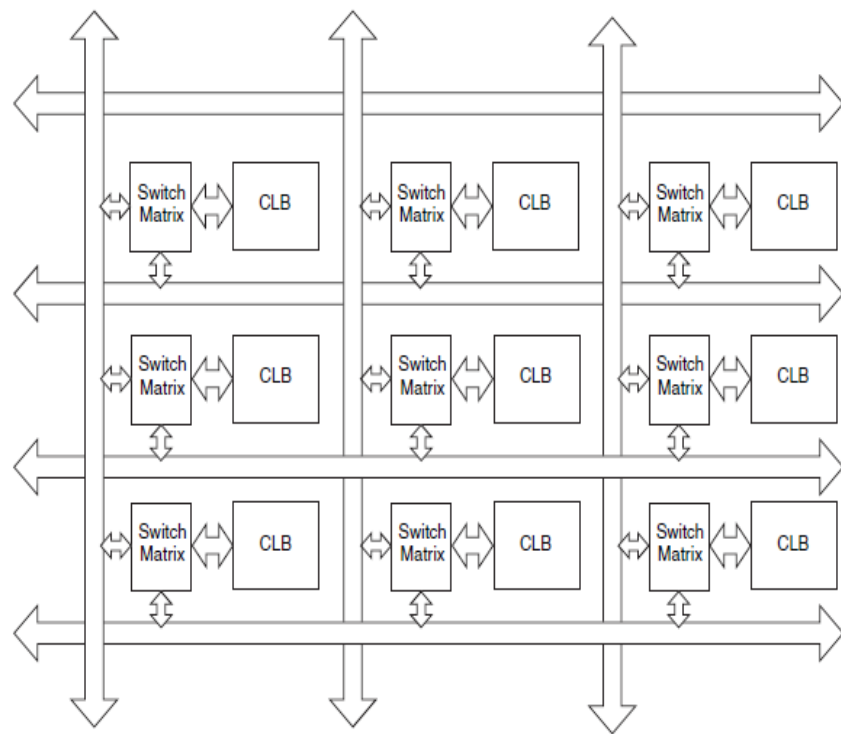
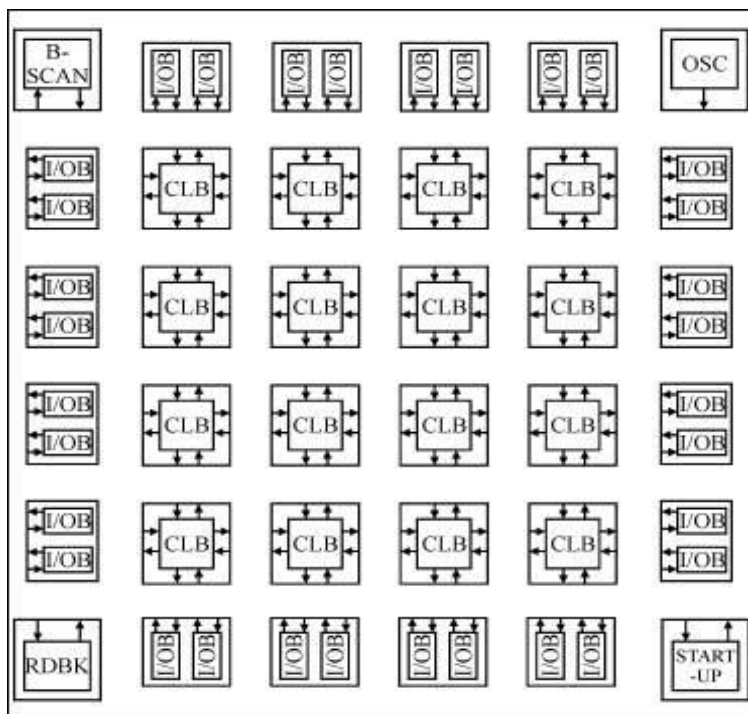
- 中文全称：现场可编程逻辑门阵列
- 英文全称：Field Programmable Gate Array
- 最大厂商Xilinx，2020年被AMD收购，350亿美元
- 第二大厂Altera，2015年被Intel收购，167亿美元
- 对比ARM，2016年被日本软银收购，约320亿美元
- 对比MIPS，2017年Tallwood MIPS，6500万美元



实验原理

■ FPGA基本结构

- 可编程逻辑单元 (Configurable Logic Blocks)
- 交叉互连矩阵 (Switch Matrix)
- 输入/输出单元 (IOB)



实验原理

■ FPGA基本结构

CLB包含查找表和触发器
查找表实现组合逻辑
触发器实现实现逻辑

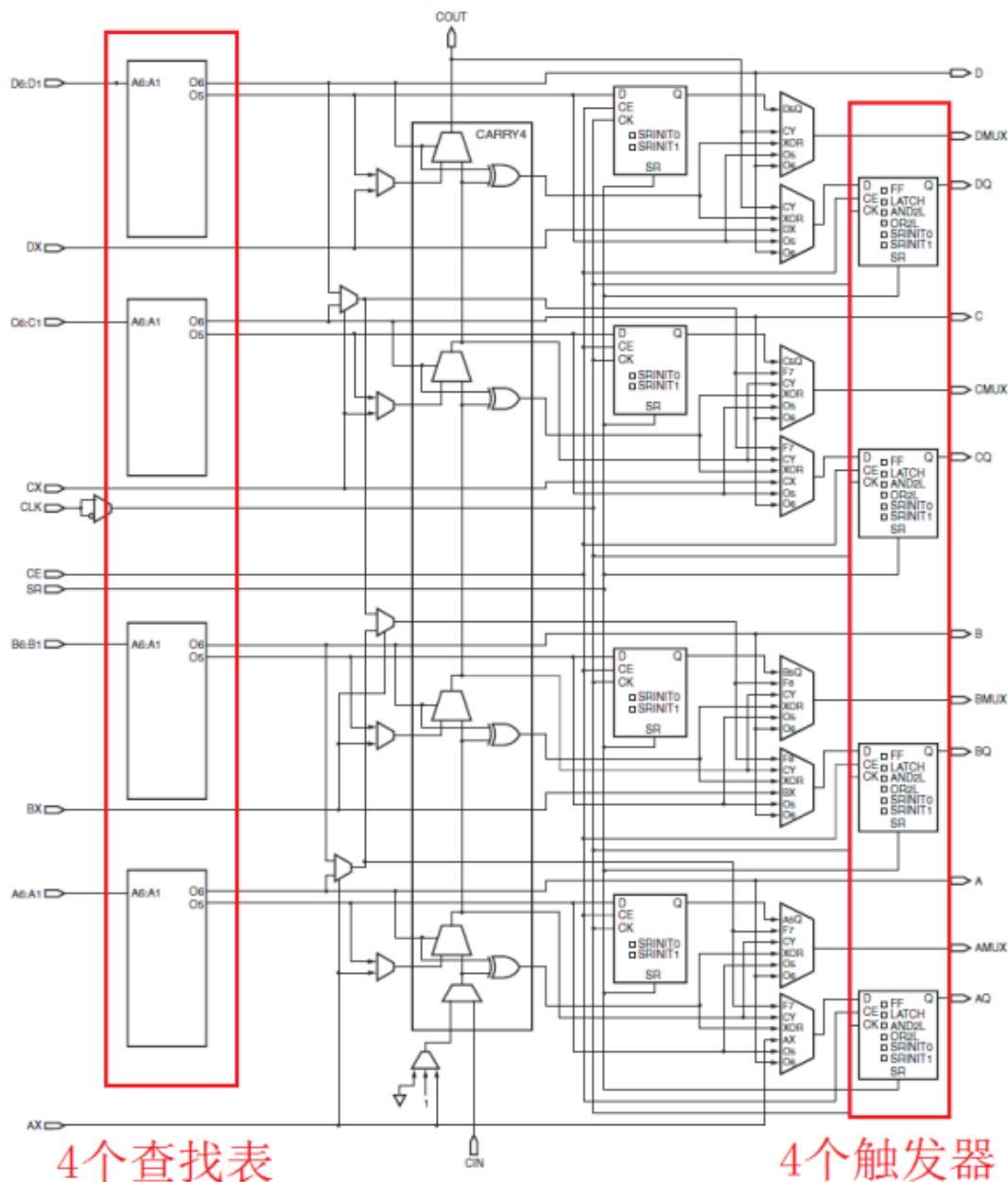
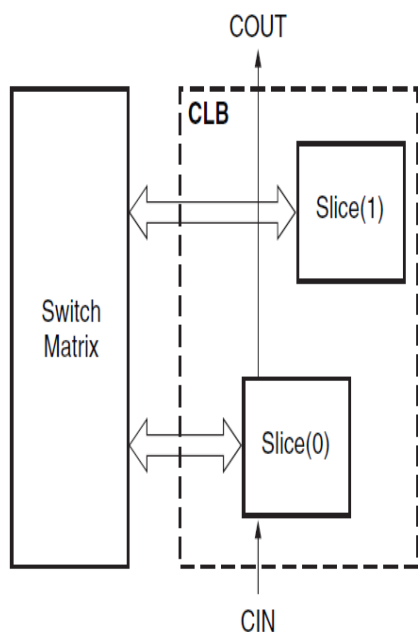


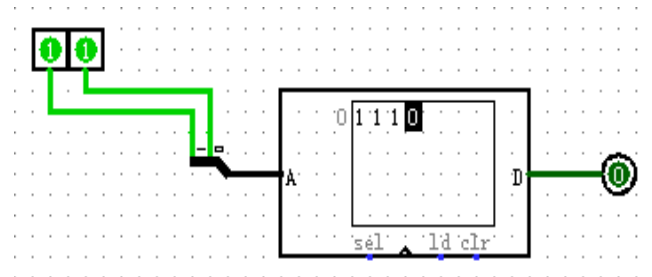
Figure 4: Diagram of SLICEL

实验原理

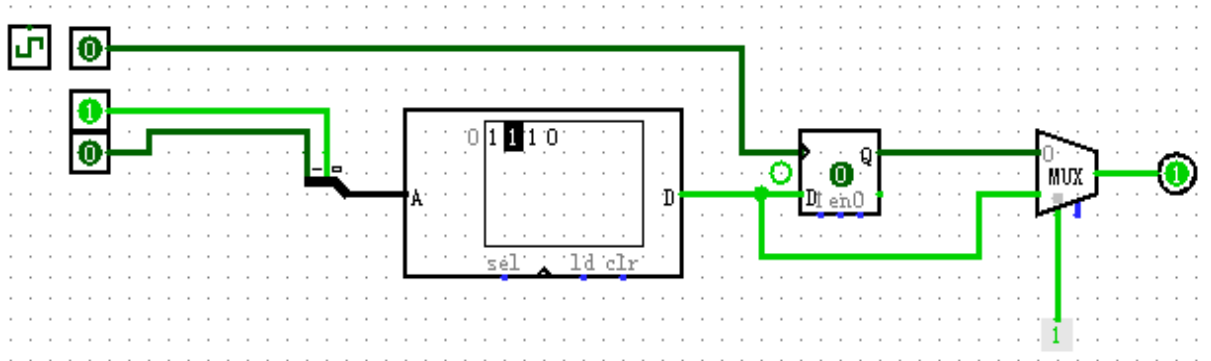
■ 可编程逻辑单元

- 查找表本质上就是RAM
- 通过改变RAM内的数值，可以实现不同的组合逻辑

输入	输出
0 0	1
0 1	1
1 0	1
1 1	0



$assign\ o = fun(a, b)$

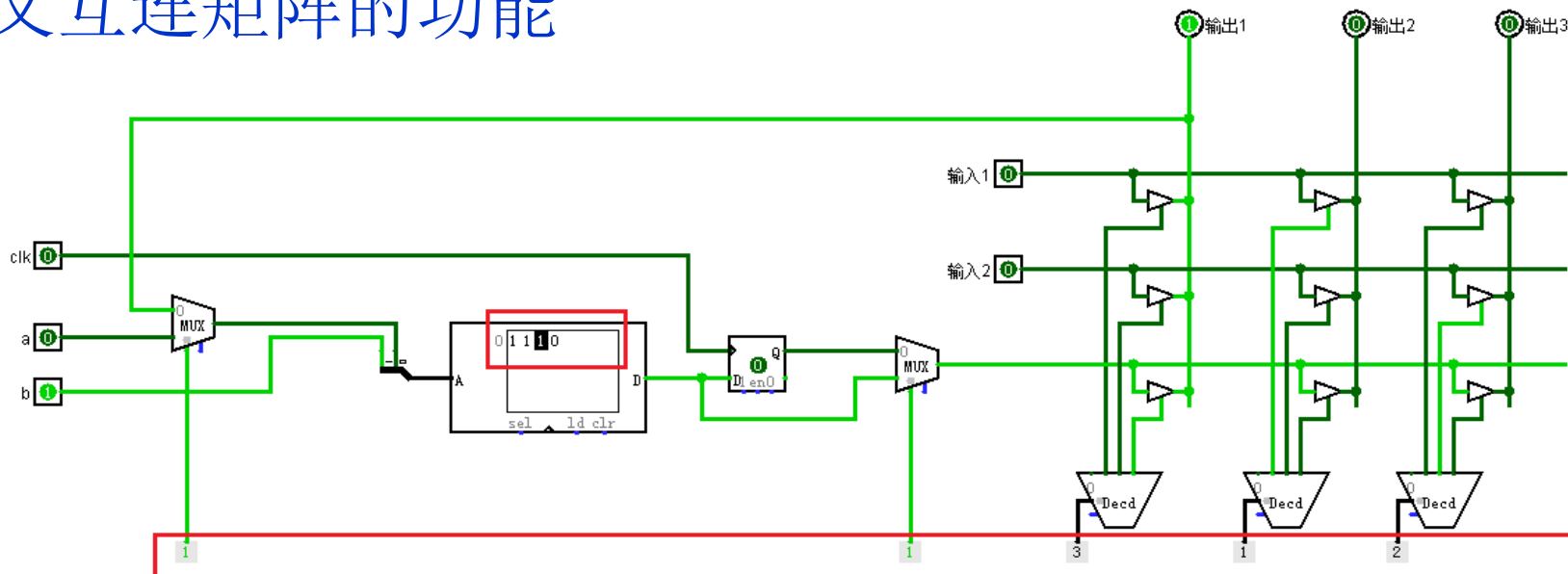
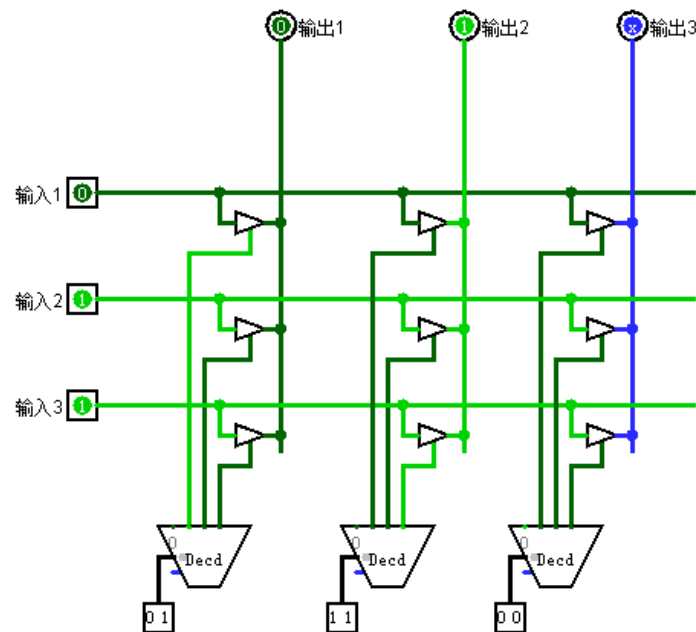


- 1) $assign\ o = fun(a, b);$ //组合逻辑
- 2) $always@(posedge\ clk)$ //时序逻辑
 $o <= fun(a, b);$

实验原理

交叉互联矩阵

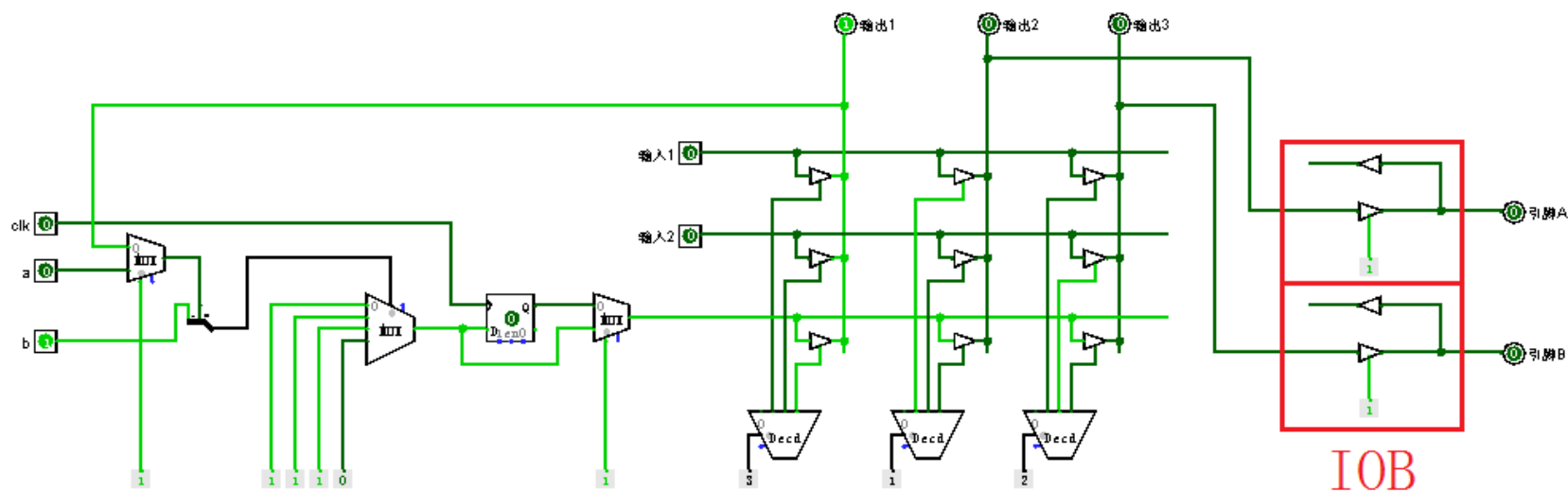
当输入变量个数超出LUT输入数，或者需要进行信号反馈时，单靠可编程逻辑单元无法实现，这时候需要借助交叉互连矩阵的功能



实验原理

■ IOB (Input/Output Block)

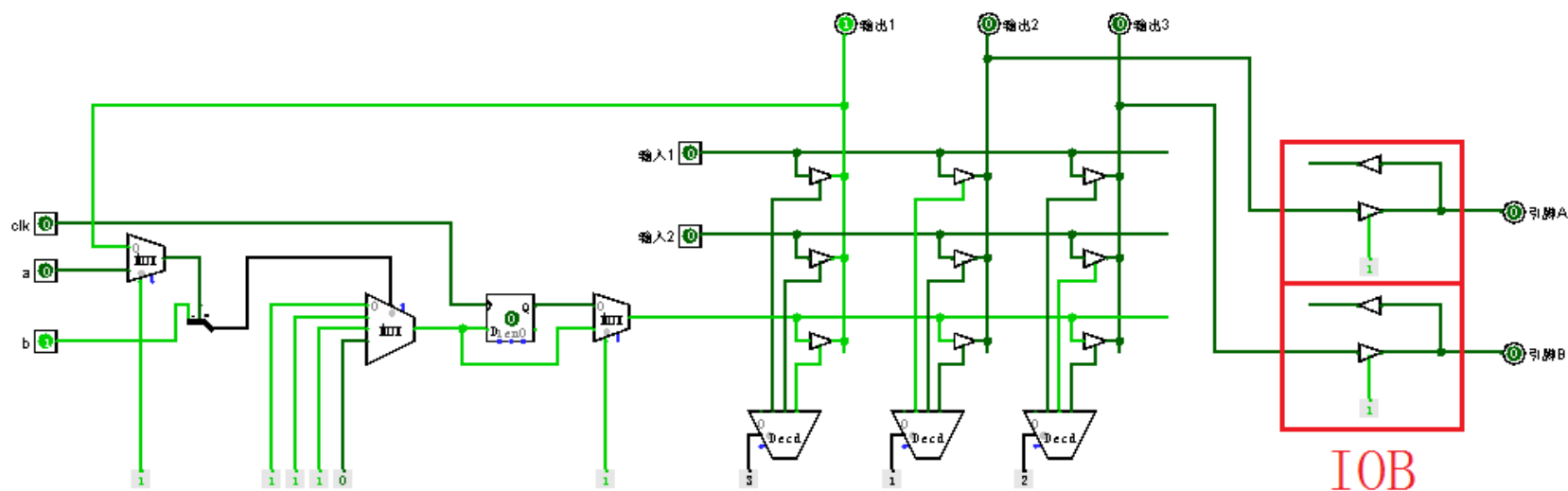
- FPGA的每个通用管脚都由IOB来管理，可以做为输入管脚、输出管脚或双向管脚
- Vivado工程中的XDC文件主要就是用来配置IOB的



实验原理

■ IOB (Input/Output Block)

- FPGA的每个通用管脚都由IOB来管理，可以做为输入管脚、输出管脚或双向管脚
- Vivado工程中的XDC文件主要就是用来配置IOB的



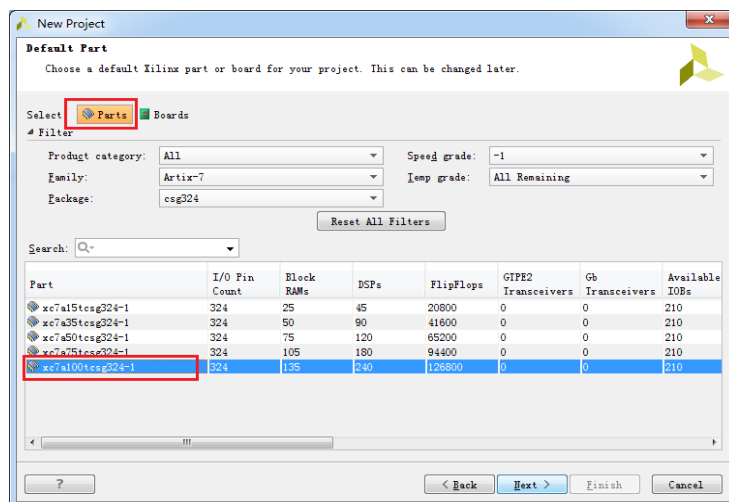
实验原理

■ Vivado综合

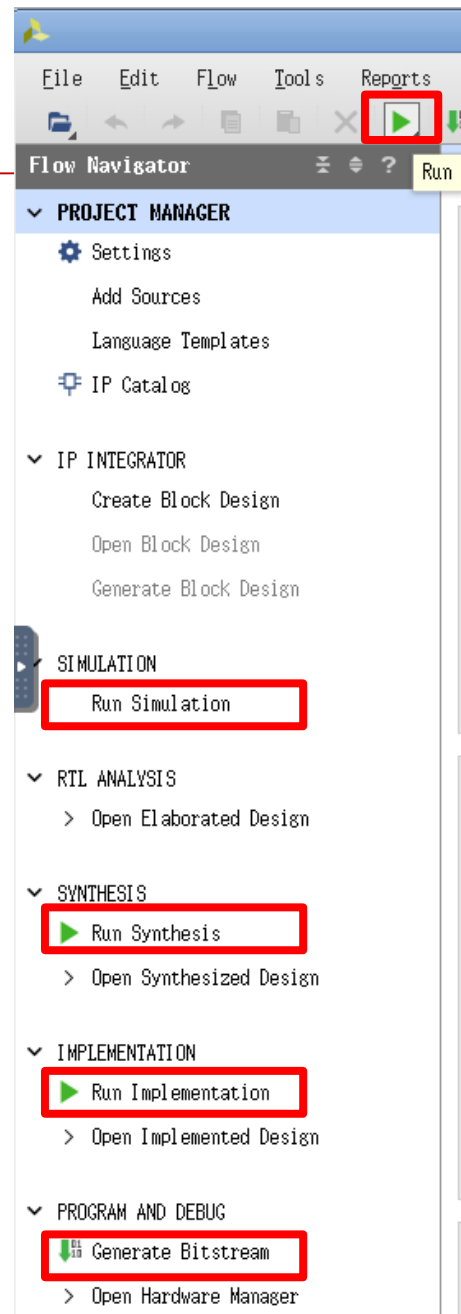
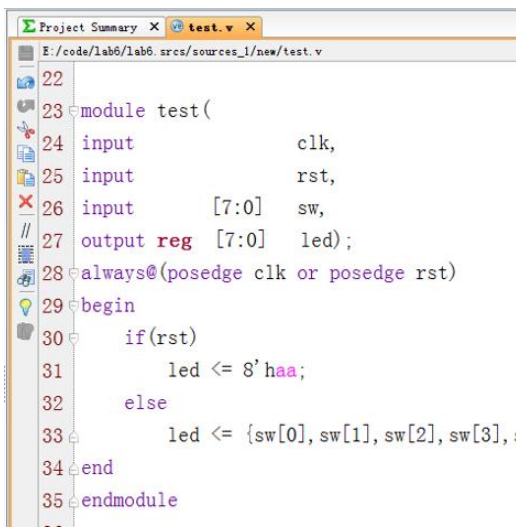
■ 建立工程

■ 添加文件

■ 综合实现生成



```
6  ## Clock signal
7  set_property -dict { PACKAGE_PIN E3 IOSTANDARD LVCMOS33 } [get_ports { clk }]; #I
8  #create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLKIO
9  ## FPGAOLED_BUTTON & SOFT_CLOCK
10 set_property -dict { PACKAGE_PIN B18 IOSTANDARD LVCMOS33 } [get_ports { rst }];
11 ## FPGAOLED (single-digit-SEGPLAY)
12 set_property -dict { PACKAGE_PIN C17 IOSTANDARD LVCMOS33 } [get_ports { led[0] }];
13 set_property -dict { PACKAGE_PIN D18 IOSTANDARD LVCMOS33 } [get_ports { led[1] }];
14 set_property -dict { PACKAGE_PIN E18 IOSTANDARD LVCMOS33 } [get_ports { led[2] }];
15 set_property -dict { PACKAGE_PIN G17 IOSTANDARD LVCMOS33 } [get_ports { led[3] }];
16 set_property -dict { PACKAGE_PIN D17 IOSTANDARD LVCMOS33 } [get_ports { led[4] }];
17 set_property -dict { PACKAGE_PIN E17 IOSTANDARD LVCMOS33 } [get_ports { led[5] }];
18 set_property -dict { PACKAGE_PIN F18 IOSTANDARD LVCMOS33 } [get_ports { led[6] }];
19 set_property -dict { PACKAGE_PIN G18 IOSTANDARD LVCMOS33 } [get_ports { led[7] }];
20
21 ## FPGAOLED_SWITCH
22 set_property -dict { PACKAGE_PIN D14 IOSTANDARD LVCMOS33 } [get_ports { sw[0] }];
23 set_property -dict { PACKAGE_PIN F16 IOSTANDARD LVCMOS33 } [get_ports { sw[1] }];
24 set_property -dict { PACKAGE_PIN G16 IOSTANDARD LVCMOS33 } [get_ports { sw[2] }];
25 set_property -dict { PACKAGE_PIN H14 IOSTANDARD LVCMOS33 } [get_ports { sw[3] }];
26 set_property -dict { PACKAGE_PIN E16 IOSTANDARD LVCMOS33 } [get_ports { sw[4] }];
27 set_property -dict { PACKAGE_PIN F13 IOSTANDARD LVCMOS33 } [get_ports { sw[5] }];
28 set_property -dict { PACKAGE_PIN G13 IOSTANDARD LVCMOS33 } [get_ports { sw[6] }];
29 set_property -dict { PACKAGE_PIN H16 IOSTANDARD LVCMOS33 } [get_ports { sw[7] }];
```



实验原理

■ 烧写到实验平台

■ fpgaol.ustc.edu.cn

Hello, !

#	Device Type	vacant/total	manual	Use
1	FPGAOL 1.0	79 / 80		1 acquire release
2	FPGAOL 2.0	0 / 0		acquire release
3	ZYBO Linaro	4 / 4		acquire release
device id	200			None
acquire time	Nov. 13, 2020, 3:43 p.m.			None
expiration time	Nov. 13, 2020, 3:53 p.m.			None
link	2 http://202.38.79.134:12200/?token=MJRTMZBZHBTDQNZYGYYDQYLEGA4TKOBQMVSDAYZSMQZDIZBYMEYTSZRQGVSWIN3D			no

Bitstream File

Select file

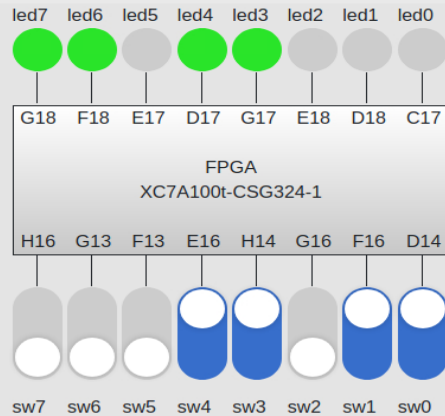
example bitstream ▾

C:\fakepath\test.bit

Program!

Program success!

FPGA interface

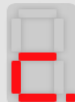


uart

```
FPGAOL uart beta 1.0
>
```

uart pins: cts rts rxd txd
xdc,ucf sym: D3 E5 D4 C4
baud rate: 115200

segplay(sharing with led) hexplay



soft clock

None ▾

button



实验内容

- 按时完成实验指导书上的所有题目
- 按时提交实验报告

谢谢！