

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目： 简单时序逻辑电路

学生姓名： 张郑飞扬

学生学号： PB21071416

完成日期： 2022. 10. 20

计算机实验教学中心制

2020 年 09 月

【实验题目】

简单时序逻辑电路

【实验目的】

掌握时序逻辑相关器件的原理及底层结构

能够用基本逻辑门搭建各类时序逻辑器件

能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

vlab.ustc.edu.cn

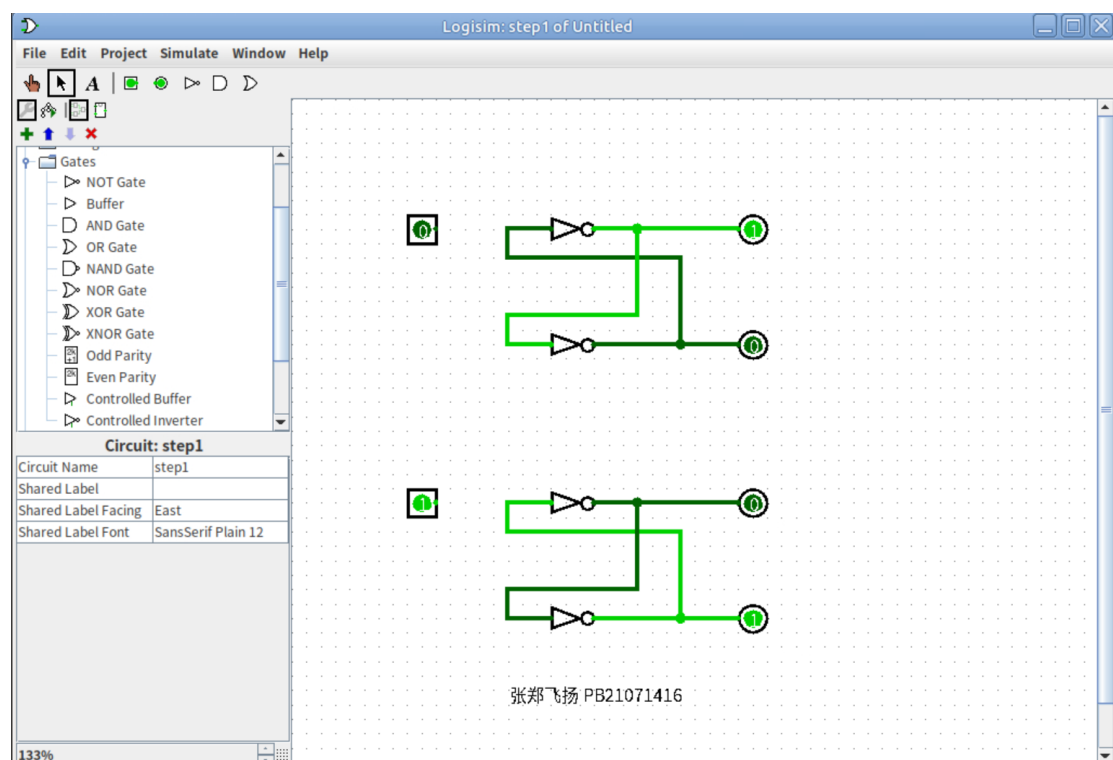
Logisim

verilogoj.ustc.edu.cn

【实验过程】

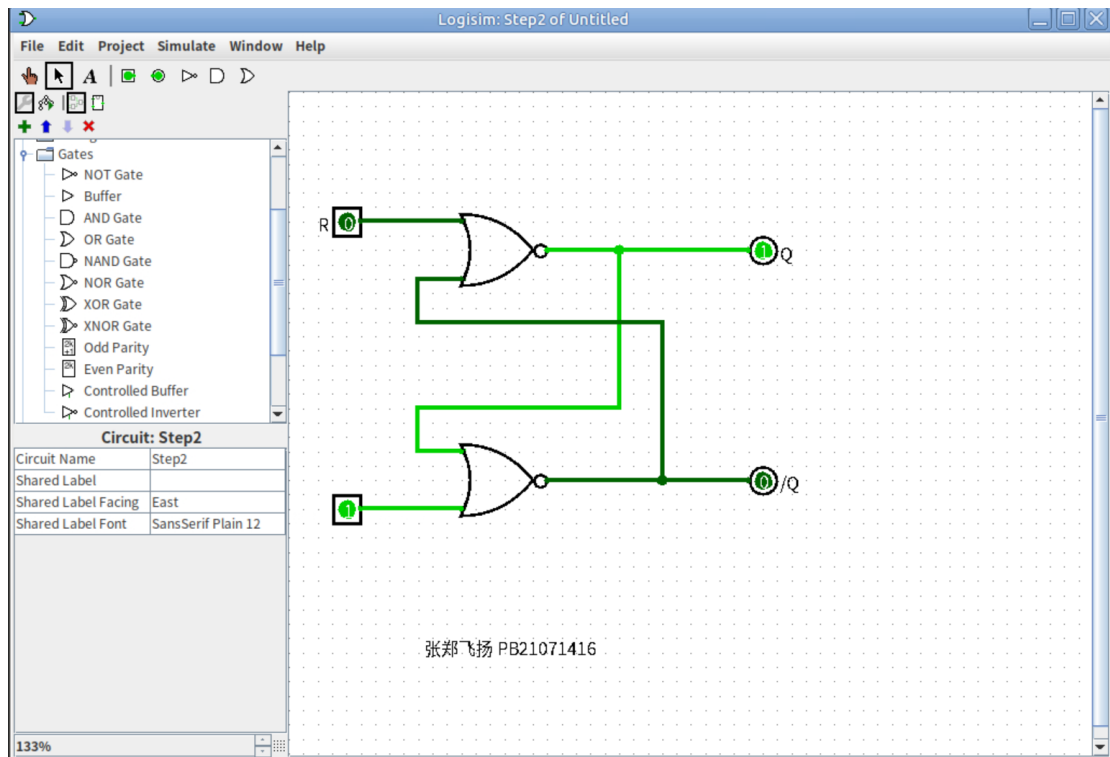
Step1:搭建双稳态电路

按照实验书所给的方式正确连接电路如下：



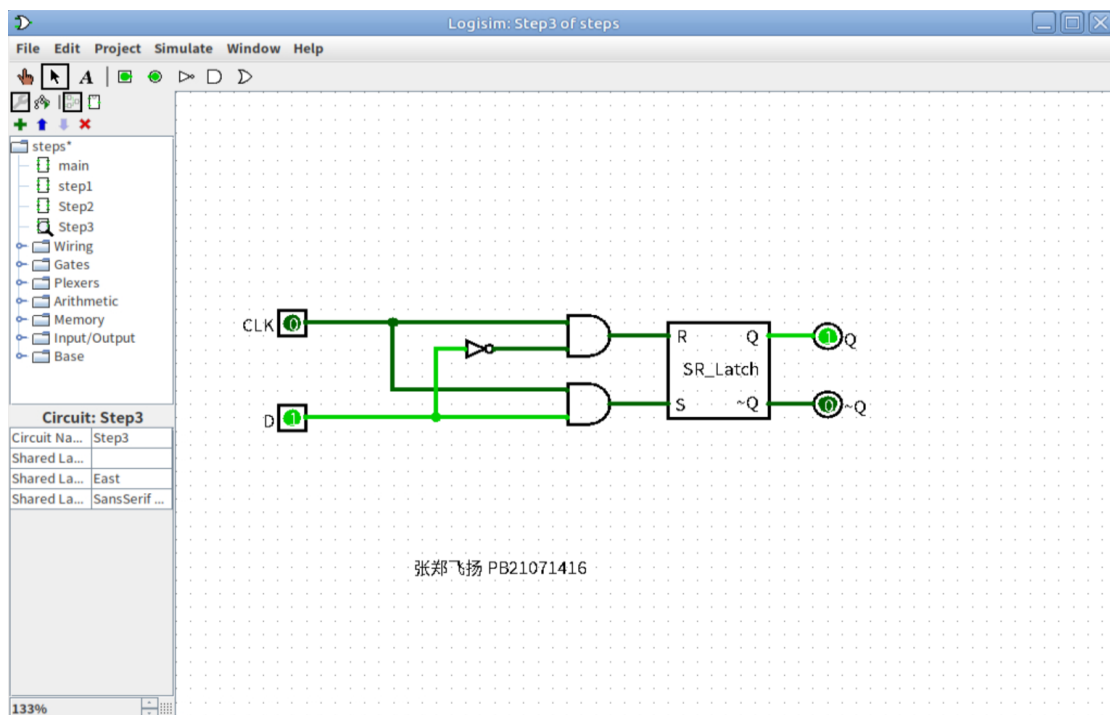
Step2:搭建 SR 锁存器

按照实验书所给的方式正确连接电路如下：



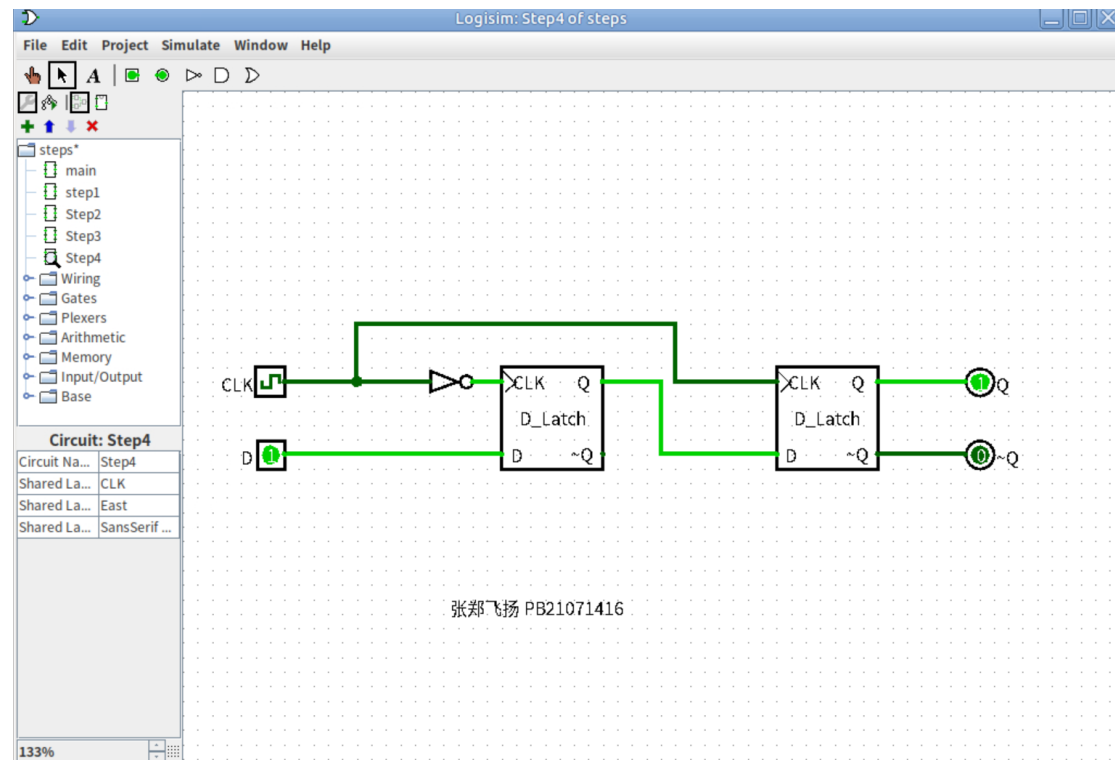
Step3:搭建 D 锁存器

按照实验书所给的方式正确连接电路如下：



Step4: 搭建 D 触发器

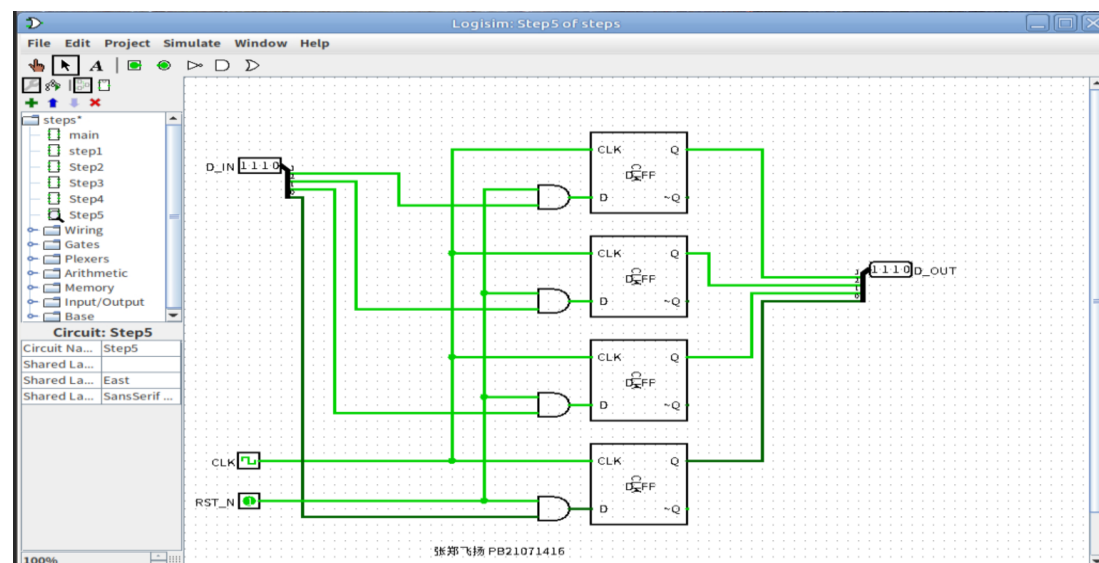
按照实验书所给方式，将 CLK 端口设置为可自动变化时钟信号后
电路图如下：



可以观察到，每当时钟信号上跳，Q 的值都会变成此时刻 D 的值。

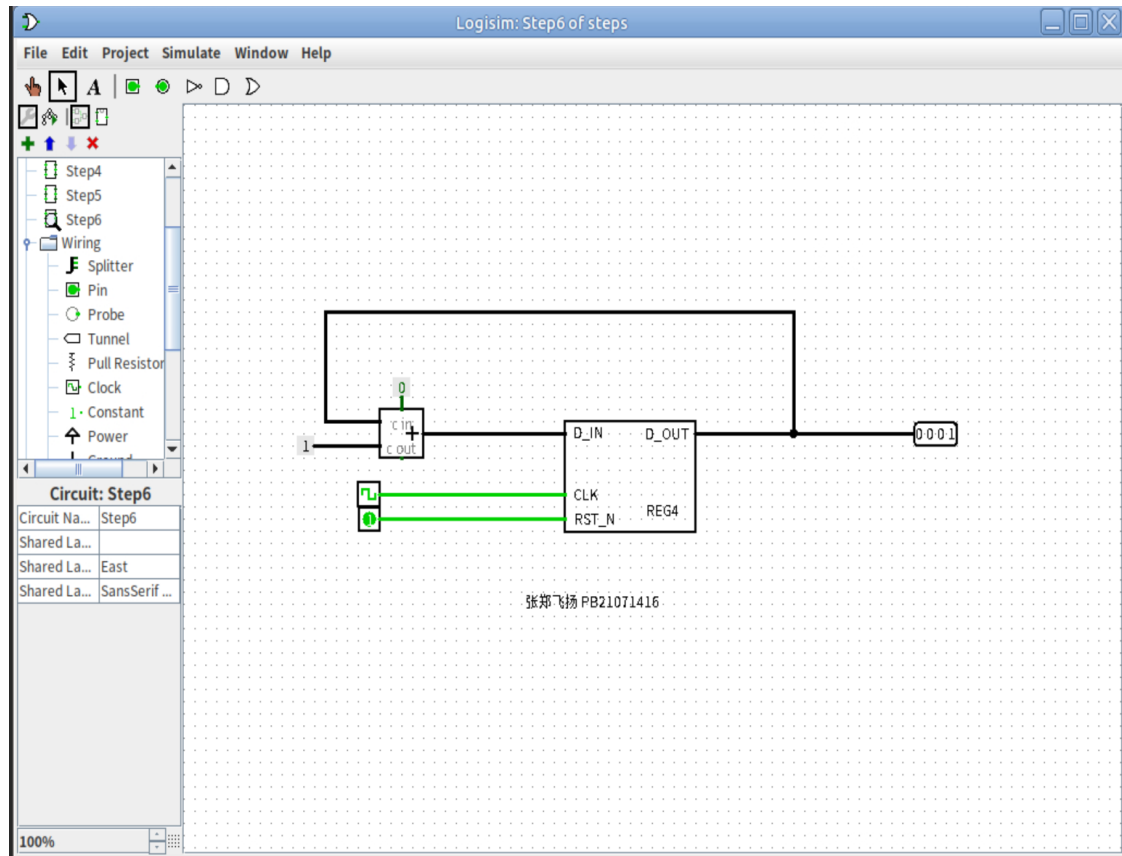
Step5: 搭建寄存器

按照实验书所给方式，搭建寄存器如下图所示：



Step6:搭建简单时序逻辑电路

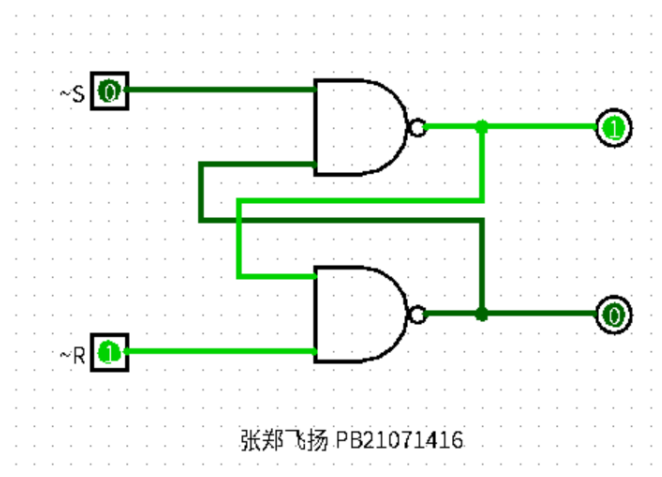
利用 Step5 的 4bit 寄存器,搭建 4bit 计数器如下(用到了 Logisim 软件自带的加法器原件):



【实验练习】

题目 1:

用与非门搭建的 SR 锁存器电路图如下



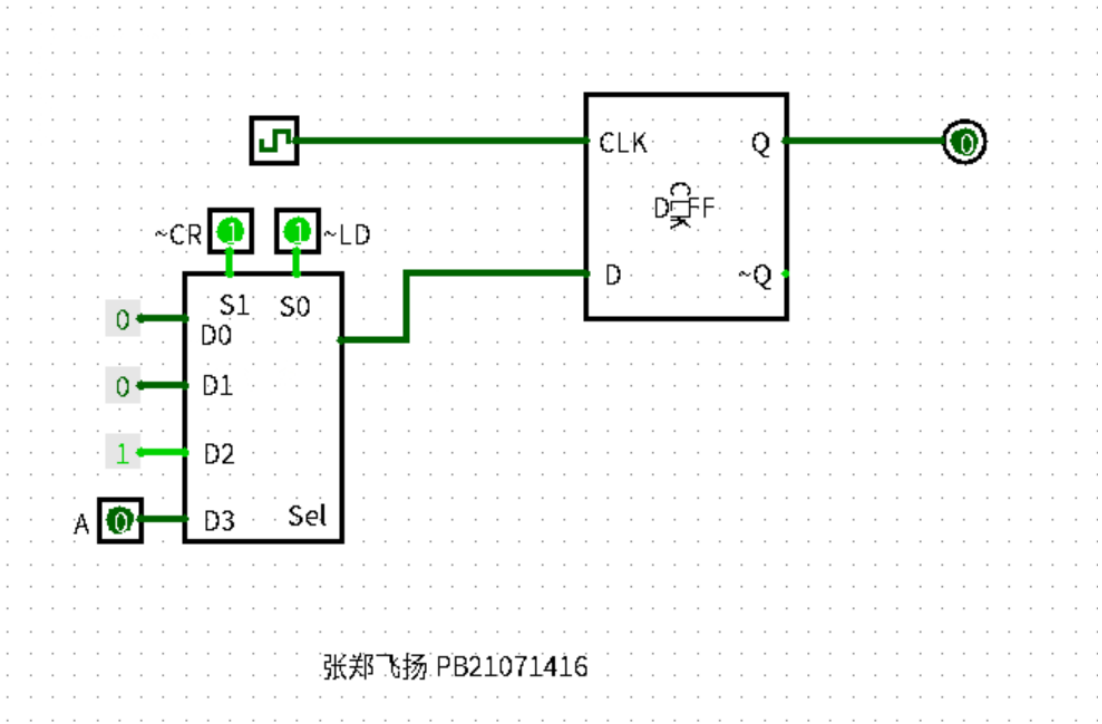
这是一个低电平有效的 SR 锁存器，其功能表如下

$\sim S$	$\sim R$	Q	$\sim Q$	功能
1	1	不变	不变	保持
1	0	0	1	置 0
0	1	1	0	置 1
0	0	1	1	非定义状态

注意，当 S,R 同为低电平时，该锁存器处于非定义状态，这种情况是应该避免的，故工作时应当受到 $\sim S + \sim R = 1$ 条件的约束。

题目 2:

搭建的支持同步置位功能的 D 触发器如下



其中 CR 为置 0，LD 为置 1，皆为低电平有效。都无效（高电平）时则 $D=A$ ，输出 $Q=A$

Verilog 代码如下:

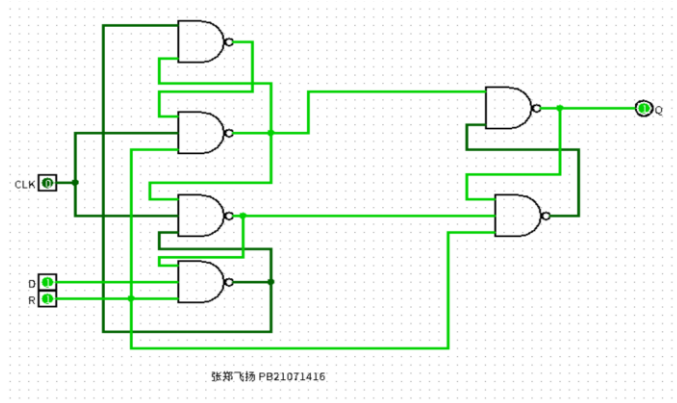
```

module D_FF (
    input CLK, A, CR, LD
    output reg Q);
always@(posedge CLK)
begin
    if (CR == 0)
        Q <= 1'b0;
    if (LD == 0 && CR != 0)
        Q <= 1'b1;
    If (CR != 0 && LD != 0)
        Q <= A;
end
endmodule

```

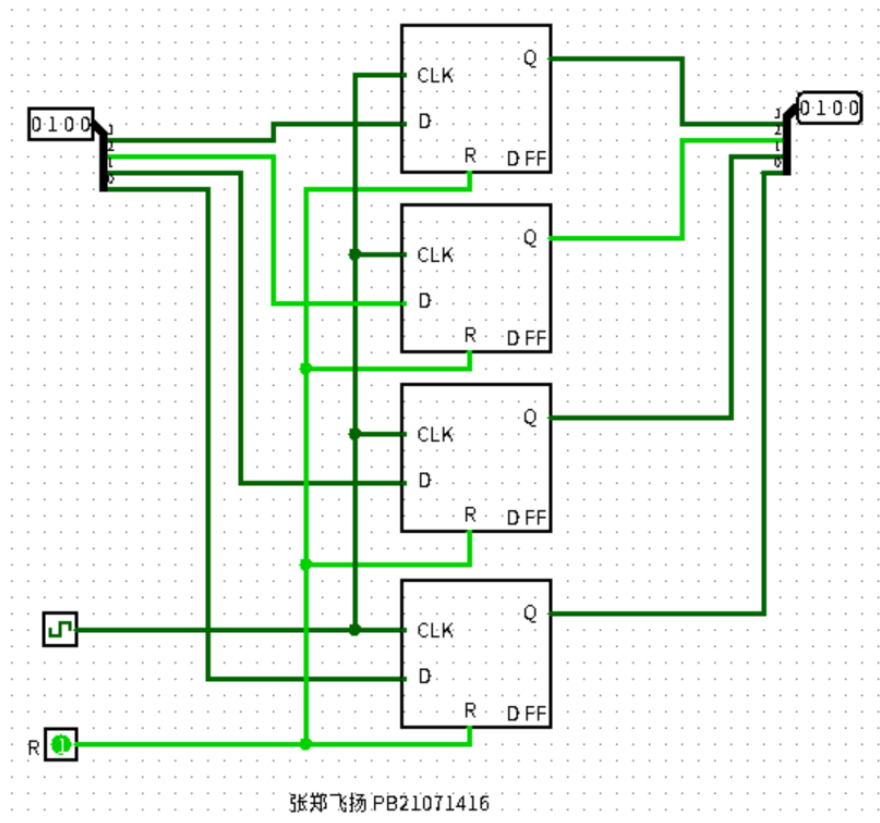
题目 3:

具有异步复位功能的 D 触发器电路图如下

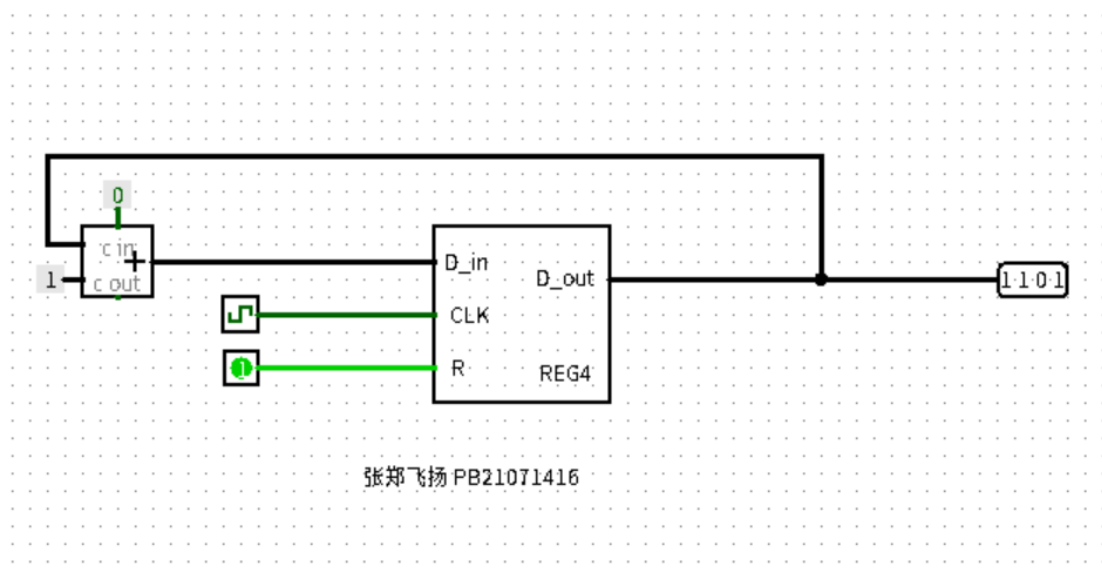


该触发器的复位键 R 低电平有效，当 R=0，则 D 触发器复位，输出 Q 始终为 0，当 R=1，D 触发器的输出 Q 在上沿时更新为 D 的值。

利用该触发器设计的 0~15 循环计数的 4bit 计数器, 首先构造一个四位寄存器如下：



利用该四位寄存器就可以得到一个所需要的计数器：

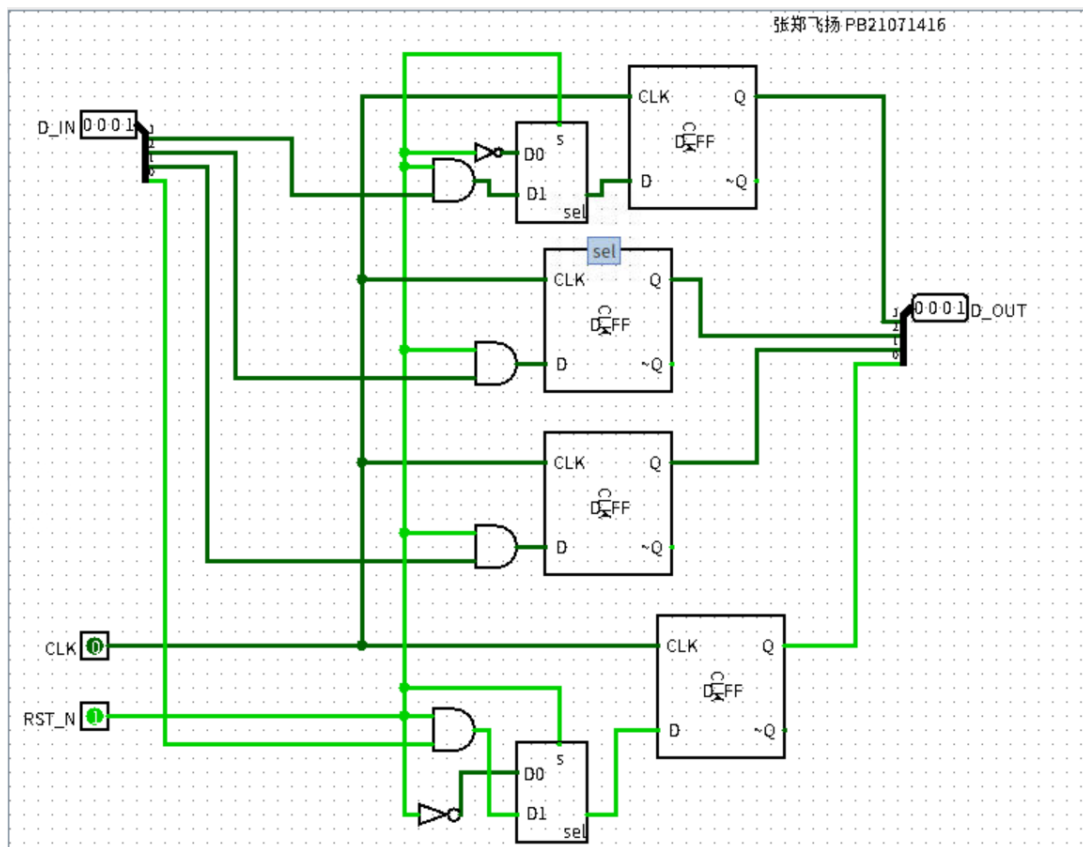


Verilog 代码如下：

```
module count4(  
  
input CLK, R,  
  
output reg [3:0]CNT);  
  
if(R == 0)  
  
    CNT = 4'b0;  
  
always@(posedge CLK)  
  
begin  
  
    if(R == 1)  
  
        CNT <= CNT+4'b1;  
  
end  
  
endmodule
```

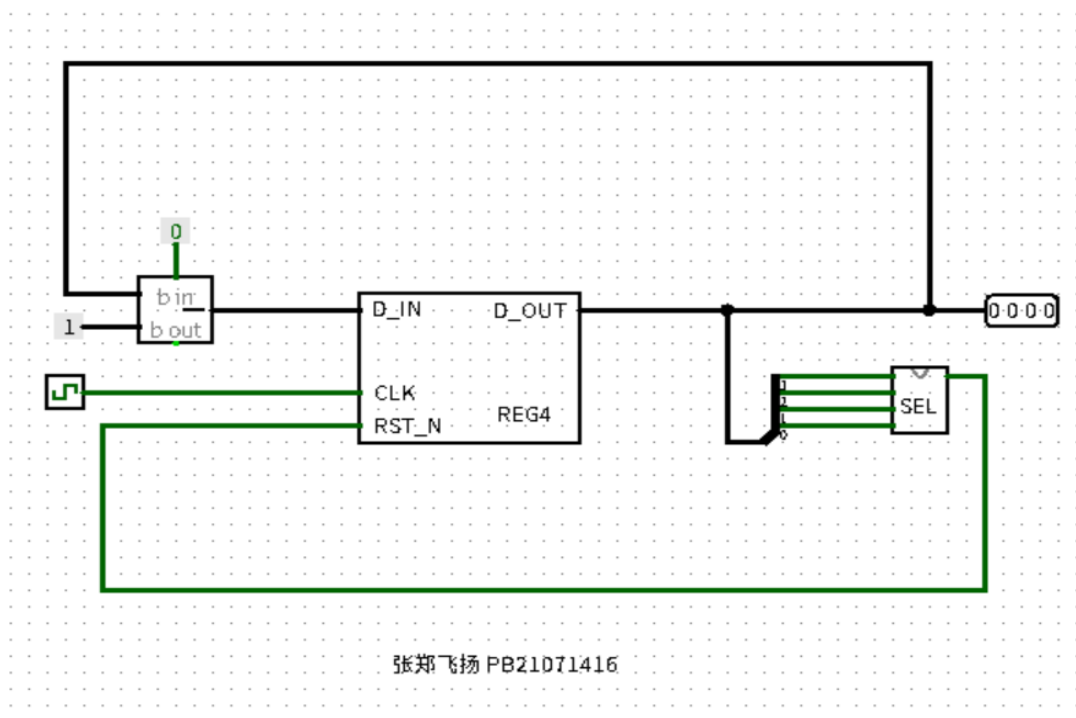
题目 4：

为了得到一个可以从 9~0 循环递减的计数器，考虑需要一个 reset 值为 1001 的 D 触发器（低电平有效），减法器使用 Logism 软件附带的模块。使得从 1001 递减至 0000 时，R 值变为 0，使 D 触发器重置为 1001，进入下一个循环。关键在于如何创建一个 reset 值为 1001 的 D 触发器。本人设计图如下：



这个 D 触发器是在 step5 的基础上修改的，在其中引入了两个 1bit 选择器，来实现 reset 置 1 的功能。

于是类似第三题，可以得到该计数器，经验证可成功实现功能。

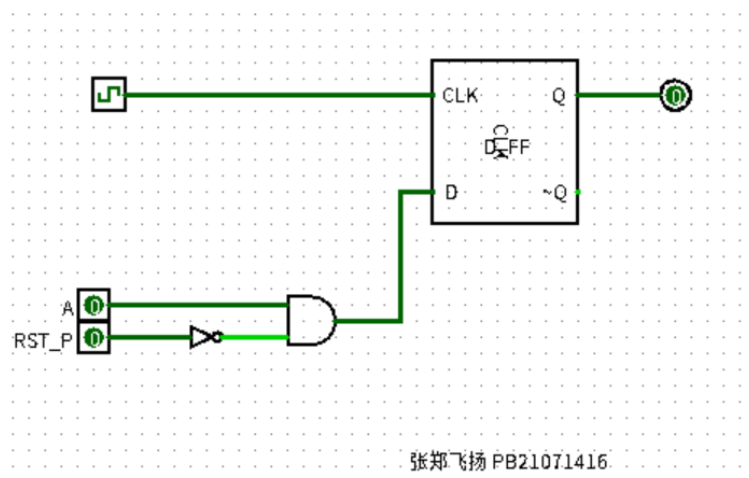


Verilog 代码如下:

```
module REG4(  
  
input CLK, RST_N,  
  
output reg [3:0] CNT);  
  
always@(posedge CLK)  
  
begin  
  
if (RST_N==0)  
  
CNT <= 4'b9;  
  
else  
  
CNT <= CNT - 4'b1;  
  
end  
  
endmodule
```

题目 5:

置数高电平有效的 D 触发器电路图如下:



只需要列出输入为 A、RST_P，输出为 D 的真值表，进行化简得

到逻辑式，然后实现在电路图上即可。

Verilog 代码如下：

```
module D_FF(  
  
input CLK, RST_P, A,  
  
output reg Q);  
  
always@(posedge clk)  
  
begin  
  
    if(RST_P == 1)  
  
        Q <= 1'b0;  
  
    else  
  
        Q <= A;  
  
end  
  
endmodule
```

【总结与思考】

本次实验极大地帮助本人深入理解并巩固了数电课堂上所学的时序逻辑电路的相关知识。习题里的第四题花了本人不少时间，主要都花在了实现可以重置值为 1001 的 D 触发器上，这也是实验手册里面提到的思考点，最终成功的设计出了电路，也给了本人不小的获得感和成就感。