**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：简单组合逻辑电路

学生姓名：\_\_张郑飞扬\_\_

学生学号: PB21071416

完成日期： 2022.10.13

计算机实验教学中心制

2020年09月

**【实验题目】**

简单组合逻辑电路

**【实验目的】**

1.熟练掌握Logisim的基本用法

2.进一步熟悉Logisim的更多功能

3.用Logisim设计组合逻辑电路并进行仿真

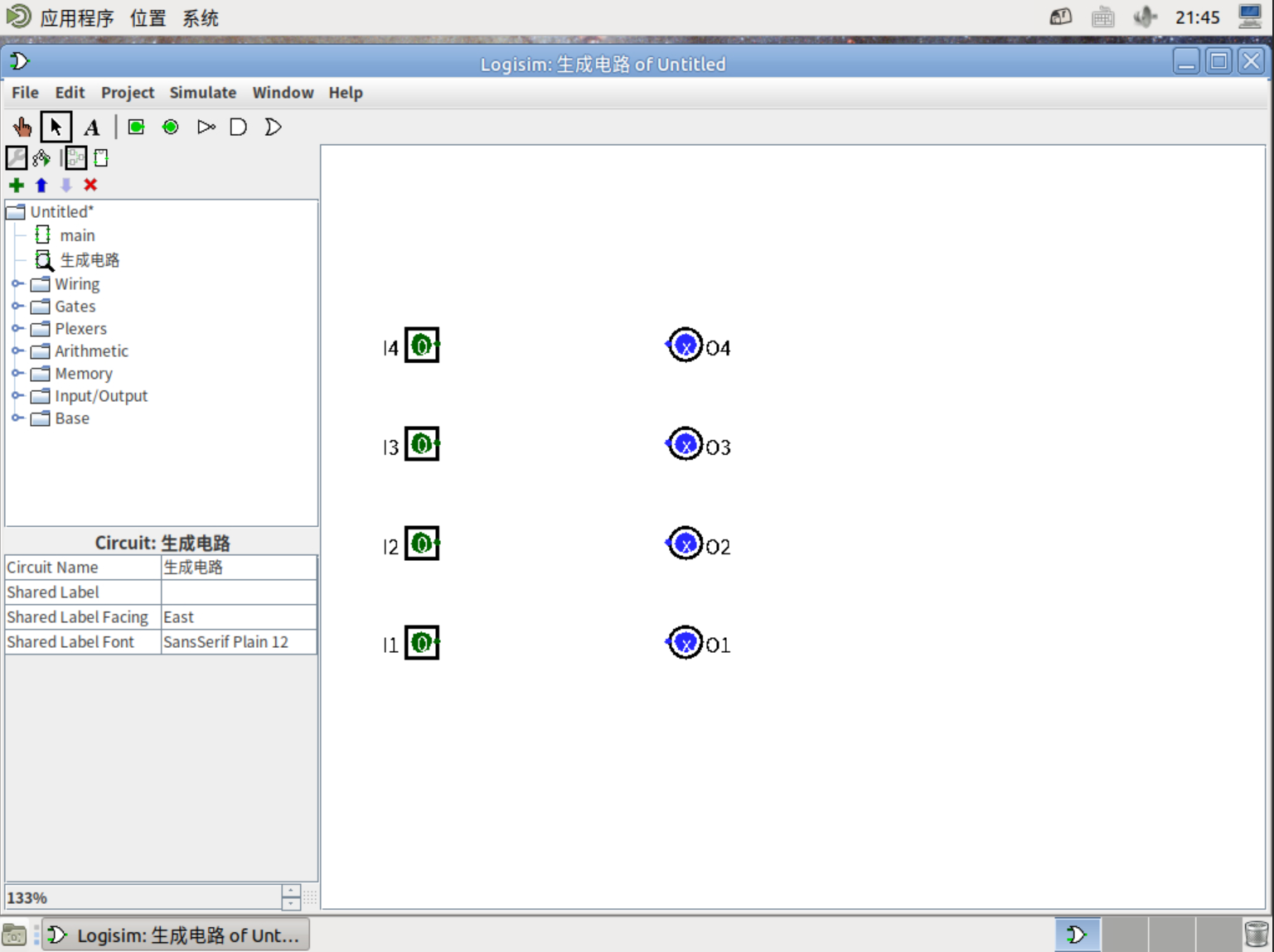
4.初步学习Verilog语法

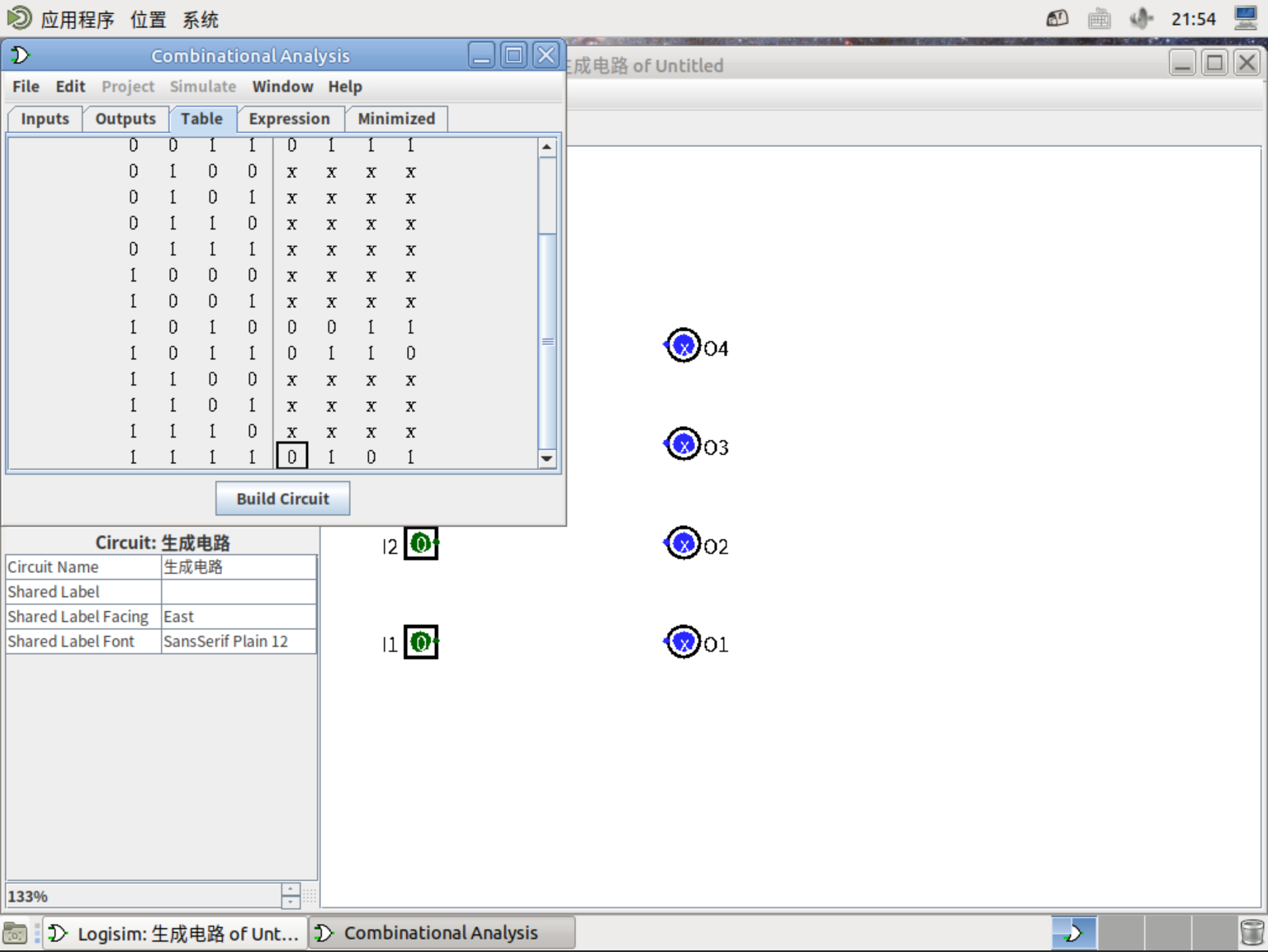
**【实验环境】**

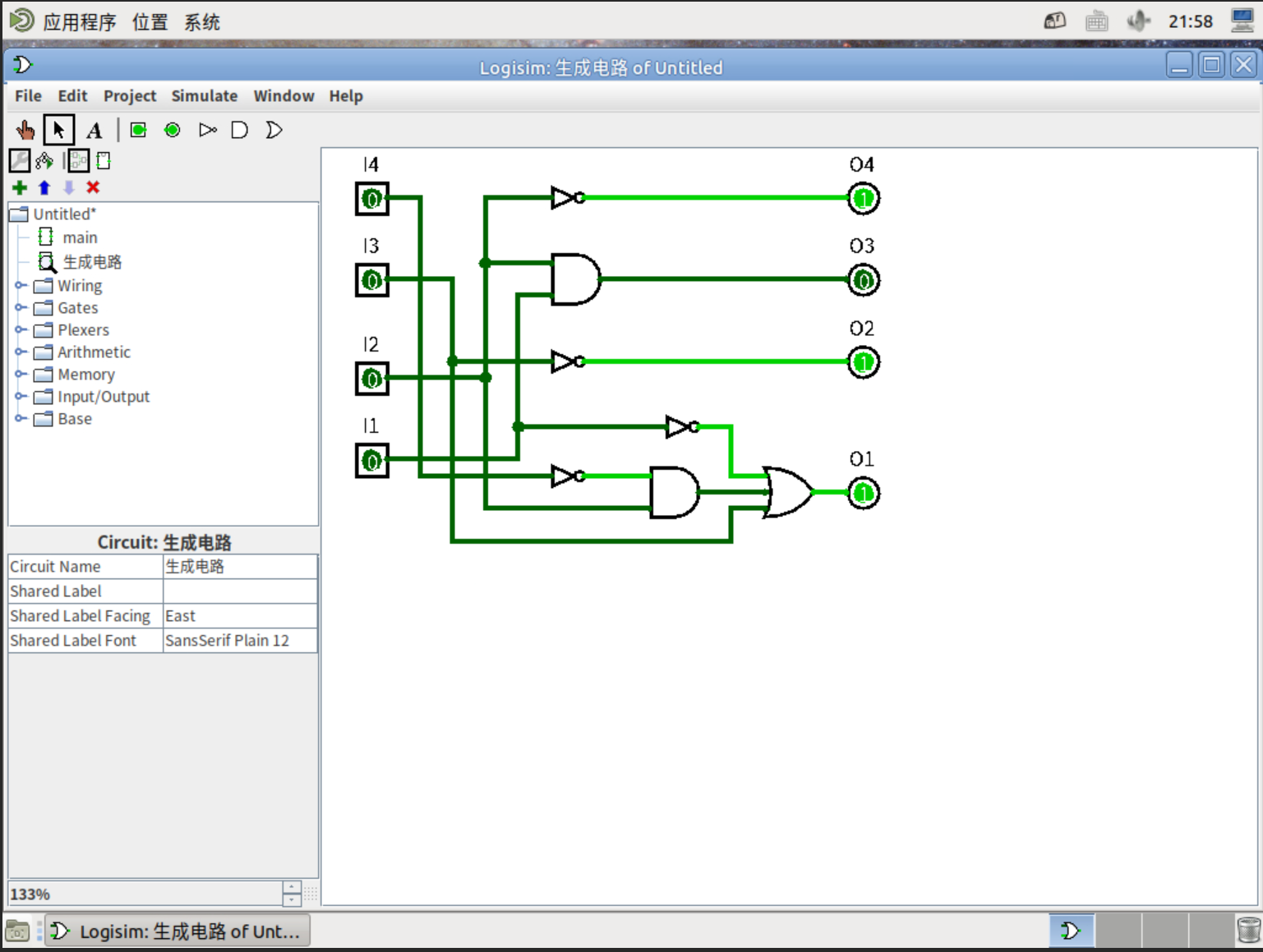
VLAB平台：vlab.ustc.edu.cn （已预装 Logisim 环境）

**【实验过程】**

**Step1:**用真值表自动生成电路：

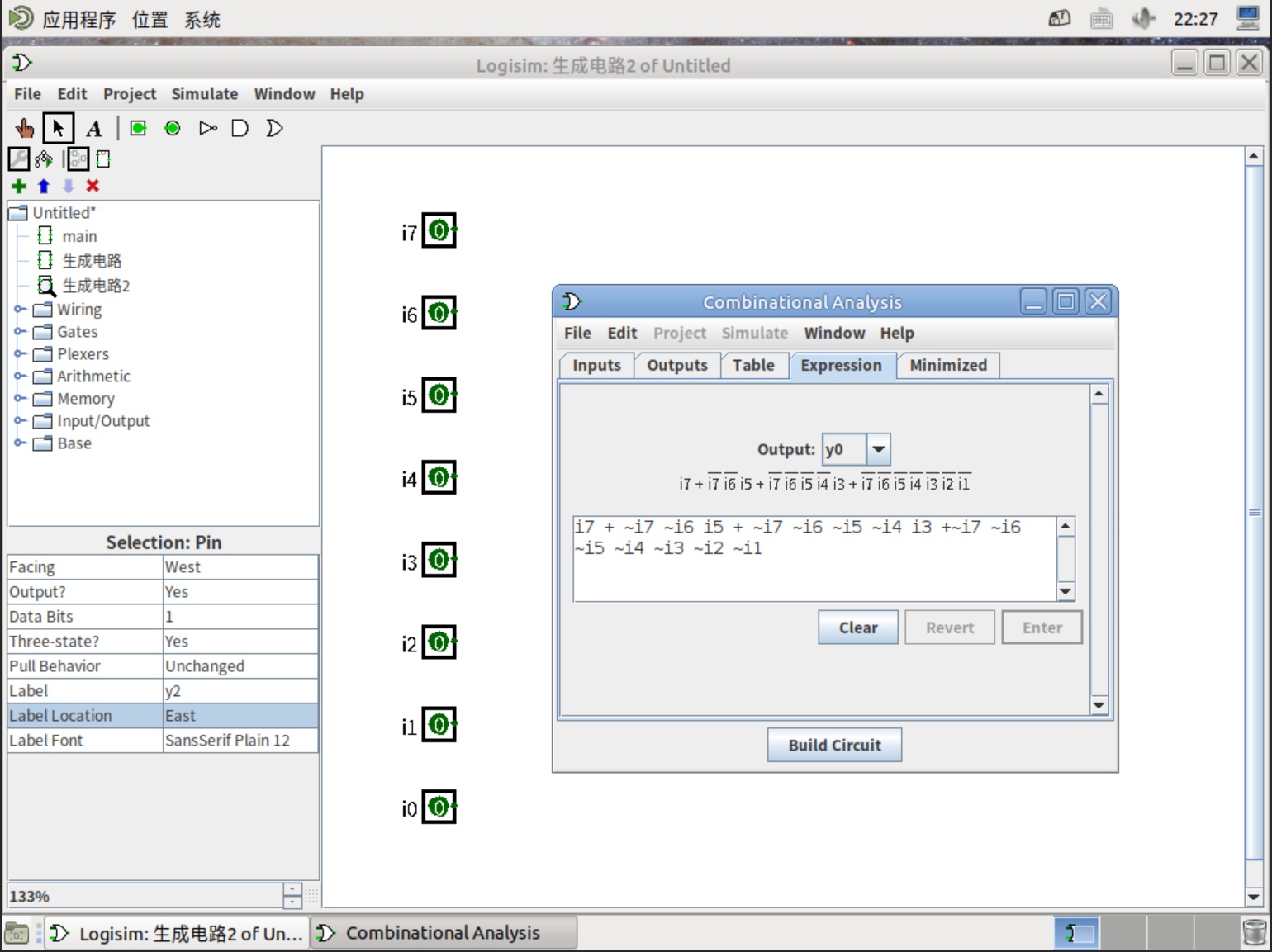
首先新建一个电路图，放置引脚并命名，按高低位顺序排列。

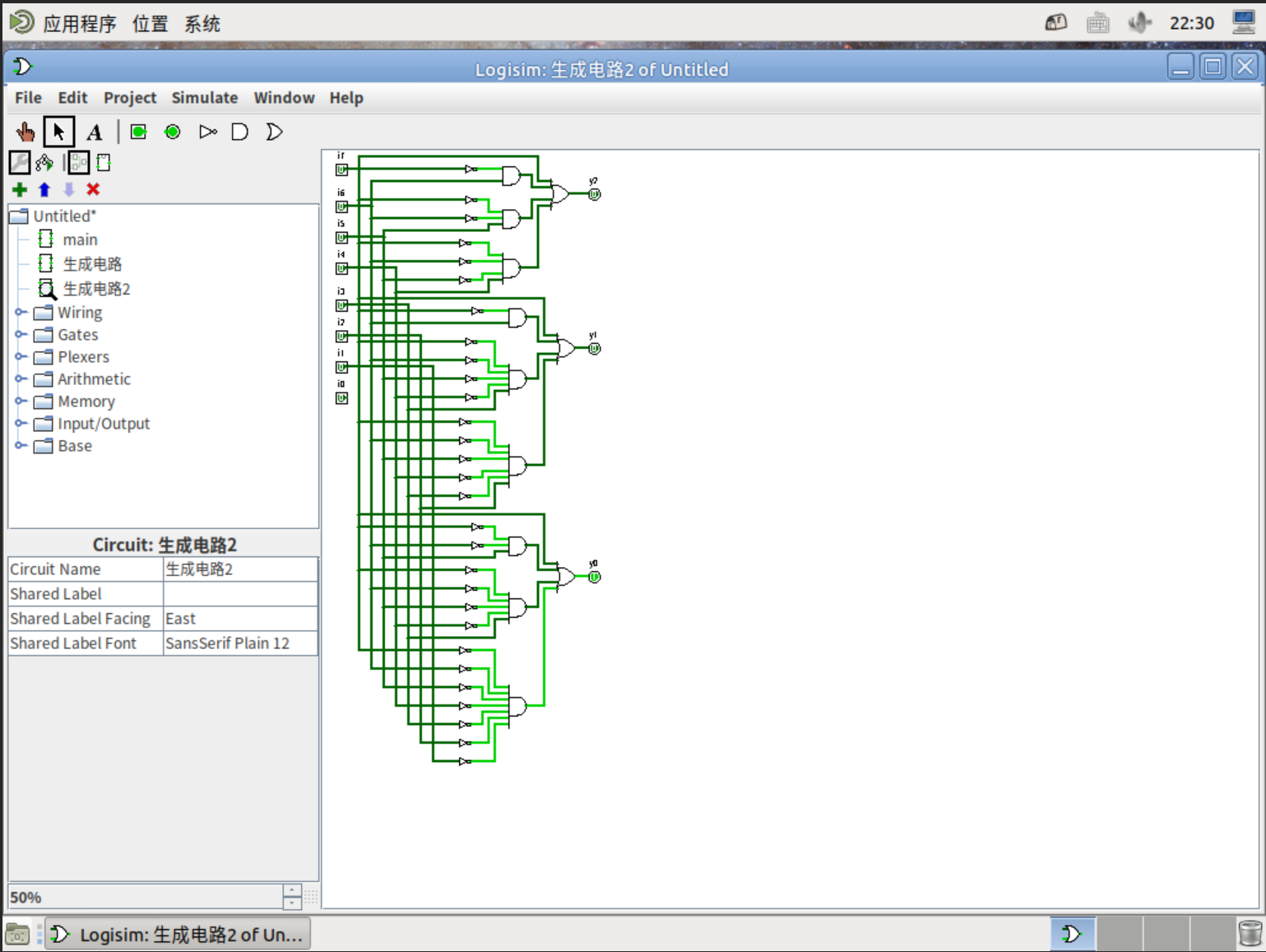
按照实验手册上的真值表输入

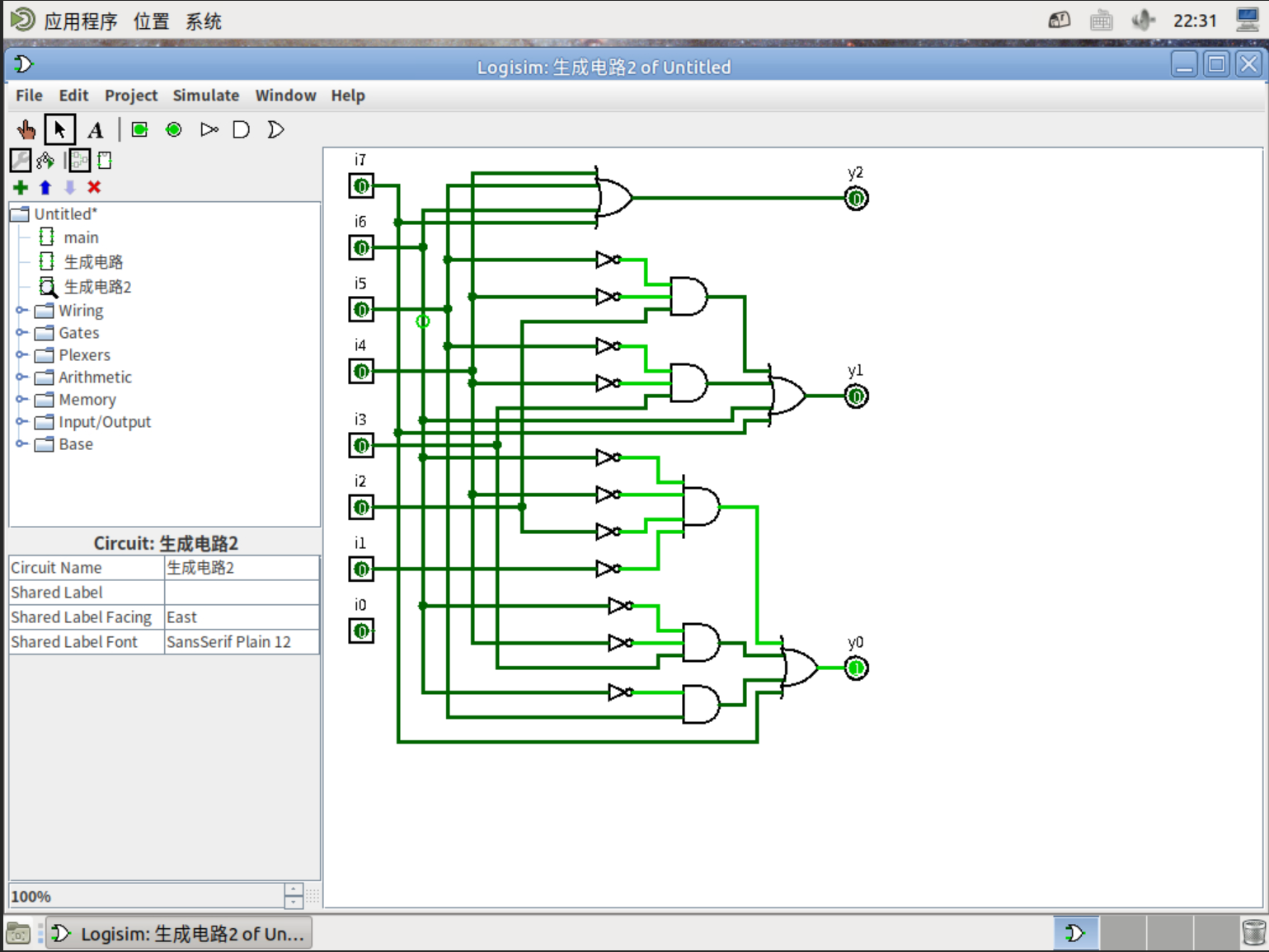
得到的电路图如下

**Step2:**用表达式生成电路图

按照实验手册选择用表达式生成电路图，输入表达式



得到电路图如下

使用Minimized选项卡对表达式化简后得到简化电路图如下

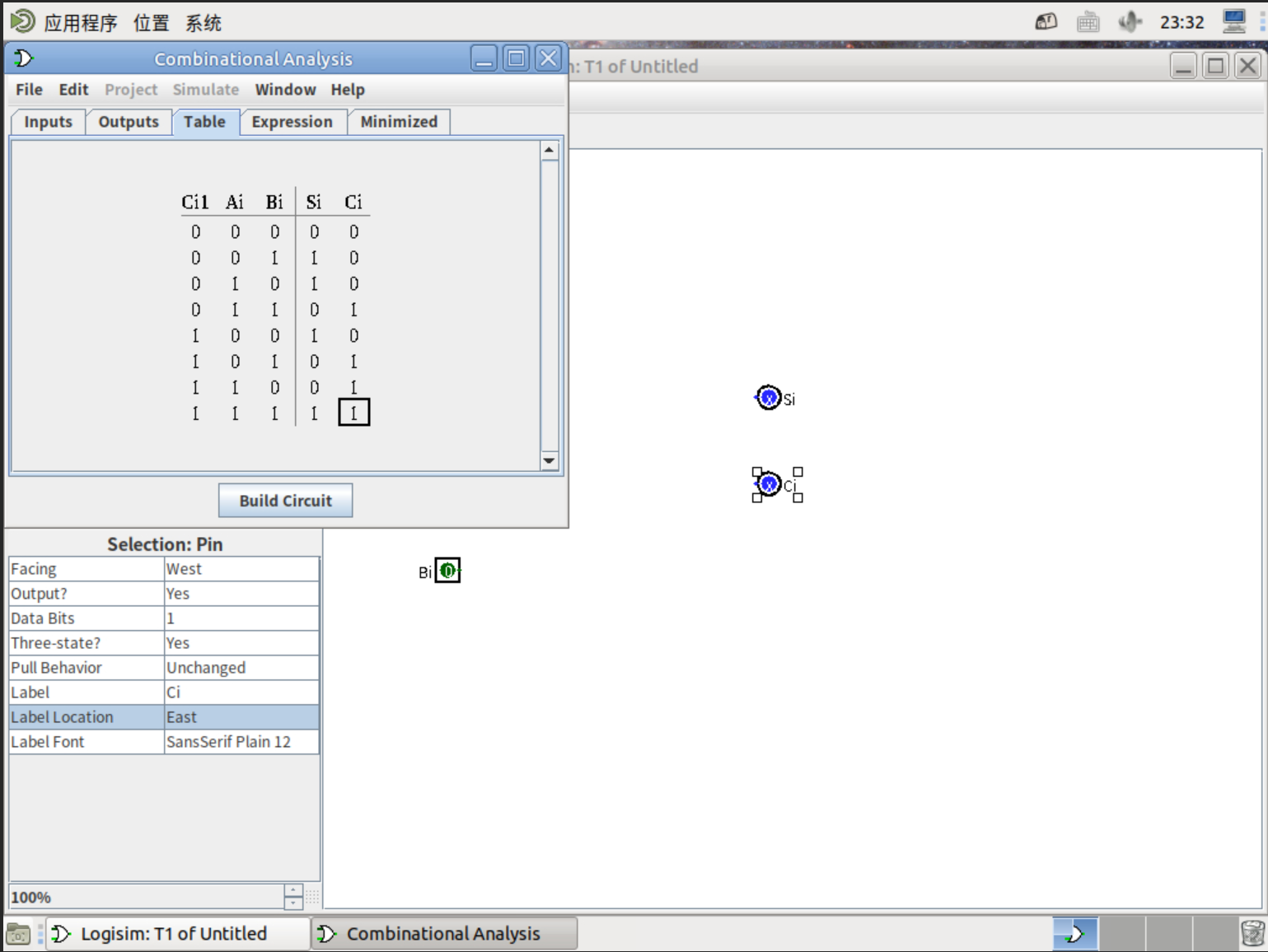
**Step3：**Verilog HDL语法入门

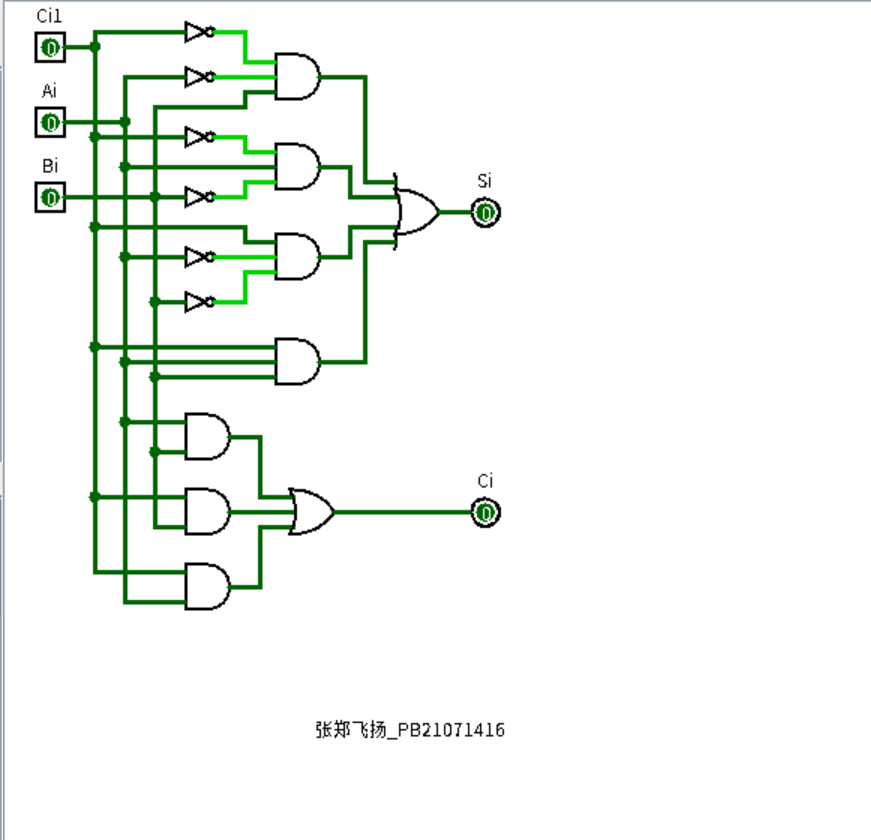
通过阅读实验手册，初步了解了Verilog HDL语法

**【实验练习】**

**题目1：**

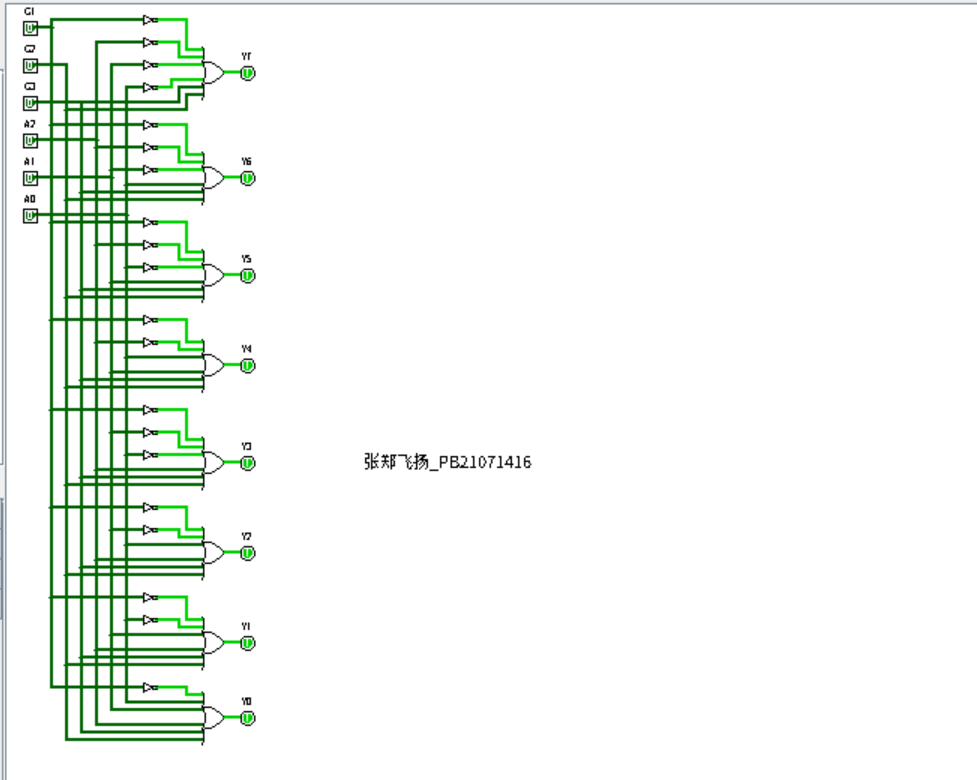
真值表如下



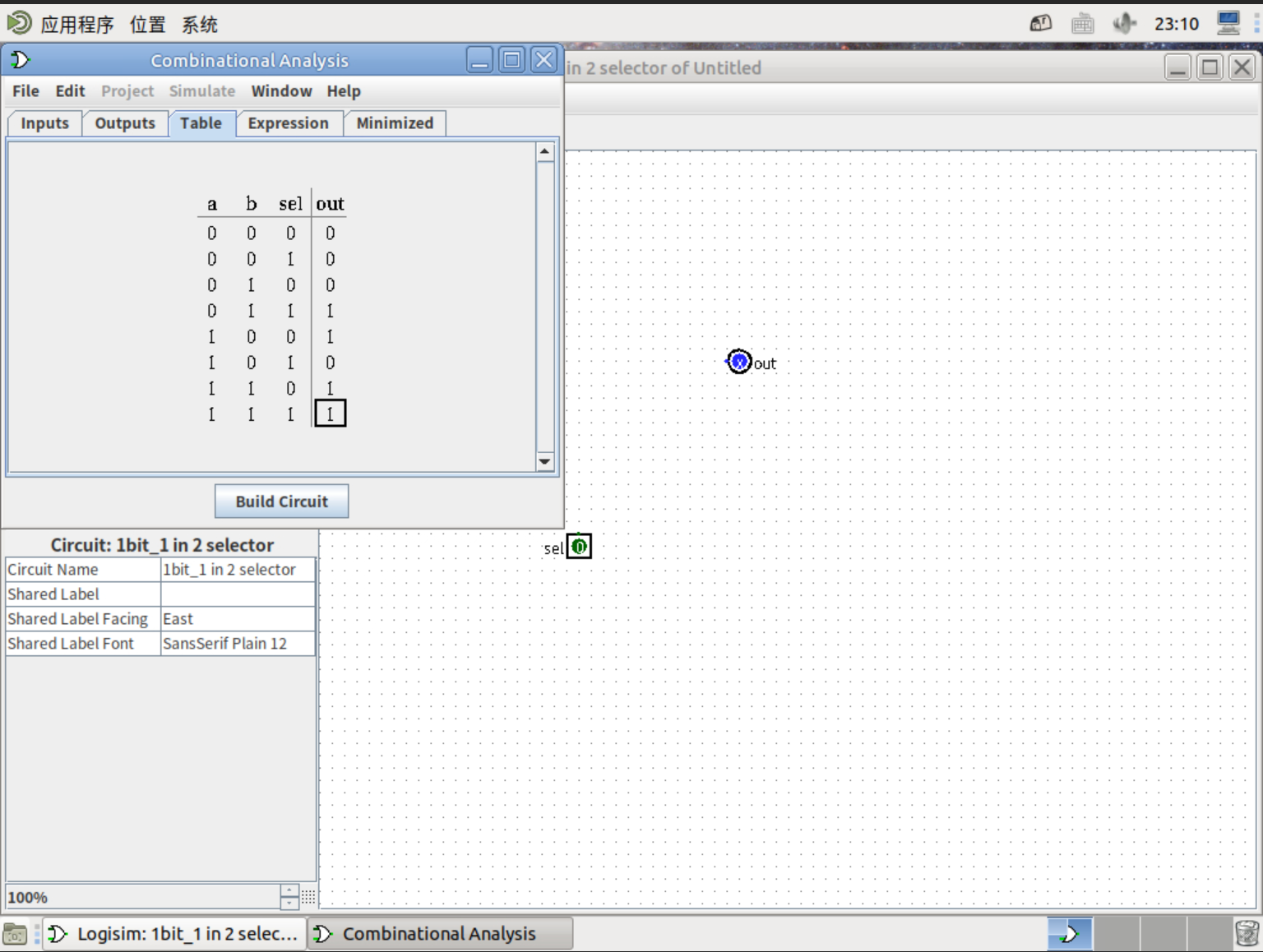
得出电路图如下

**题目2：**

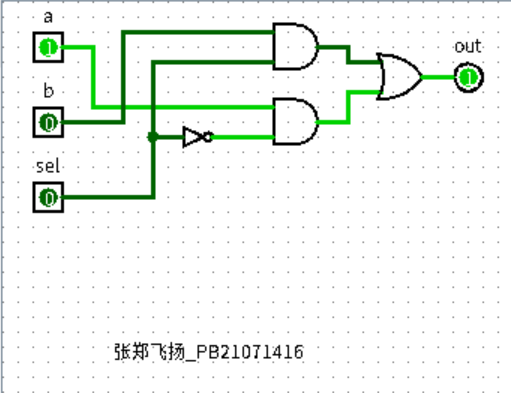
输入表达式并利用Minimized功能化简后得到电路图如下



**题目3：**

采用输入真值表来生成电路图，真值表如下

生成的电路图如下



Verilog代码如下

*module 1in2\_selector(*

*input a,b,sel,*

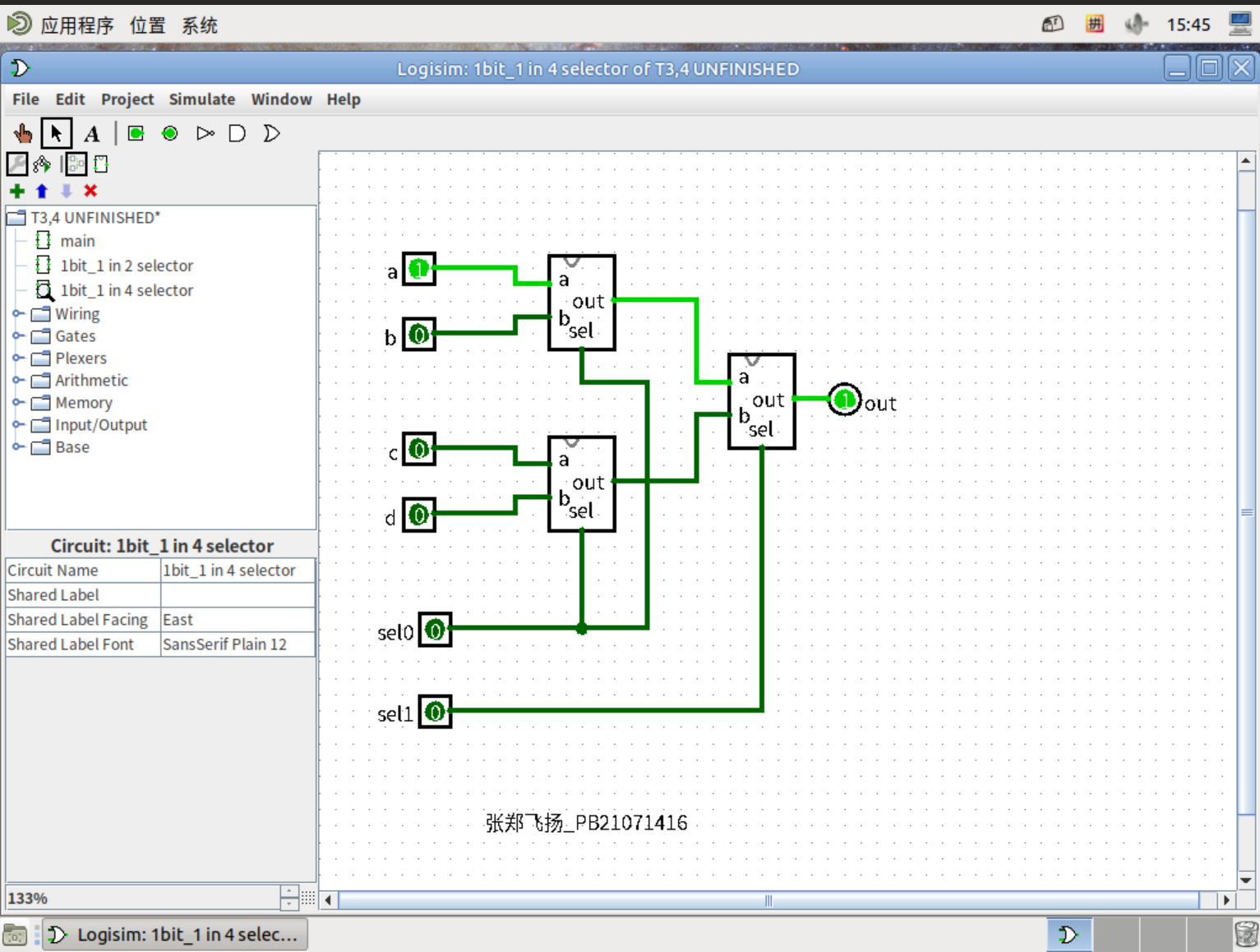
*output out);*

*assign out = (a & ~sel) | (b & sel);*

*endmodule*

**题目4**

用题目3中例化的电路来实现四选一选择器的电路图如下



**题目5**

Verilog代码如下：

*module* encoder(

*input* i7,i6,i5,i4,i3,i2,i1,i0,

*output* y2,y1,y0

);

*assign* y2 = i7 | ~i7 & i6 | ~i7 & ~i6 & i5 | ~i7 & ~i6 & ~i5 & i4;

*assign* y1 = i7 | ~i7 & i6 | ~i7 & ~i6 & ~i5 & ~i4 & i3 | ~i7 & ~i6 & ~i5 & ~i4 & ~i3 & i2;

*assign* y0 = i7 | ~i7 & ~i6 & i5 |~i7 & ~i6 & ~i5 & ~i4 & i3|~i7 & ~i6 & ~i5 & ~i4 & ~i3 & ~i2 & i1;

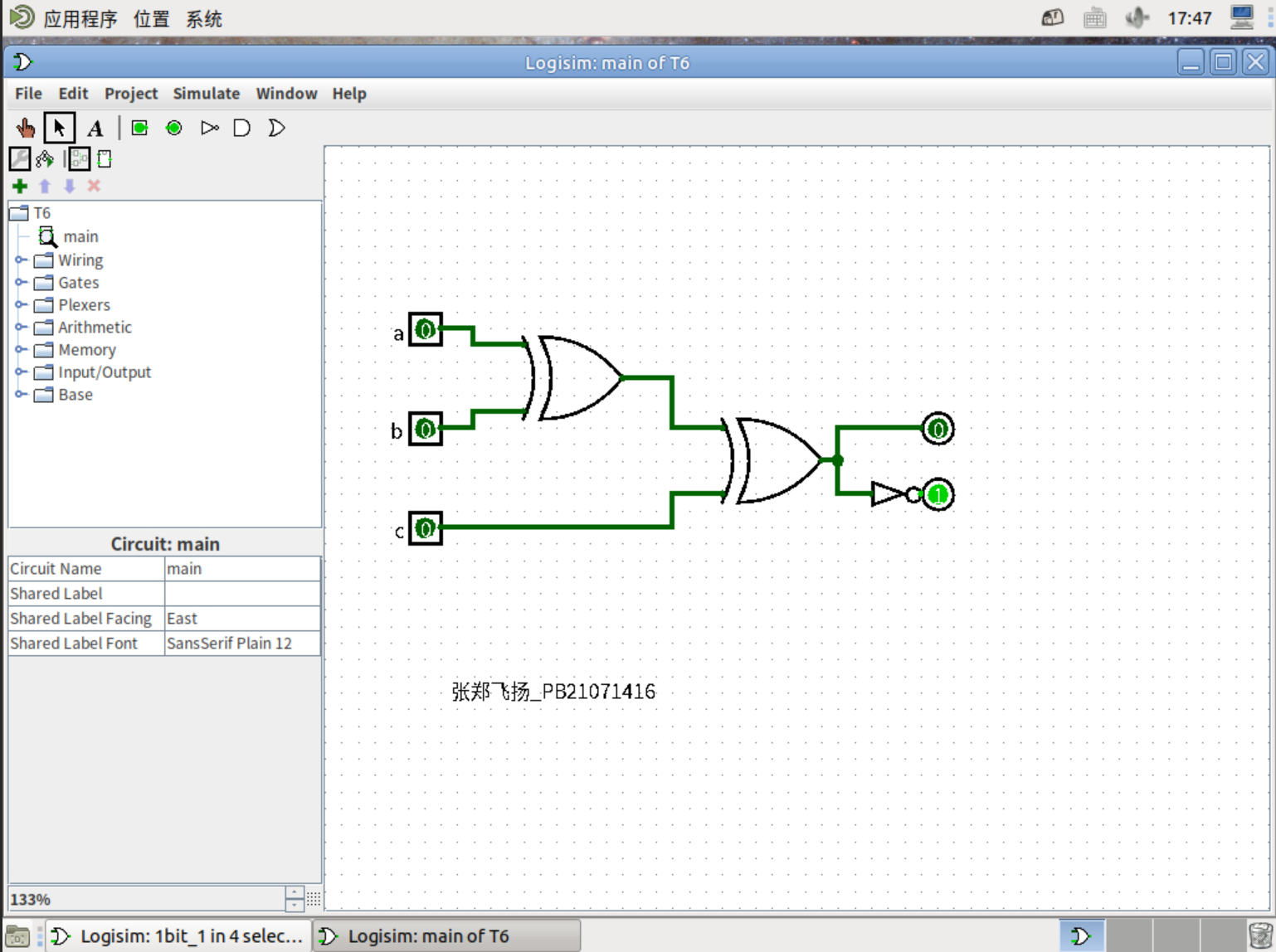
*endmodule*

**题目6**

该电路功能为：

S1输出abc，S2 输出为S1的非。

对应电路图如下：



【总结与思考】

1.本次实验使我掌握了利用Logisim里的真值表和逻辑表达式功能生成电路图以及简化电路图的方法。同时我还初步了解了Verilog语法。

2.本次实验难度适中

3.本次实验任务量适中

4.无改进建议。