**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：使用 Vivado 进行仿真

学生姓名: 张郑飞扬

学生学号：PB21071416

完成日期：2022.11.10

计算机实验教学中心制

2020年09月

【实验题目】

使用 Vivado 进行仿真

【实验目的】

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

PC 一台

vlab.ustc.edu.cn

Vivado 工具

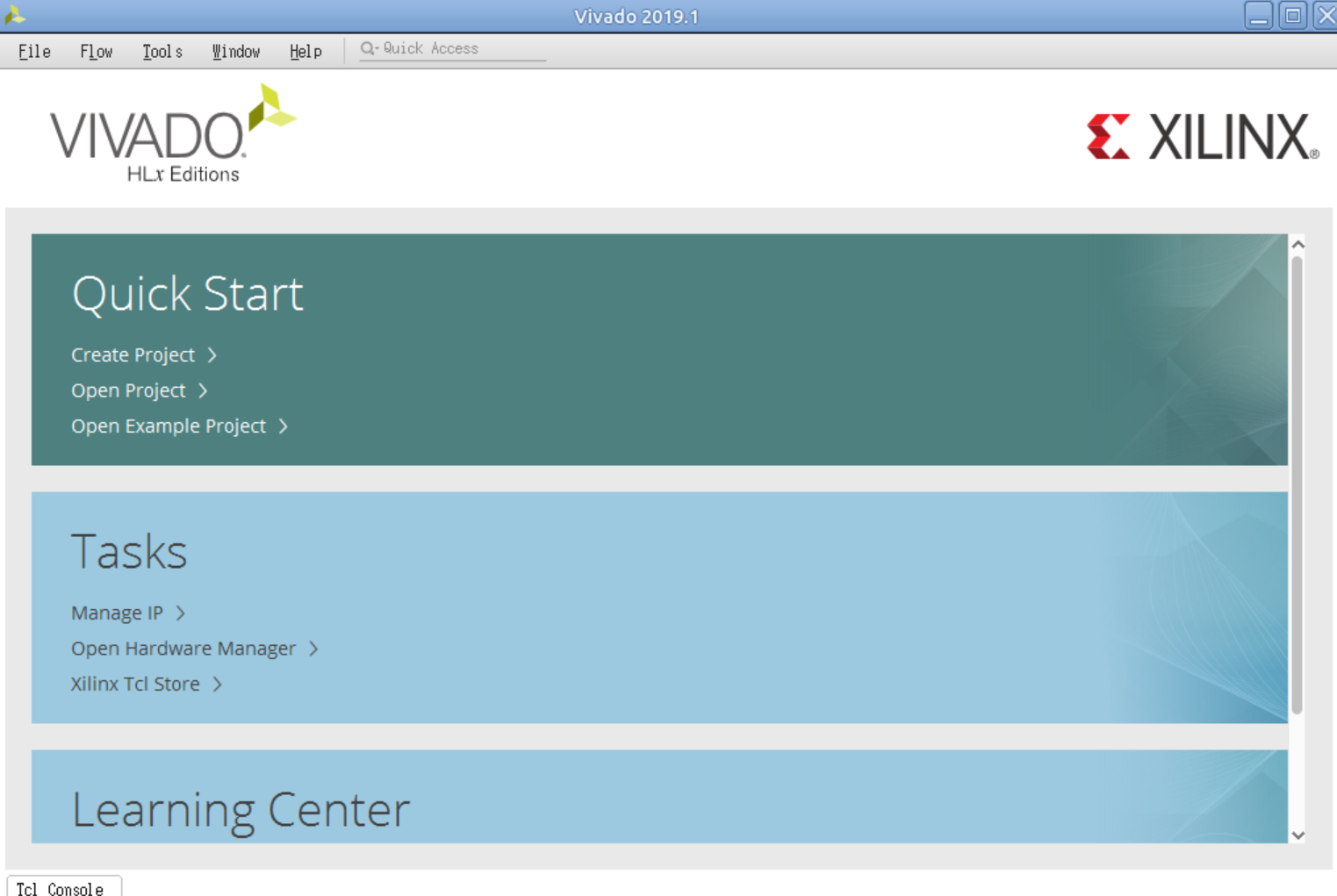
【实验过程】

Step1. 下载并安装 Vivado 环境

本人直接采用VLAB系统中已经配置好的实验环境进行实验。

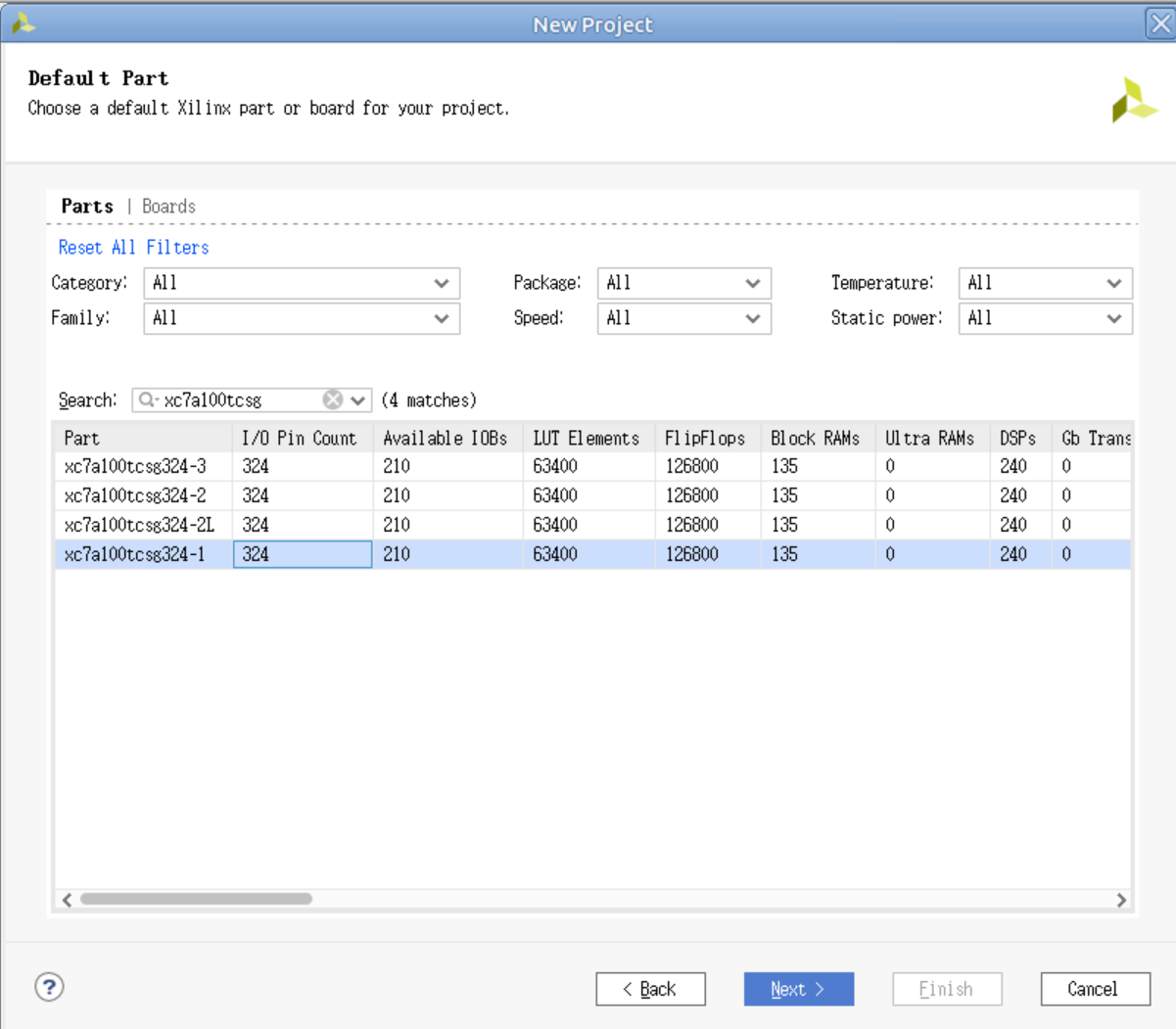
Step2. 建立 Vivado 工程

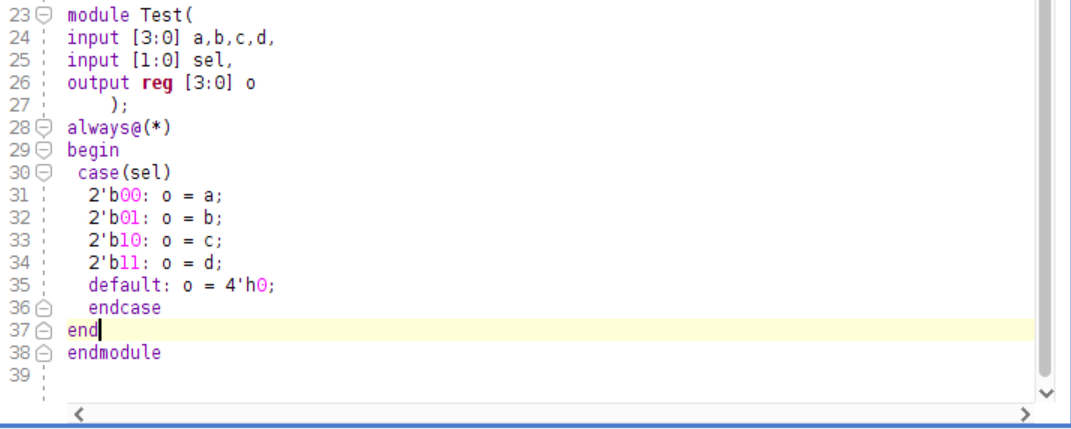
选择2019.1版本的Vivado，进入主界面



根据手册导引创建工程。在default part页面选择

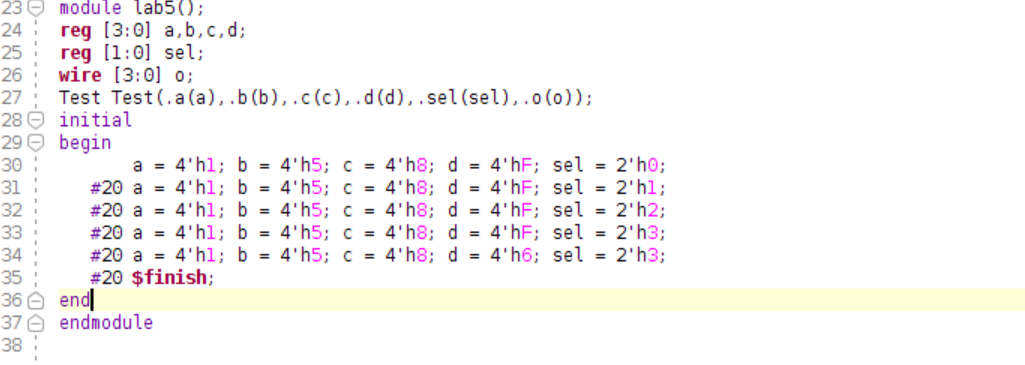
xc7a100tcsg324-1 型号的器件。

 Step3. 添加 Verilog 设计文件

根据实验手册，选择Add or create design source选项，在生  
 成的Verilog文件中，输入如下代码：

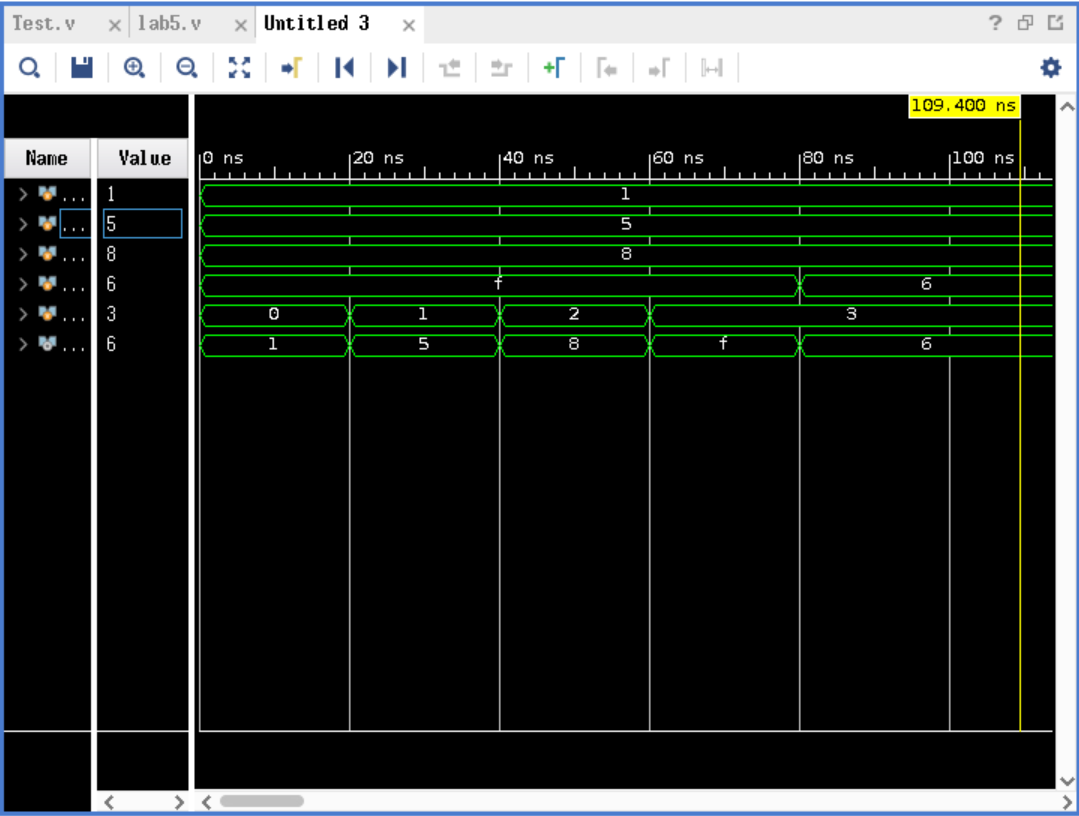
Step4. 添加仿真文件

根据实验手册，选择Add or create simulation sources选  
 项，输入如下代码：



Step5. 波形仿真

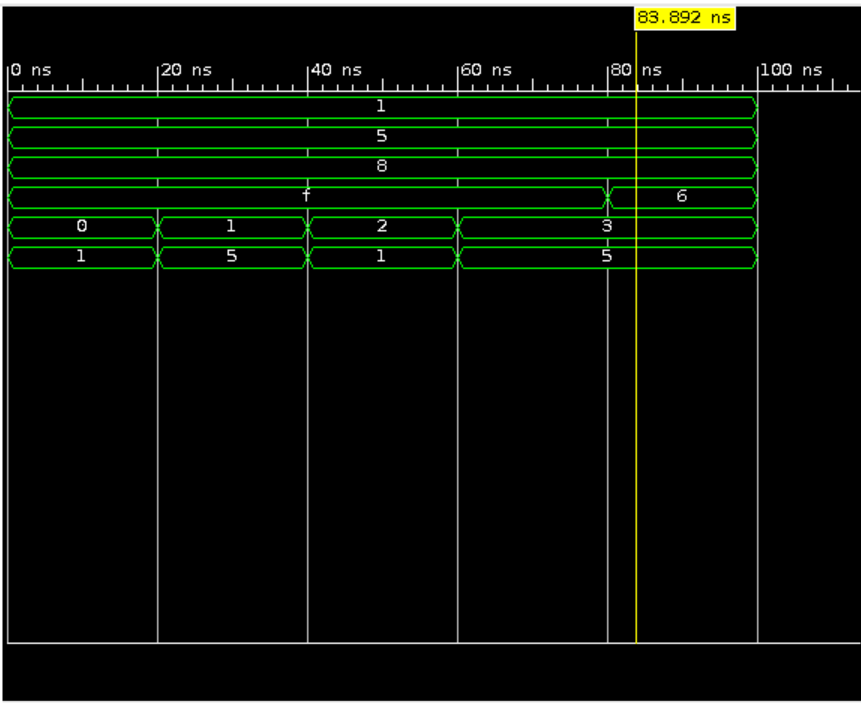
点击“Run Simulation”运行仿真工具，得到波形如下



通过观察波形我们可以发现，该电路的仿真波形符合四选一选  
 择器的行为特性， Verilog 代码设计正确。

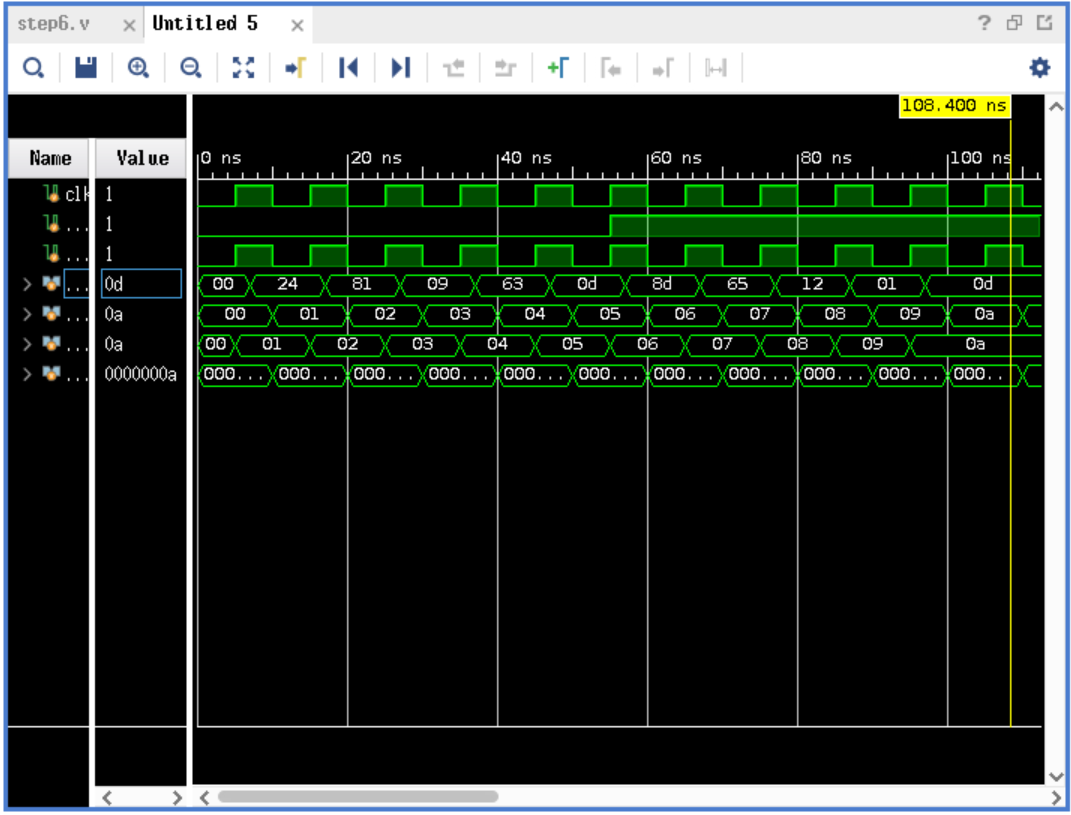
下面关闭波形仿真窗口，打开前面的 Verilog 设计文件,将其  
 中的“input [1:0] sel,”改成“input sel,” 重新进行仿真，

观察波形结果。我们会发现其波形不符合四选一选择器的行为。



Step6. Verilog 仿真文件常用语法

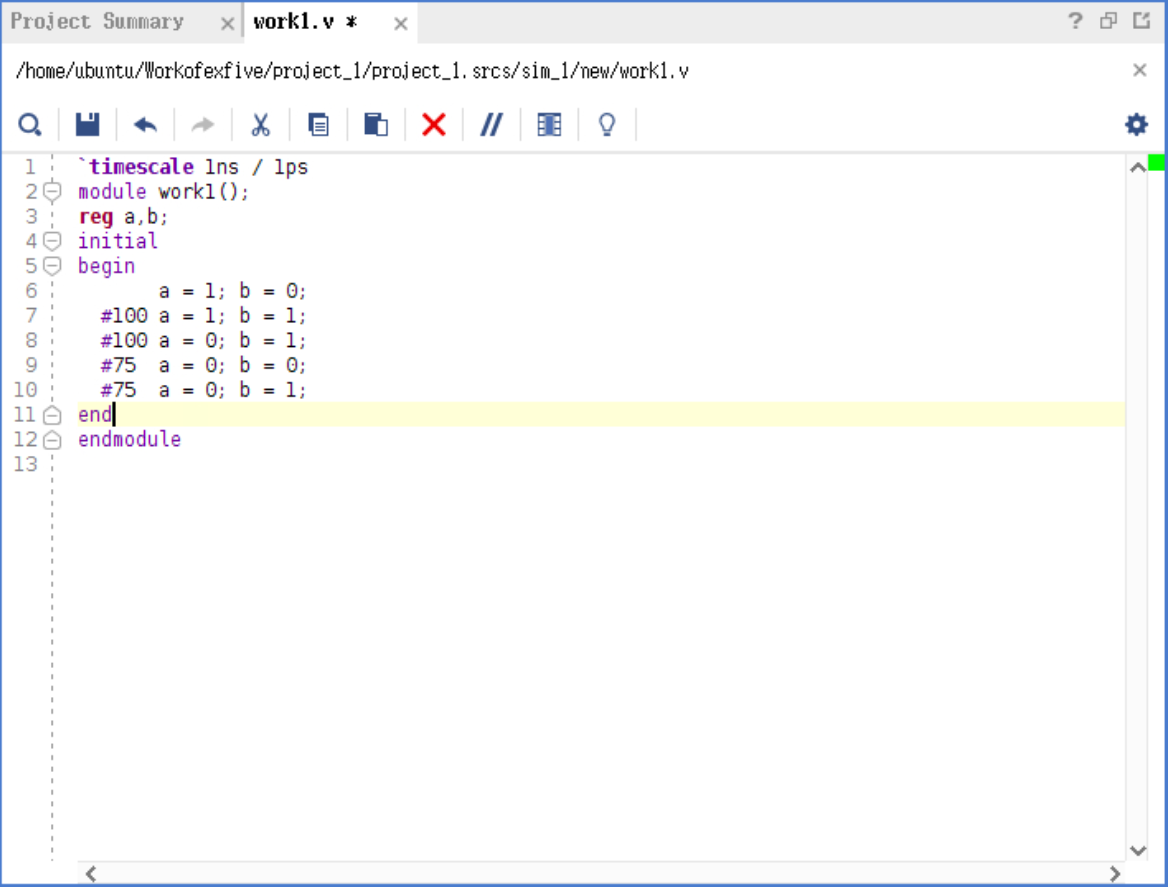
在 Vivado 中新建一个工程，加入实验手册中的仿真文件，进  
 行仿真，观察各信号的波形。



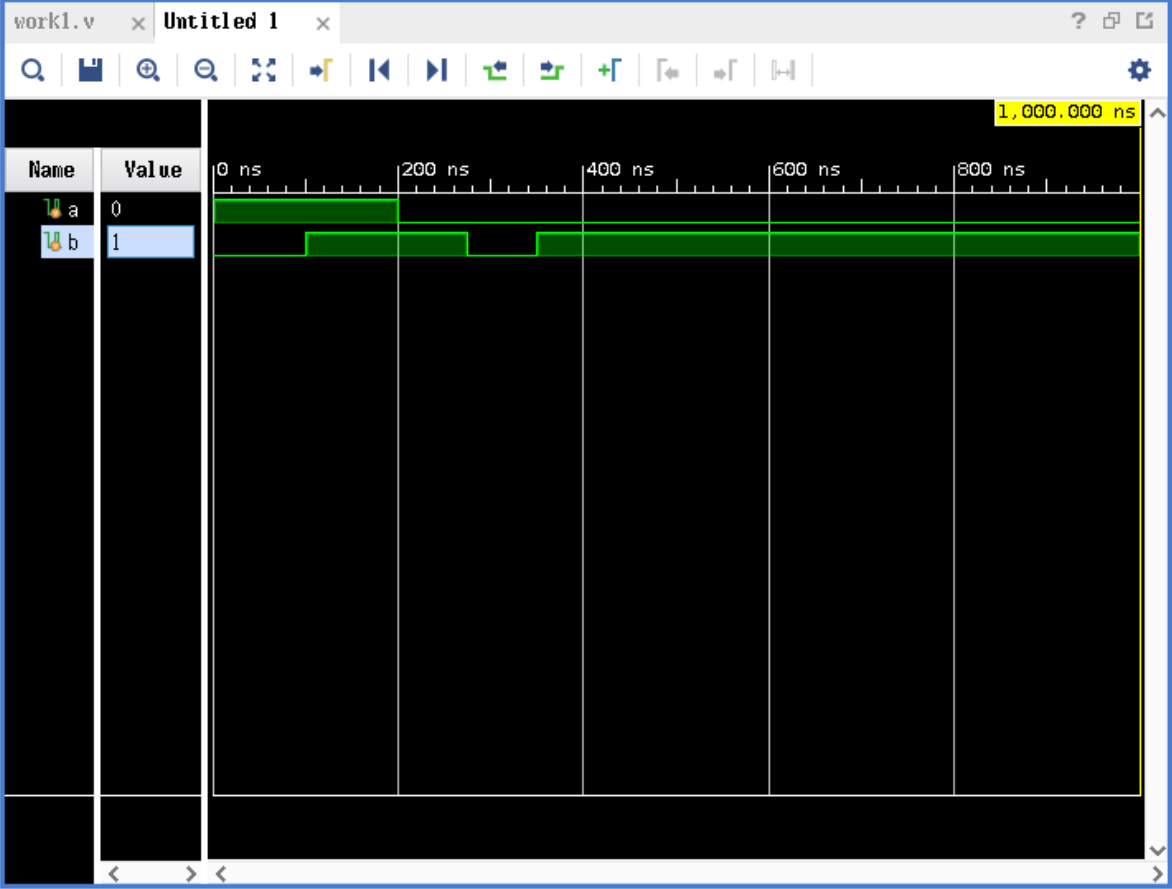
阅读实验手册中对一些Verilog新关键字和语法结构的解释。   
 如：   
 initial：该关键字与 always 同为过程语句关键字，但与  
 always不同的是， initial 语句只执行一次， initial 语句   
 在模拟开始时执行

【实验练习】

题目1：

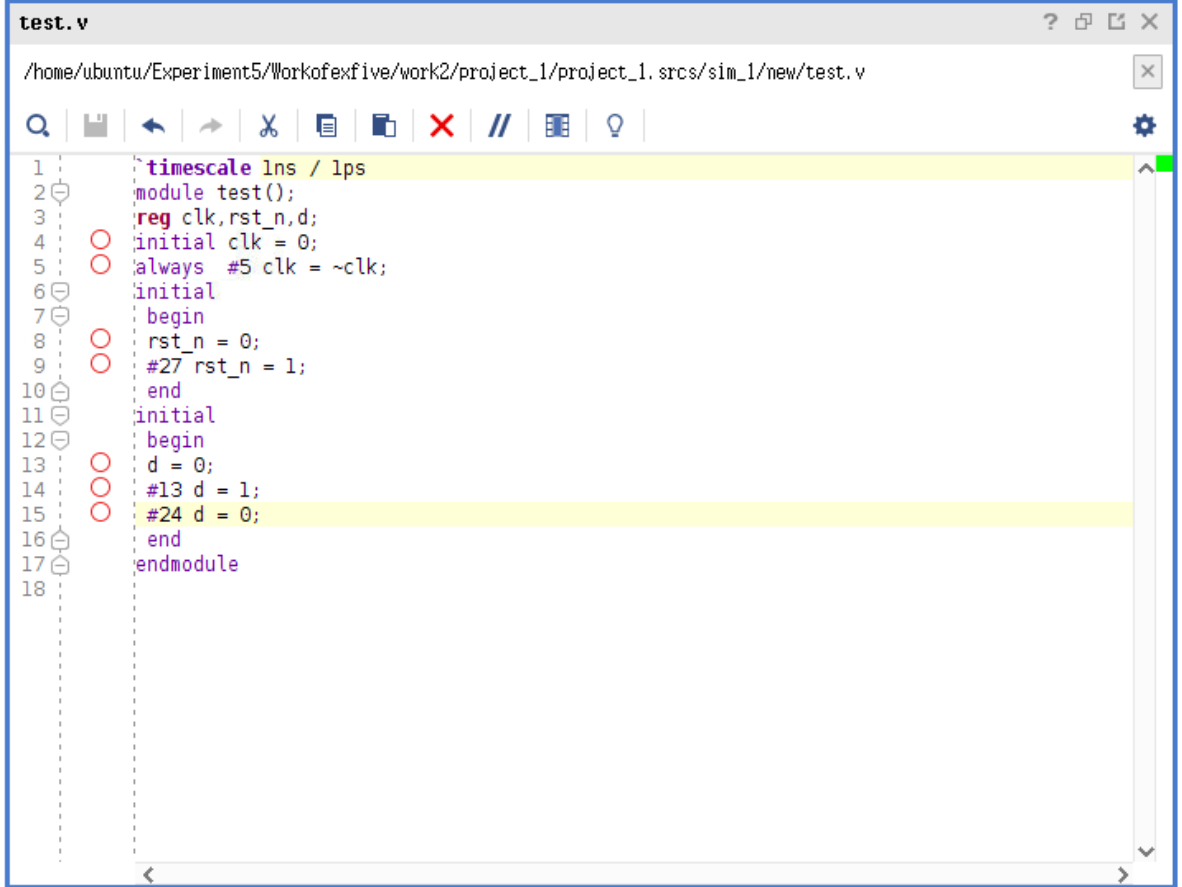
仿真文件如下：

得到波形图如下：

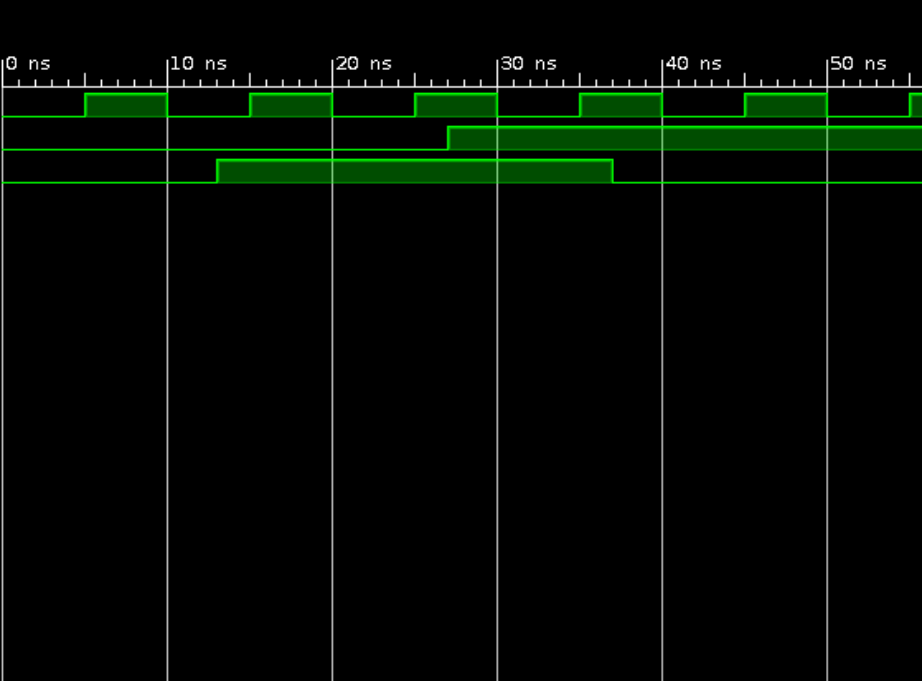


题目2：

仿真文件如下：

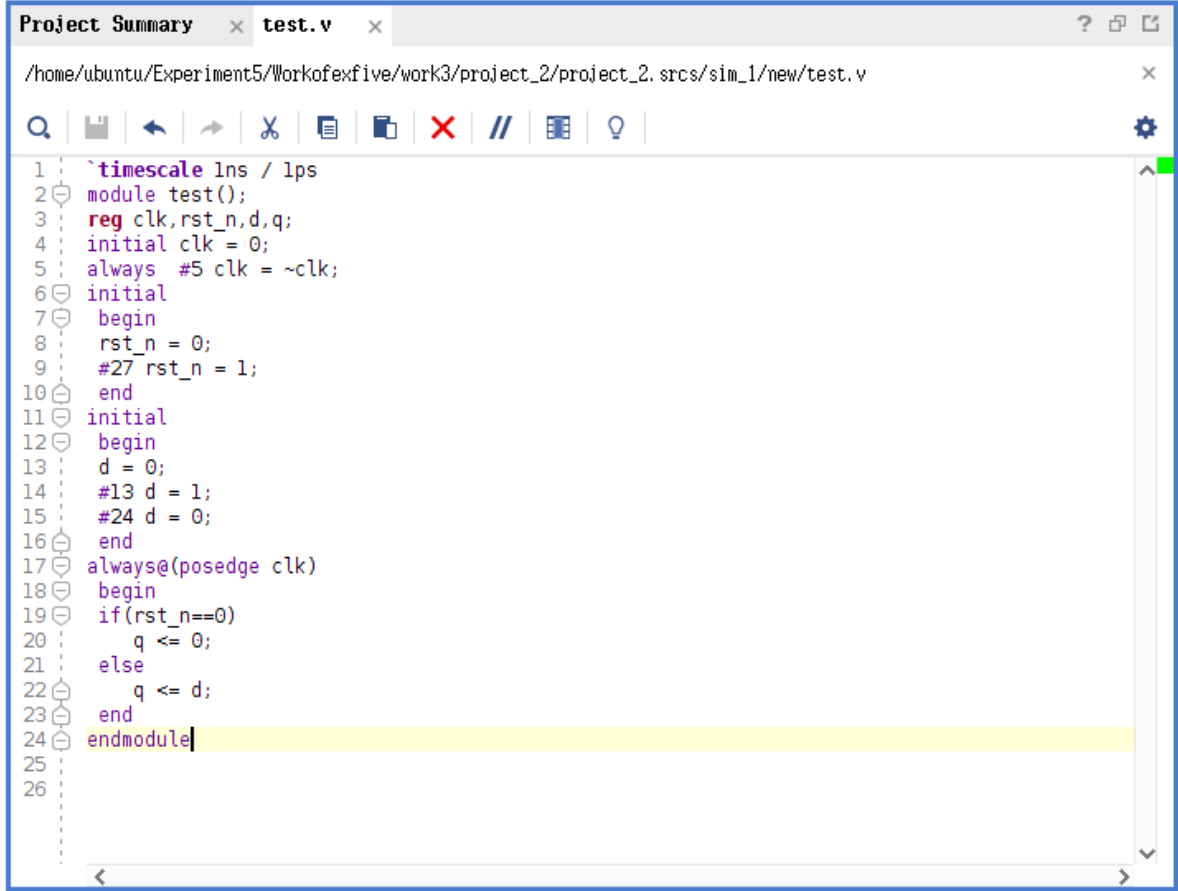


波形图如下：

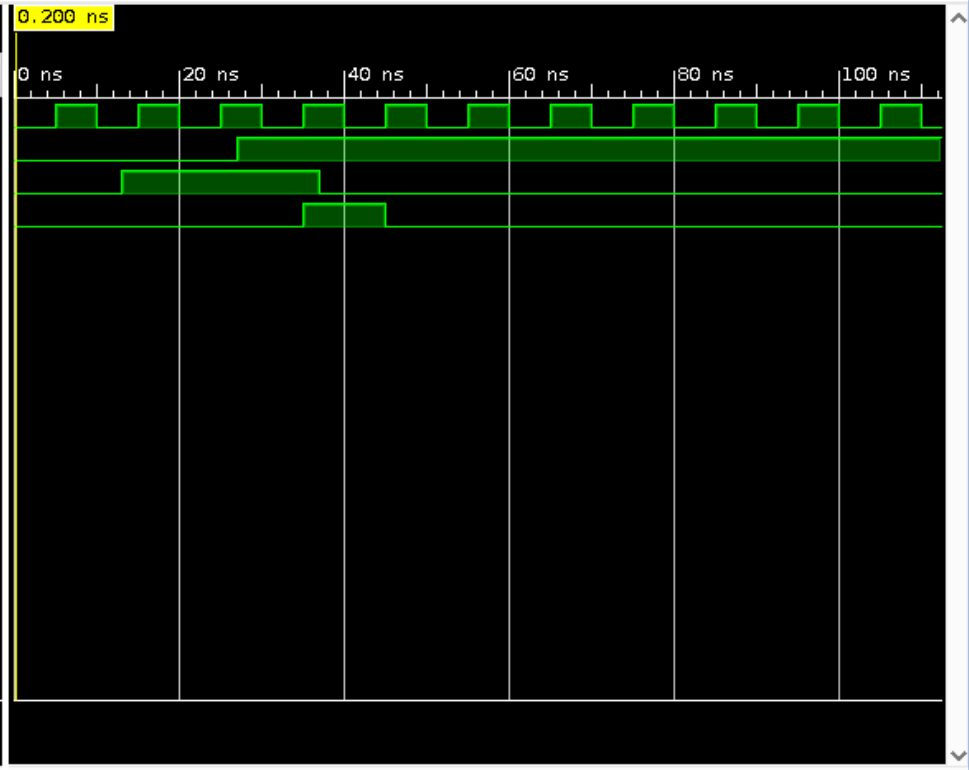


题目3：

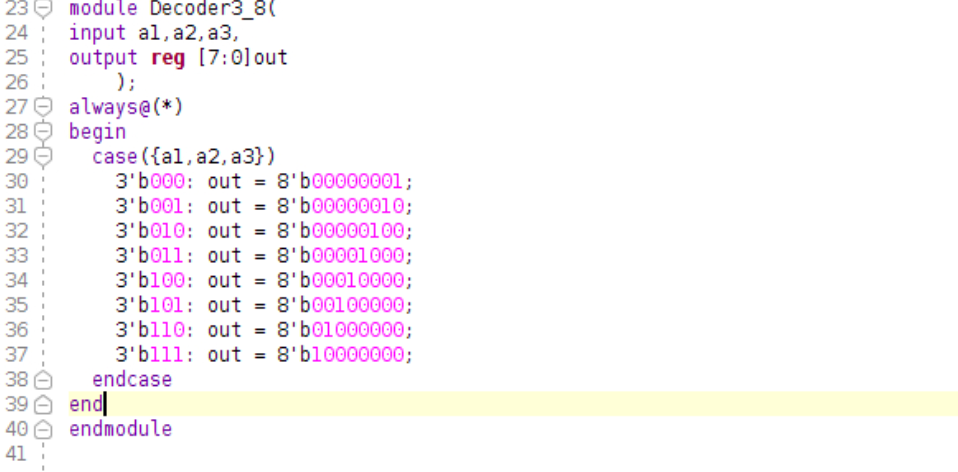
仿真文件如下：



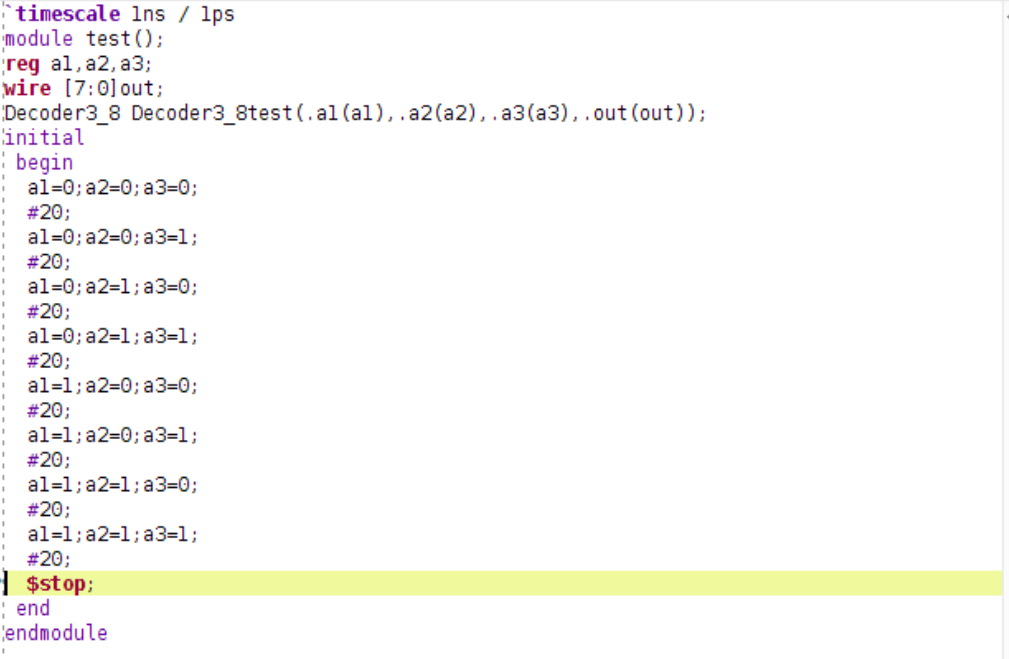
波形图如下：

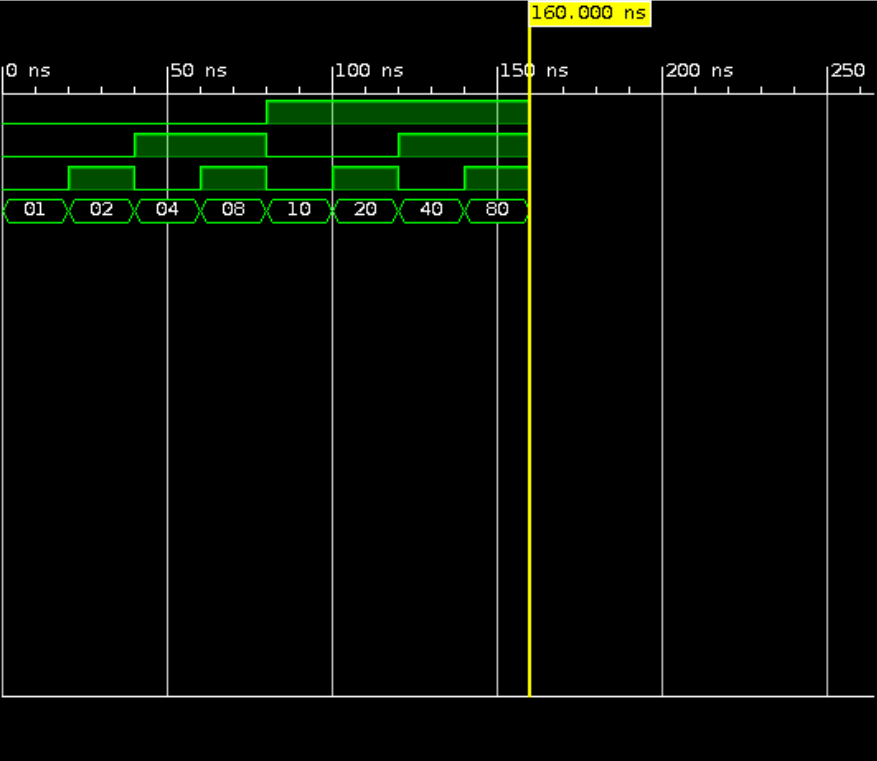


题目4：

3-8译码器的设计文件如下：

3-8译码器的仿真文件如下：



波形图如下：

其中out为16进制表示法，可见符合3-8译码器功能，设计合理。

【总结与思考】

本次实验是本人第一次接触vivado软件并使用其进行仿真，在经过本次实验学习后，本人对vivado的功能有了初步的认识，同时在编写Verilog代码的过程中也进一步学习了更多的Verilog语法和关键字。