bytes,电脑的 cache 能够存储 16KIB 数据。

- 1. 请问该电脑的 cache 能够存储多少个块?
- 2. 假设该电脑的 cache 采用直接映射的方式,那么地址中**TAG、Index、OFFSET**的位
- 宽分别是多少?

1. 年十次的大小为32 bytes. cache 点数据语意为 16 KiB. 65% 电时的 cache 能标准块的为: 16×210 bytes = 29=512 ft

3. 如果采用的是 4 路组相联的方式,那么TAG、Index、OFFSET的位宽分别是多少?

- 2. TAG证题: 32 -(9+5)=18 Index 证色: 9
 - Index 区色: 7 OFFSET 位色: 5
- 3. TAG (2) 第: 32 (7+5) = 20 Index (2) 第: 9-2=7
- OFFSET 位衰: 5

题目 2. 现在我们有一个8bits寻址空间的计算机,内存中的每个块的大小为 8 bytes,计算机的 cache 能够存储 32B 数据。 cache 采用两路组相联的方式,采用 LRU 策略。现在有以下访问序列: (Tag, Index, Offset均填入二进制)

有关Miss Type的说明:指3C模型中的三种失效类型,可以参加老师ppt 98页的内容。

			Offset	Hit/Miss/Replace	Miss Type
0ь0000100	0000	D	100	Miss	强制缺
0b00000101	0000	0	101	Hit	`
0b01101000	0170	1	000	Miss	强制失效
0b11001000	1100	1	000	Miss	强制发致
0b01101000	0110	-	000	Hit	
0b11011101	1101	1	101	Replace	冲矣发处
0ь01000010	دمراه	O	0/0	Miss	冲突发处 强机关较
0b00000100	0000	0	100	Hit	_
0Ы11001000	1100	1	000	Replace	差量级

11

题目 3. 现在我们有一个32位字节寻址的 RISC-V 计算机,拥有 4 GiB 内存,一个 16 KiB 的 cache, 每个 cache 块的大小为 32 byte 同时采用 LRU 策略。现在我们有如下的 C 代 码, 假定第一次运行时cache为空: #define SIZE_A 2048 node the 16 byte typedef struct { A th: 2^{15} byte cache th: 2^{14} by te int x;// int 为 32 bits int y[3]; } node; int count(node *A, int x) {//为简化问题, A的首地址恰好位于一 个块的首地址 int k = 0; for (int i = 0; $i < SIZE_A$; i++) { if (A[i].x == x) { k++:

} } return k; }

在相同A在不同x下连续进行充分多次调用,回答下列问题: 1. 采用直接映射,对A[i].x的访问是否会产生cache失效?如果会,会出现哪些失效? 命中率是多少?

效? 命中率是多少?

3. 如果采用全相联映射且将cache的策略改为MRU,对A[i].x的访问是否会产生cache失 效?如果会,会出现哪些失效?命中率大约是多少? 4. cache容量满后,出现的失效一定为容量失效吗?如果不是,举例说明。

5. 通过增加块的数量cache容量一定能提高命中率吗?如果不是,举例说明。

2. 如果采用8路组相联,对A[i].x的访问是否会产生cache失效?如果会,会出现哪些失

1. 会、三种发致的含明观· 布中率为50% 2. 层, 三种发致均可能吸, 冷中率为50%. 3 会, 会出现强制失效和高数效. 谷中辛为50% 4. 不是。比如在直接映射中第一次访问前1024项A门X 后 cache 容量满, 然后络问A[1024].X (刷第1024),会发 生冲案发致,与 ACOIX和ACOIX 所在快声中冲蒙 5. 一定能.