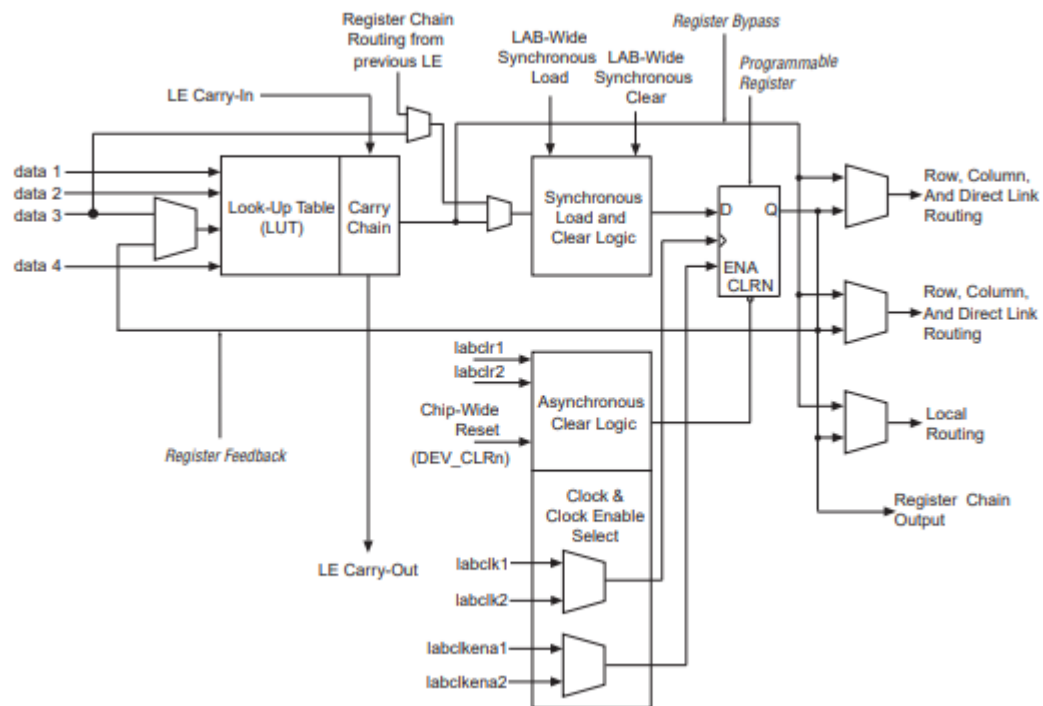


Laboratorio FPGA

1) Identifique qué elementos constituyen los LEs de la FPGA Cyclone III y qué estructura tienen las LABs.

Los Logic Elements (LEs) son la unidad lógica más pequeña y compacta de la familia de dispositivos Cyclone III de Altera. Un LE típico se compone de:

- Una Look-Up Table implementada con una memoria RAM de 4 bits. Esta se utiliza para implementar cualquier función lógica de 4 variables.
- Un Flip-Flop tipo D que puede utilizarse como elemento de registro.



Un Logic Array Block (LAB) es una agrupación de LEs. En la familia Cyclone III, cada LAB está compuesta de 16 LEs. Los LEs dentro de un LAB componen señales de control y cuentan con una lógica de interconexión local para que se comuniquen de manera eficiente.

2) ¿De qué se trata el Nios® II?

El procesador Nios II es una arquitectura de procesador embebido de 32 bits diseñada específicamente por Altera para ser implementada en la lógica programable de sus FPGAs.

Es soft-core, es decir que el procesador no es un bloque de silicio sino que se implementa completamente utilizando los elementos lógicos programables y los bloques de memoria de la propia FPGA. Esto permite al usuario crear un sistema funcional dentro de la FPGA, combinando la flexibilidad de la lógica reconfigurable con el rendimiento de un procesador de propósito general.

3) ¿Qué diferencia existe entre IP cores y los bloques embebidos (ej multiplicador embebido) disponibles en la FPGA?

La diferencia principal entre un IP Core y un bloque embebido en una FPGA se basa en cómo se implementa la lógica en el chip. Un bloque embebido es una pieza de hardware pre-diseñada y optimizada que está fabricada permanentemente en el silicio de la FPGA. Son circuitos rígidos que existen como unidades físicas dedicadas y no utilizan la lógica programable general. Ofrecen el máximo rendimiento y son muy compactas. Un IP Core es un módulo de diseño lógico reutilizable que implementa una función específica y se clasifica según su implementación, Soft IP Core, Firm IP Core y Hard IP Core.

4) ¿Qué tipo de celda de programación posee el dispositivo FPGA Cyclone III?

El dispositivo FPGA Cyclone III utiliza tecnología de Memoria Estática de Acceso Aleatorio (SRAM) para sus celdas de programación. Cada celda de configuración dentro de la FPGA es un bit de memoria SRAM y en el momento que se interrumpe el suministro de energía el programa se pierde ,por lo tanto, cada vez que se enciende una tarjeta con una FPGA Cyclone III esta debe cargar el bitstream desde una memoria externa no volátil en sus celdas de SRAM para configurar y comenzar a funcionar.

