Task 1

План проведения testbench-а:

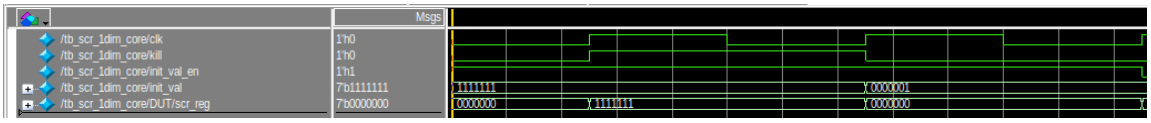
- Проверка записи / сброса регистра
- Проверка сдвигового регистра
- Проверка правильности выхода (+ зависимость от scr_en)

Описание проверок:

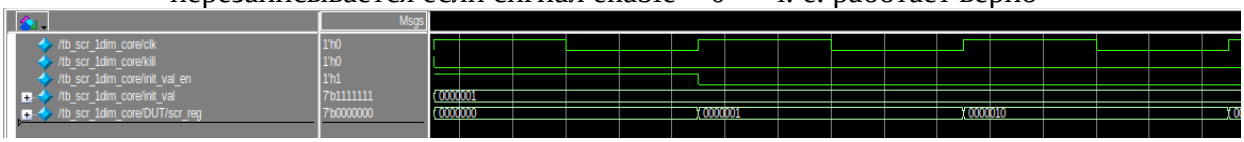
1. Проверка записи / сброса регистра:
   - инициализируем регистр ненулевыми значениями
   - подаем на регистр активные сигналы сброса и записи
   - проверяем чтобы значение регистра сразу не изменилось на 0-е (т. к. сброс - синхронный)
   - после чего ждем положительного фронта
   - проверяем чтобы регистр был инициализирован нулями (т. к. сброс приоритетная операция)
   - после этого оставляем активным сигнал записи, а сигнал сброса переводим на нижний уровень
   - подаем ненулевое значение для записи
   - после положительного фронта проверяем чтобы значение регистра соответствовало записанному
   - в конце выставляем сигнал записи в нижний уровень и изменяем записываемое значение (такое чтобы после следующего сдвига регистра записываемое значение и значение самого регистра не совпадали)
   - после фронта тактового сигнала проверяем, чтобы значение регистра не изменилось на записываемое
2. Проверка сдвигового регистра:
   - инициализируем регистр 1-ой
   - ждем 8 тактов
   - проверяем чтобы значение на каждом такте сдвигалось на 1, а при последних двух тактах нулевое значение регистра должно быть равно 1, т. к. XOR(1,0)=XOR(0,1)=1
   - инициализируем регистр так, чтобы два старших бита равнялись 1 после чего проверяем чтобы нулевое значение равнялось XOR(1,1) = 0
3. Проверка работы выхода:
   - проверяем для различных комбинаций двух старших битов при scr_en = 0, на выход data_out должен последовательно подаваться сигнал data_in
   - при scr_en = 1 на выход data_out должен последовательно подаваться исключающий или между data_in и двумя старшими битами регистра (также необходимо проверить для различных их комбинаций)
   - выход data_out_en должен равняться входу data_in_en на предыдущем такте и равен нулю по умолчанию или при сбросе

Итоги проверок и их анализ:

1. Проверка записи / сброса регистра:
   - Как мы можем видеть из фрагмента ниже сброс происходит синхронно, имеет высший приоритет и работает корректно. Также можно увидеть что запись происходит корректно



- Из следующего фрагмента можно сделать вывод, что регистр не перезаписывается если сигнал enable = 0 — т. е. работает верно

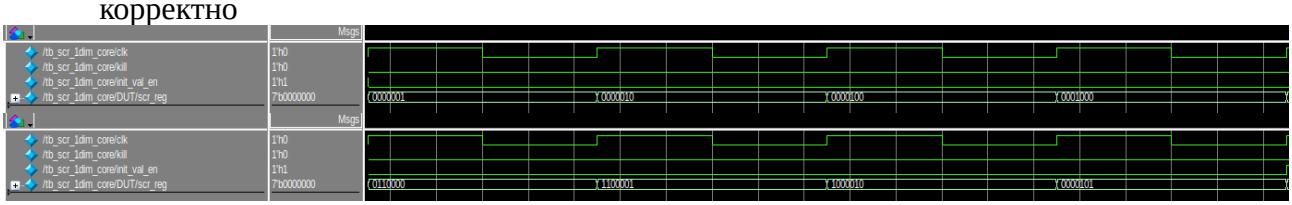


2. Проверка сдвигового регистра:

- Приведенные ниже скрины дают понять что перенос в 5-ый бит регистра (начиная с нуля) происходит неверно, поэтому давайте найдем строчку кода отвечающую за него и исправим

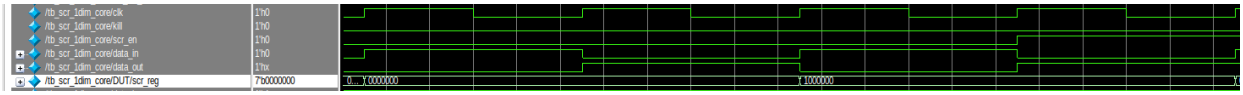
```
36  /*****************************************************
37   *                SCRAMBLING CORE                    *
38   *****************************************************/
39  assign next_scr_reg[0] = scr_reg[5] ^ scr_reg[6];
40  assign next_scr_reg[1] = scr_reg[0];
41  assign next_scr_reg[2] = scr_reg[1];
42  assign next_scr_reg[3] = scr_reg[2];
43  assign next_scr_reg[4] = scr_reg[3];
44  assign next_scr_reg[5] = scr_reg[4] ^ scr_reg[3]; // Правильно -  assign next_scr_reg[5] = scr_reg[4];
45  assign next_scr_reg[6] = scr_reg[5];
46
```

- Зато благодаря этой ошибке на не нужно отдельно прописывать подачу двух единиц на старшие биты для проверки записи в младший, и как мы видим запись происходит корректно

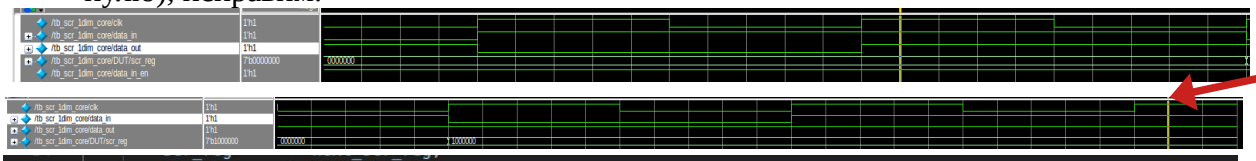


3. Проверка работы выхода:

- Как мы можем увидеть при scr_en = 0 data_out работает корректно



- Как мы видим из фрагмента ниже все работает верно если XOR между старшими битами равен 0, но если XOR между старшими битами ненулевой возникает ошибка при подаче положительного сигнала входящих данных (сигнал выходящих не равен нулю), исправим:




```
55
56  assign scr_seq = (scr_en) ? next_scr_reg : '0;
57
58  assign scr_data_out[0] = data_in[0] || scr_seq[0]; // Правильно - assign scr_data_out[0] = data_in[0] ^ scr_seq[0];
59
```

- Исходя из фрагмента ниже data_out_en не определен по умолчанию, что не является серьезной ошибкой, так как мы реализуем этот блок как последовательную логику работающую на тактовом сигнале и не учитываем промежуточные значения, в остальном этот выход работает корректно