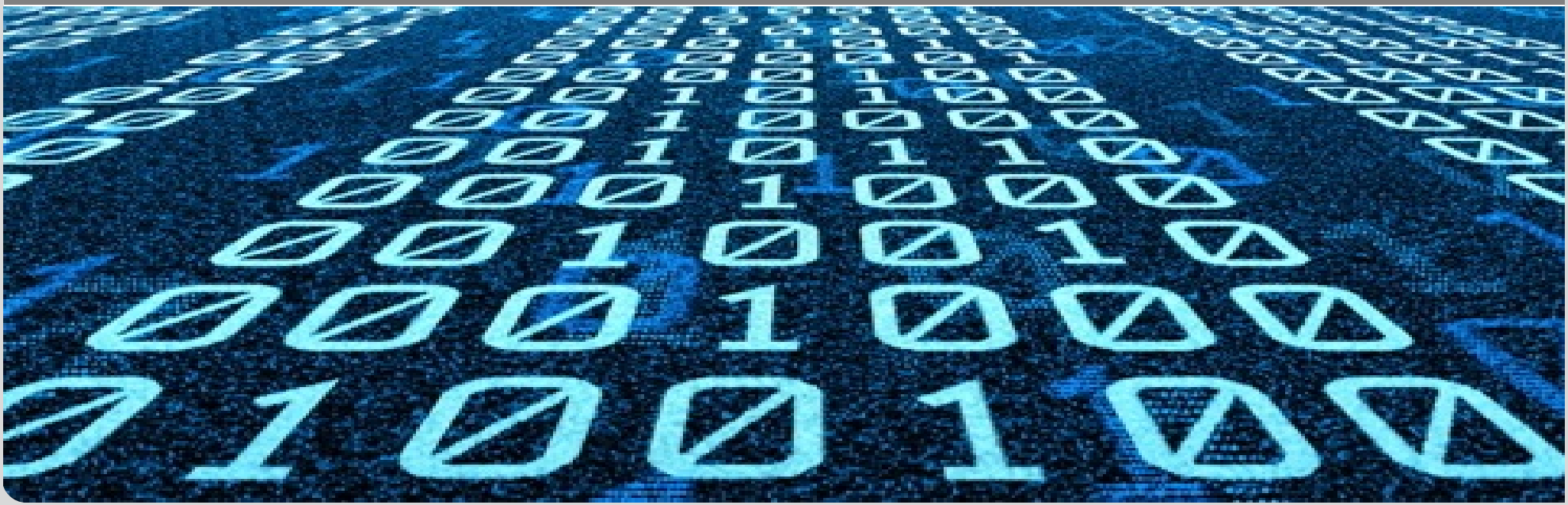
Karlsruher Institut für Technologie

9. Tutorium
Cache

Rechnerorganisation, Tutorium #13

Patrick Röper | 14. Januar 2020

FAKULTÄT FÜR INFORMATIK



Roadmap

Cache-Speicher

- Pufferspeicher mit schnellem Zugriff
- Nützt Lokalitätseigenschaften aus:
  - **Zeitliche Lokalität**
    - Die Information, die in naher Zukunft angesprochen wird, ist mit großer Wahrscheinlichkeit schon früher einmal angesprochen worden
    - Z.B. Befehle im Schleifenrumpf oder häufig benutzte Variablen
  - **Örtliche Lokalität**
    - Ein zukünftiger Zugriff wird mit großer Wahrscheinlichkeit in der Nähe des bisherigen Zugriffs liegen
    - Z.B. Daten in einem Array oder die nächsten Befehle

Grundlagen

Was gibt es?

- Speicher
- Cache
- Adresse eines Blocks

Was wollen wir?

- Informationen im Cache
- Genaue Zuordnung zum Speicher

N-assoziativer Speicher

Fragestellung

- Wie lege ich Informationen im Cache ab

Wie sieht die Adresse aus

- Blockauswahl
- Satzauswahl
- Tag
- **Im Cache liegt nur der Tag**

typische Aufgabe

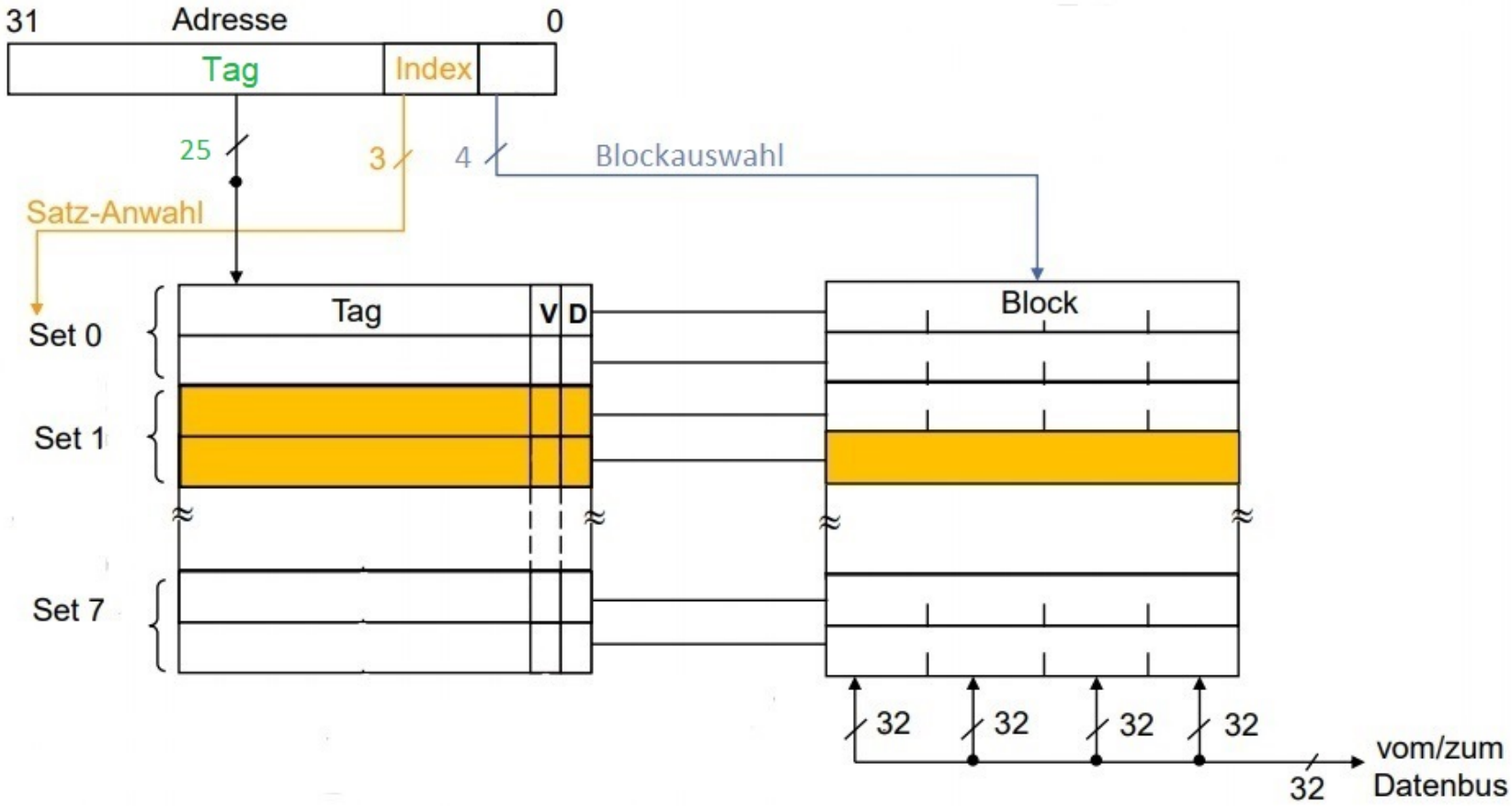
gegebene Inforamtionen

- Speicherkapazität
- Blockgröße
- Länge der Adresse
- Cache-Typ

indirekte Informationen

- Cachegröße: Speicherkapazität / Blockgröße
- Anzahl Sätze: Cachegröße / N
- Blockauswahl: log_2(Blockgröße) Bit
- Satzauswahl: log_2(Sätze) Bit
- Tag: Adresse - Blockauswahl - Satzauswahl Bit

2-Assoziativ



Alle Typen

- N-Assoziativ
- Direct-Mapped (N = 1)
- Voll-Assoziativ (N = Cachegröße) // => keine Bits für Satzauswahl

Arbeitsweise

Cache-Steuerung prüft bei Speicherzugriffen des Mikroprozessors, ob

- der zur Speicheradresse gehörende Hauptspeicherinhalt als Kopie im Cache steht (Bedingung 1)
- und dieser Cache-Eintrag durch das Valid-Bit als gültig gekennzeichnet ist (Bedingung 2).

Miss/Hit

- **Treffer (Cache-Hit)**: Beide Bedingungen sind erfüllt; Zugriff erfolgt auf Cache.
- **Fehlzugriff (Cache-Miss)**: Eine der beiden Bedingungen ist nicht erfüllt.

Aktualisierungsstrategie

Aktualisierungsstrategie Write-Back

- Ein Datum wird von der CPU nur in den Cachespeicher geschrieben und durch ein spezielles Bit (dirty bit) gekennzeichnet.
- Der Arbeitsspeicher wird erst dann aktualisiert, wenn ein so gekennzeichnetes Datum aus dem Cache verdrängt wird.

Aktualisierungsstrategie Write-Through

- Ein Datum wird von der CPU immer gleichzeitig in den Cache- und in den Arbeitsspeicher geschrieben.

Aktualisierungsstrategie

Cache-Zugriff	Write-Through	Copy-Back
Read-Hit	Cache-Datum --> CPU	Cache-Datum --> CPU
Read-Miss	HS-Block, Tag --> Cache HS-Datum --> CPU 1 --> V	Cache-Zeile --> HS HS-Block, Tag --> Cache HS-Datum --> CPU 1 --> V, 0 --> D
Write-Hit	CPU-Datum --> Cache,HS	CPU-Datum --> Cache 1 --> D
Write-Miss	CPU-Datum --> HS	Cache-Zeile --> HS HS-Block, Tag --> Cache 1 --> V CPU-Datum --> Cache 1 --> D

Ersetzungsstrategien

- **Zyklisch** (der zuerst eingelagerte Eintrag wird auch wieder verdrängt, FIFOStrategie)
- **LRU-Strategie** (least recently used) der am längsten nicht mehr benutzte Eintrag wird entfernt

Roadmap

Aufgabe 1

Aufgabe

Gegeben seien ein direkt-abgebildeter Cache (**direct-mapped**), ein 2-fach satzassoziativer Cache (**2-way- set-associativ**) und ein vollassoziativer Cache (fully-associativ). Die drei Cachespeicher haben jeweils eine **Speicherkapazität von 64 Byte** und werden in **Blöcken von je 8 Byte** geladen. Die **Hauptspeicher- adresse umfasst 32 Bits**. Falls notwendig, wird die **Least Resently Used** -Ersetzungsstrategie LRU verwendet.

Aufgabe 1

Aufgabe

Geben Sie die Längen des Tag-Feldes und die Anzahl der erforderlichen Vergleicher für jede der drei Cache-Architekturen an.

Aufgabe 1

Aufgabe

Geben Sie die Längen des Tag-Feldes und die Anzahl der erforderlichen Vergleicher für jede der drei Cache-Architekturen an.

Lösung

Länge des Tag-Feldes und Anzahl der Vergleicher:

Cache	Länge des Tag-Feldes	Anzahl der Vergleicher
AV	29	8
DM	26	1
A2	27	2

Aufgabe 1

Aufgabe

Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen: Nehmen Sie an, die Caches seien zu Beginn leer. Ermitteln Sie, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Trffer (**Cache-Hit**) oder keinen Treffer (**Cache-Miss**) handelt.

$12, $8A, $9A, $6C, $34, $54, $68, $FE, $17

Aufgabe 1

Aufgabe

Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen: Nehmen Sie an, die Caches seien zu Beginn leer. Ermitteln Sie, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Trffer (**Cache-Hit**) oder keinen Treffer (**Cache-Miss**) handelt.

$12, $8A, $9A, $6C, $34, $54, $68, $FE, $17

Lösung

„-“ für Cache-Miss und „×“ für Cache-Hit:

Adresse:	$12	$8A	$9A	$6C	$34	$54	$68	$FE	$17
AV	—	—	—	—	—	—	×	—	×
DM	—	—	—	—	—	—	×	—	—
A2	—	—	—	—	—	—	×	—	—

Klausur/SS14

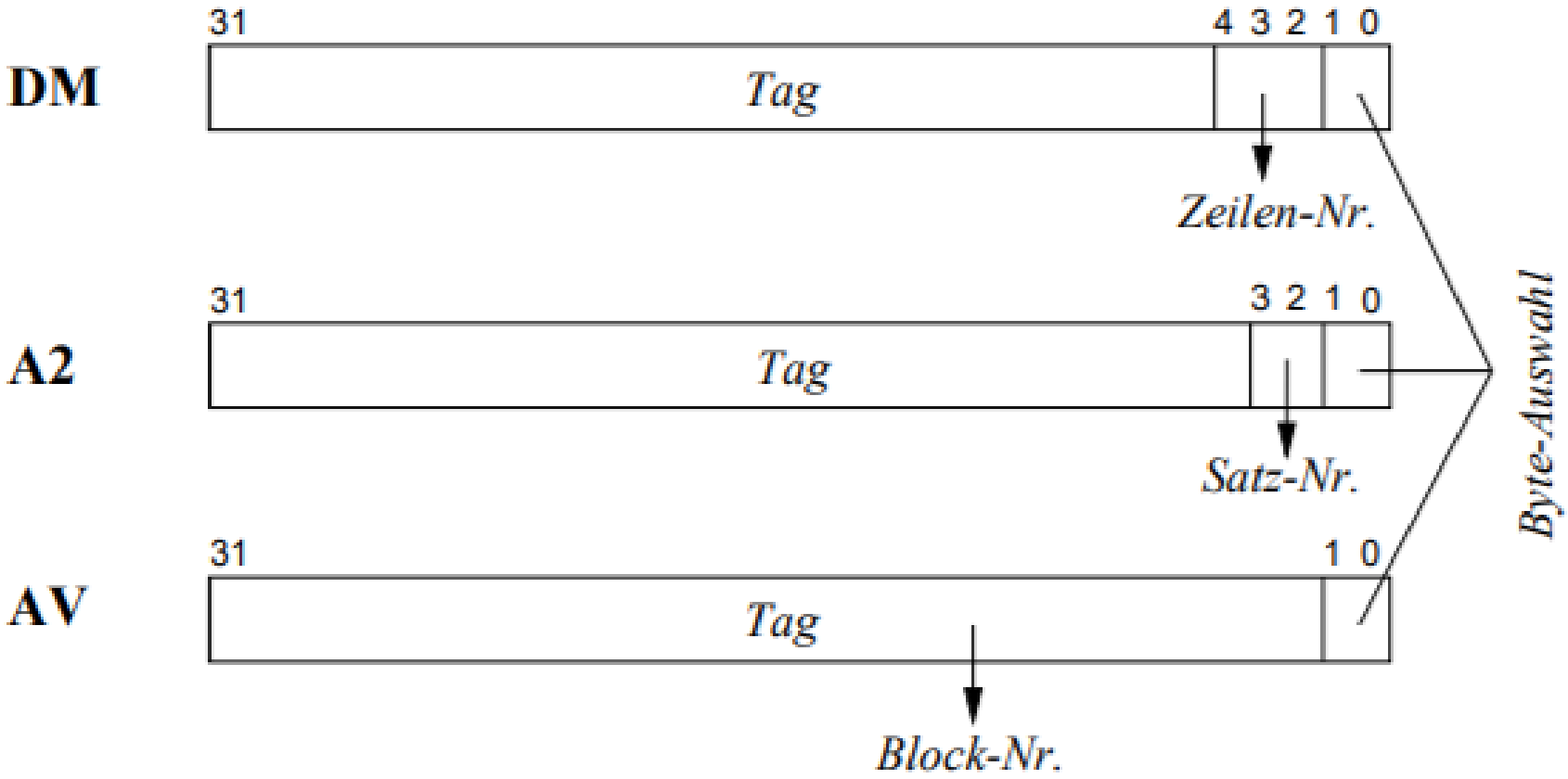
Aufgabe

Gegeben sind ein direkt-abgebildeter Cache (**direct mapped**; DM), ein 2-fach satzassoziativer Cache (**2-way-set-associativ**; A2) und ein vollassoziativer Cache (**fully-associativ**, AV). Die drei Cache-Speicher haben jeweils eine **Speicherkapazität von 32 Byte** und werden in **Blöcken von je 4 Byte** geladen. Die **Hauptspeicheradresse ist 32 bit** breit. Falls notwendig, wird die *Least Resently Used*- Ersetzungsstrategie verwendet. Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

0x0B, 0x2B, 0x07, 0x0C, 0x1E, 0x0A, 0x1A, 0x05, 0x04, 0x29

Skizzieren Sie die Unterteilung der Hauptspeicheradresse für die drei Cachearchitekturen

Lösung


DM
31
4 3 2 1 0
Tag
Zeilen-Nr.
A2
31
3 2 1 0
Tag
Satz-Nr.
AV
31
1 0
Tag
Block-Nr.
Byte-Auswahl

Klausur/SS14

Aufgabe

Gegeben sind ein direkt-abgebildeter Cache (**direct mapped**; DM), ein 2-fach satzassoziativer Cache (**2-way-set-associativ**; A2) und ein vollassoziativer Cache (**fully-associativ**, AV). Die drei Cache-Speicher haben jeweils eine **Speicherkapazität von 32 Byte** und werden in **Blöcken von je 4 Byte** geladen. Die **Hauptspeicheradresse ist 32 bit** breit. Falls notwendig, wird die *Least Resently Used*- Ersetzungsstrategie verwendet. Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

0x0B, 0x2B, 0x07, 0x0C, 0x1E, 0x0A, 0x1A, 0x05, 0x04, 0x29

Geben Sie die Anzahl der erforderlichen Vergleicher für jede der drei Cachearchitekturen an

Lösung

Cache	Anzahl der Vergleicher
DM	1
A2	2
AV	8

Klausur/SS14

Aufgabe

Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

0x0B, 0x2B, 0x07, 0x0C, 0x1E, 0x0A, 0x1A, 0x05, 0x04, 0x29

Nehmen Sie an, die Caches seien **zu Beginn leer**. Kennzeichnen Sie in der vorbereiteten Tabelle im Lösungsblatt für jeden Cache-Speicher, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen **Treffer** (Cache-Hit) oder um **keinen Treffer** (CacheMiss) handelt. Verwenden Sie dabei »×« für Cache-Hit und »-« für Cache-Miss

Lösung

Adresse:	0x0B	0x2B	0x07	0x0C	0x1E	0x0A	0x1A	0x05	0x04	0x29
DM	–	–	–	–	–	–	–	×	×	–
A2	–	–	–	–	–	×	–	×	×	–
AV	–	–	–	–	–	×	–	×	×	×

Was ihr jetzt kennen und können solltet…

- Funktionsweise eines Cachespeichers

Das wars