

7. Tutorium

Einführung in Speicherbausteine

Rechnerorganisation, Tutorium #13

Patrick Röper | 17. Dezember 2019

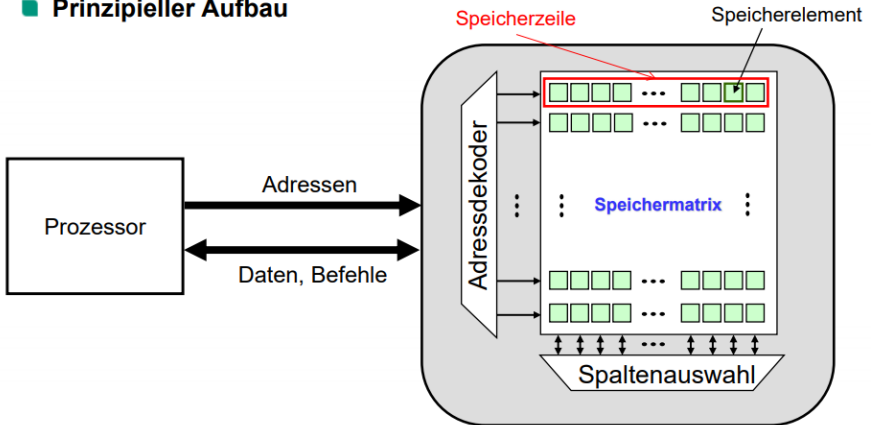
FAKULTÄT FÜR INFORMATIK



1 RAM

2 Aufgaben

■ Prinzipieller Aufbau



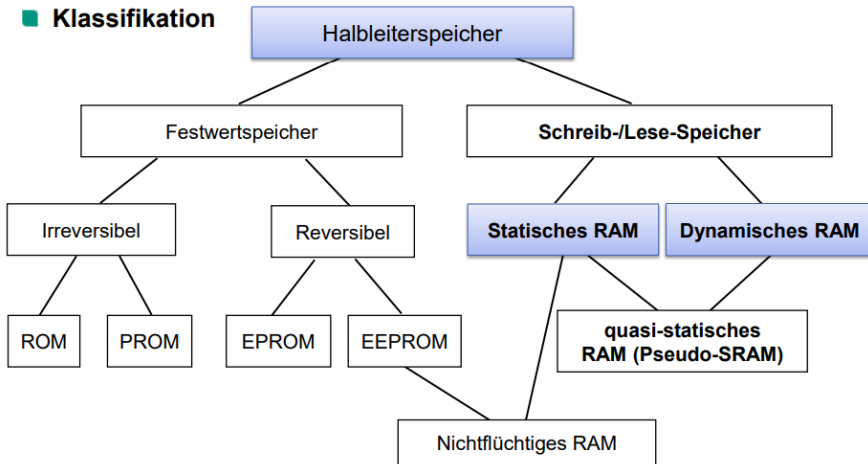
Prinzipieller Aufbau

- **Speicherelement (Speicherzelle):**
Speichert eine 1 Bit Information
- **Speichermatrix:**
Speicherzellen in Matrixform
Anwahl durch Zeile und Spalte
- **Speicherzeile:**
mehrere Bits innerhalb einer Zeile parallel zugreifen

Prinzipieller Aufbau

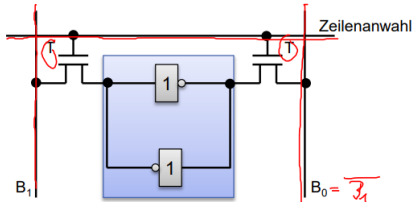
- **Wahlfreier Zugriff (random access):**
Adressierung über Speicherzeile mittels Zeilendekoder
- **Speicher-Organisation:**
n Zeilen, m Spalten
Angabe in der Form: $n \times m$ Bit
Bsp.: 4k x 8 Bit Speicher = 4096 Speicherzeilen je 8 Bit
- **Kapazität::**
Speichergröße:
 $n \times m$ Bit

■ Klassifikation



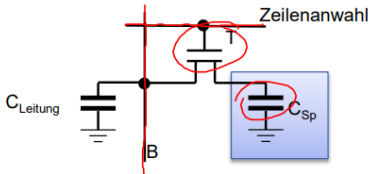
Statischer RAM-Baustein (SRAM)

- **Schneller** Zugriff aber **hohe Kosten**
- Begrenzte Speicherkapazitäten
- Typischerweise für Caches



Dynamischer RAM-Baustein (DRAM)

- **Langsamer** Zugriff, dafür **kostengünstiger**
- Etwa **4x so große** Speicherkapazität wie SRAMs
- Hauptspeicher



1 RAM

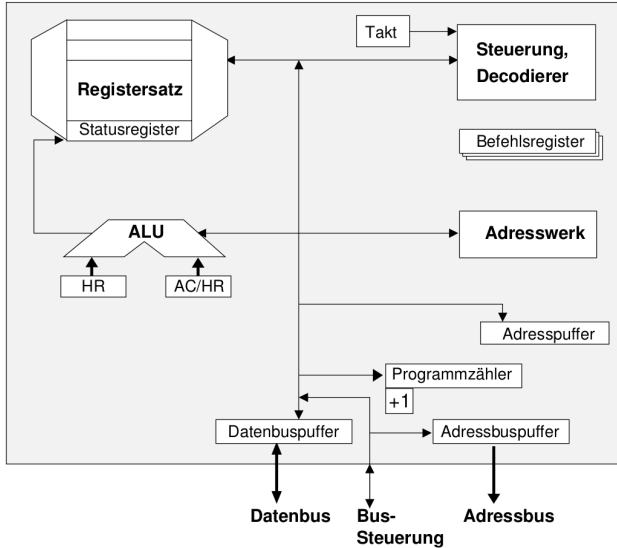
2 Aufgaben

Aufgabe

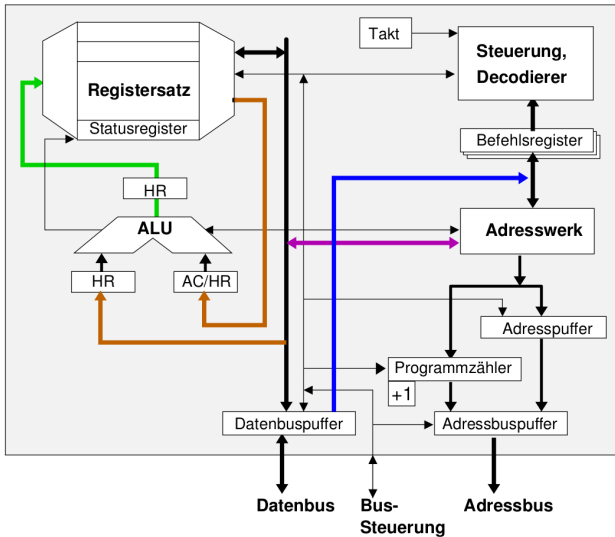
In Abbildung 1 ist der prinzipielle Aufbau eines Mikroprozessors mit dem internen Steuerbus dargestellt. Ihre Aufgabe besteht darin, die Architektur des internen Bussystems zu entwerfen, so dass eine hohe prozessorinterne Parallelität bei der Befehlsbearbeitung möglich ist. Das heißt:

- OpCode Prefetching.
- Gleichzeitiges Schreiben der ALU-Ergebnisse in den Registersatz und paralleles Laden der ALU- Eingänge mit Operanden aus dem Registersatz oder dem Datenbuspuffer (sofern nicht das gleiche Register hierfür benötigt wird).
- Direkter Zugriff des Adresswerks auf die Adressregister im Registersatz.

Aufgabe 1



Aufgabe1



Lösung

- OpCode Prefetching.
- Gleichzeitiges Schreiben der ALU-Ergebnisse in den Registersatz und paralleles Laden der ALU- Eingänge mit Operanden aus dem Registersatz oder dem Datenbuspuffer (sofern nicht das gleiche Register hierfür benötigt wird).
- Direkter Zugriff des Adresswerks auf die Adressregister im Registersatz.

Aufgabe

Wie werden EPROM- und EEPROM-Bausteine gelöscht?

Aufgabe

Wie werden EPROM- und EEPROM-Bausteine gelöscht?

Lösung

Ein EPROM wird gelöscht, indem man es einer starken ultravioletten Strahlung aussetzt. Ein EEPROM wird elektrisch gelöscht. Dies geschieht auf Anforderung des Mikroprozessors selbst.

Aufgabe

Wie wird die Information eines Bits in statischen und dynamischen RAM-Bausteinen gespeichert? Wie unterscheiden sich statische und dynamische RAM-Bausteine bezüglich des elektrischen Verhaltens?

Lösung

Die statischen RAMs (SRAM) speichern die Information in Flipflops. Diese halten eine einmal eingeschriebene Information solange, bis sie durch einen erneuten Speichervorgang verändert oder bis die Betriebsspannung ausgeschaltet wird.

Bei dynamischen RAMs (DRAM) wird die Information als elektrische Ladung in einem Kondensator abgespeichert. Beim Lesen wird der Kondensator entladen, so dass danach der gelesene Wert nach dem Lesen erneut eingeschrieben werden muss. Außerdem geht die Ladung nach einiger Zeit durch Leckströme kontinuierlich verloren, sodass sie in regelmäßigen Abständen wieder aufgefrischt werden muss (Memory Refresh).

Aufgabe

Das Bild zeigt die Belegung eines Adressraums von 64 KByte Adressen bei speicherbezogener Adressierung durch vier aneinandergrenzende Speicher- und Ein-/Ausgabebereiche (I/O): einen 32-KByte-RAM-Bereich, einen 4-KByte-EPROM-Bereich und zwei Ein-/Ausgabebereiche mit 256 und 8 Byte.

Aufpassen

64KByte bedeutet hier:

- 65536_{10} Byte
- 10000_{16} Byte

Bereichsauswahl bedeutet:

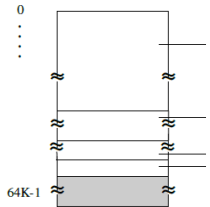
- Startadresse bis Endadresse
- Welche Bits bleiben unverändert

Aufgabe 3.1

Aufgabe

Das Bild zeigt die Belegung eines Adressraums von 64 KByte Adressen bei speicherbezogener Adressierung durch vier aneinandergrenzende Speicher- und Ein-/Ausgabebereiche (I/O): einen 32-KByte-RAM-Bereich, einen 4-KByte-EPROM-Bereich und zwei Ein-/Ausgabebereiche mit 256 und 8 Byte.

1. Geben Sie die Anfang- und Endadressen der Speicherbereiche in hexadezimaler Schreibweise an.



Lösung

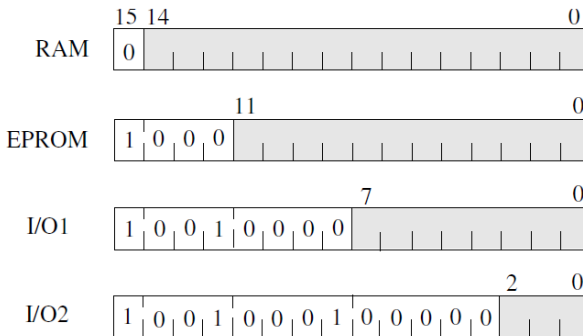
| Anfang | End | — |
|--------|--------|--------------------------------------|
| \$0000 | \$7FFF | für den RAM-Bereich (32 Kbyte) |
| \$8000 | \$8FFF | für den EPROM-Bereich (4 Kbyte) |
| \$9000 | \$90FF | für den (I/O)1-Bereich 1 (256 Byte), |
| \$9100 | \$9107 | für den (I/O)2-Bereich 2 (8 Byte). |

Aufgabe

Das Bild zeigt die Belegung eines Adressraums von 64 KByte Adressen bei speicherbezogener Adressierung durch vier aneinandergrenzende Speicher- und Ein-/Ausgabebereiche (I/O): einen 32-KByte-RAM-Bereich, einen 4-KByte-EPROM-Bereich und zwei Ein-/Ausgabebereiche mit 256 und 8 Byte.

2. Geben Sie die für die Bereichsauswahl erforderliche Unterteilung der 16-Bit-Adresse für jeden der Bereiche und die Werte der für die Bereichsauswahl signifikanten Bits an.

Lösung 3.2

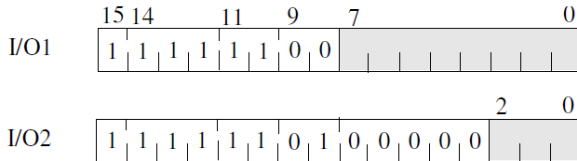


Aufgabe

Das Bild zeigt die Belegung eines Adressraums von 64 KByte Adressen bei speicherbezogener Adressierung durch vier aneinandergrenzende Speicher- und Ein-/Ausgabebereiche (I/O): einen 32-KByte-RAM-Bereich, einen 4-KByte-EPROM-Bereich und zwei Ein-/Ausgabebereiche mit 256 und 8 Byte.

3. Wie ändern sich die Adressfestlegungen zur Auswahl der beiden Ein-/Ausgabebereiche, wenn diese an den Anfang des letzten 1-KByte-Bereichs des Adressraums verschoben werden?

Lösung 3.3



Was ihr jetzt kennen und können solltet...

- Parallelität im Prozessor
- Halbleiterspeicher
- Aufbau und Organisation von Speicherbausteinen

