**Verilog第 二 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | Verilog第二次作业 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 |  |
| 实验地点 | A306 | | 实验时间 | 2023年11月8号 | |

1. **实验项目名称**
2. **实验目的**
3. **必修或选修**
4. **实验平台**
5. **实验内容及步骤**

1. 用自己的话总结always语句和assign语句的区别：

always语句用于描述组合逻辑或时序逻辑，通常包含在 always块中，用于响应时钟信号或触发事件，可以包含敏感于不同信号变化的敏感列表，以便在信号发生变化时执行操作。

assign语句用于将一个组合逻辑表达式连接到一个 wire`变量上，用于创建组合逻辑电路，初始化时执行一次，然后根据输入信号的变化自动更新输出，不需要时钟信号或敏感列表。

2.请写出下面三个常数的３２位宽的二进制、十进制、八进制、十六进制数的表示。

６５５３４

　　　－５

所有１６的倍数 （不用八进制）

|  |  |  |
| --- | --- | --- |
| 十进制数/进制 | 65534 | -5 |
| 二进制 | 32’b00000000000000001111111111111110 | 32’b11111111111111111111111111111011 |
| 十进制 | 32’d00000000000000000000000000065534 | -32’d5 |
| 八进制 | 32’o00000000000000000000000000177776 | -32’o00000000000000000000000000000005 |
| 十六进制 | 32’h0000000000000000000000000000FFFE | -32’h00000000000000000000000000000005 |

|  |  |
| --- | --- |
| 十进制数/进制 | 所有16的倍数（x表示几倍） |
| 二进制 | 32’b000000000000000000000000000x0000 |
| 十进制 | 32’dx\*16 |
| 十六进制 | 32’h000000000000000000000000000000x0 |

3. 用自己的话总结reg类型变量和wire类型变量的区别

reg类型变量通常用于描述寄存器类型的数据元素，可以存储状态信息，并在时钟信号的控制下进行更新，通常在 always块中使用，表示时序逻辑元素。

wire 类型变量用于描述连线或电线，用于连接组合逻辑元素，不具有状态。用于表示组合逻辑电路的输出或中间信号传输，并不需要时钟信号。

4.完成第三页PPT中的真值表

|  |  |  |
| --- | --- | --- |
| a(binary) | b(binary) | equal |
| 00 | 00 | 1 |
| 00 | 01 | 0 |
| 00 | 10 | 0 |
| 00 | 11 | 0 |
| 01 | 00 | 0 |
| 01 | 01 | 1 |
| 01 | 10 | 0 |
| 01 | 11 | 0 |
| 10 | 00 | 0 |
| 10 | 01 | 0 |
| 10 | 10 | 1 |
| 10 | 11 | 0 |
| 11 | 00 | 0 |
| 11 | 01 | 0 |
| 11 | 10 | 0 |
| 11 | 11 | 1 |