**Verilog第 5 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 统计32位2进制数0和1出现的次数的模块设计 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | 实验楼A306 | | 实验时间 | 2023.11.29 | |

1. **实验项目名称**

**请自行设计一个模块，完成统计32位2进制数0和1出现的次数**

1. **实验目的**

**练习自行设计verilog模块和for循环的运用**

1. **必修或选修**

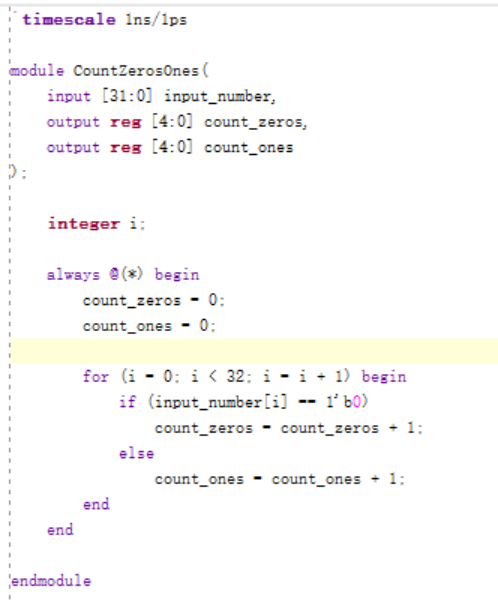
**选修**

1. **实验平台**

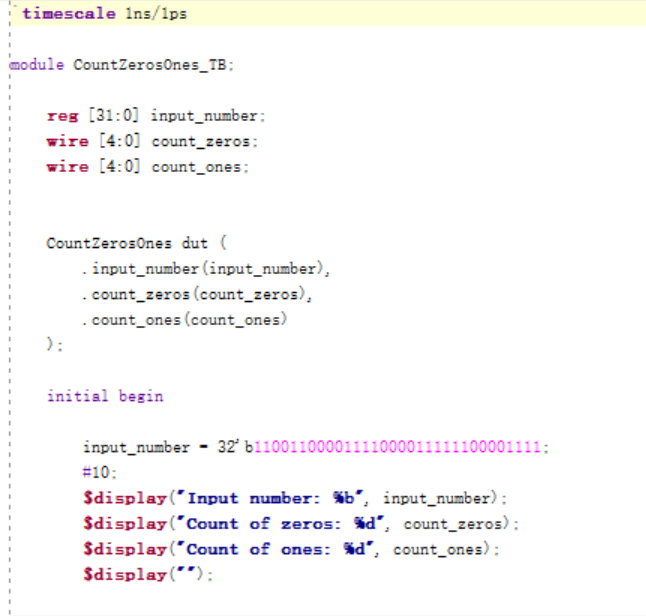
**vivado**

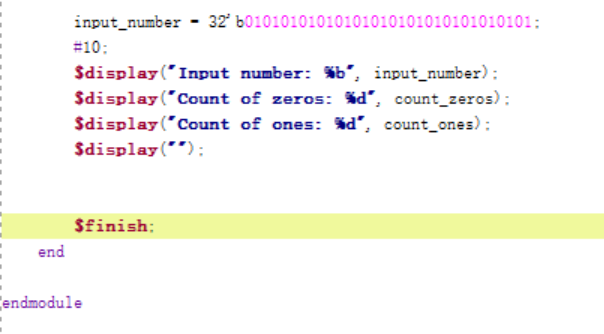
1. **实验内容及步骤：**

**（1）design文件：**

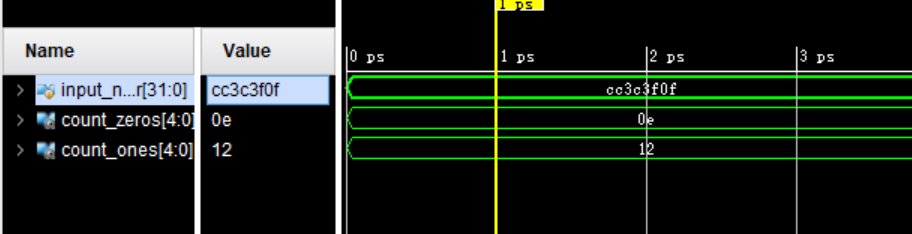
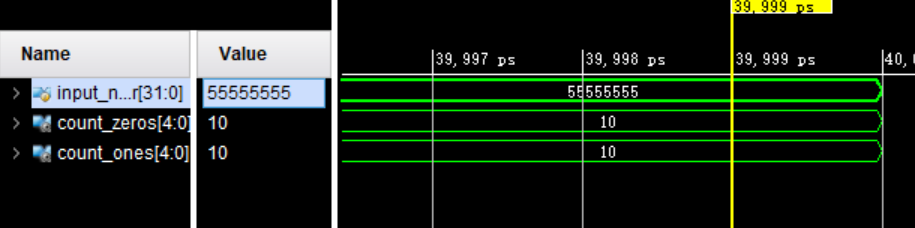
****

**（2）tb文件：**

****

****

**（3）波形图：**

****

1. **关键问题讨论**

**波形图第一个输入为cc3c3f0f（十六进制），即二进制的11001100001111000011111100001111，共有14个零和18个一，所以答案的十六进制的0e和12正确**

**波形图的第二个输入为十六进制的55555555（十六进制），即二进制的0和1交替输入，对应有16个一和16个零，所以答案正确**

1. **总结**

本节课讲了赋值语句（阻塞赋值和非阻塞赋值），以及块语句（begin-end和fork-join）还有预编译语句（include,define和timescale），然后本次作业主要用for循环实现了遍历输入的数组