**Verilog第 6 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 32位二进制乘法器 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | 实验楼A306 | | 实验时间 | 2023.12.06 | |

1. **实验项目名称**

32位二进制乘法器

1. **实验目的**

锻炼模块设计能力，掌握条件语句和循环语句的写作

1. **必修或选修**

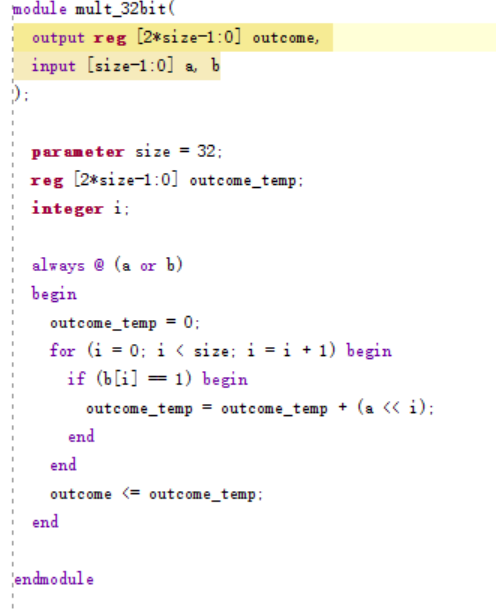
选修

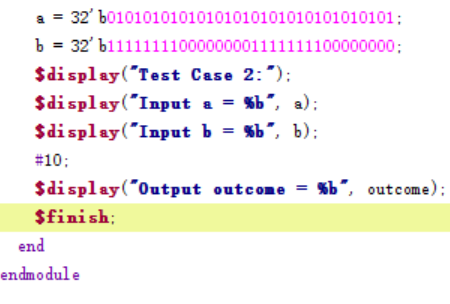
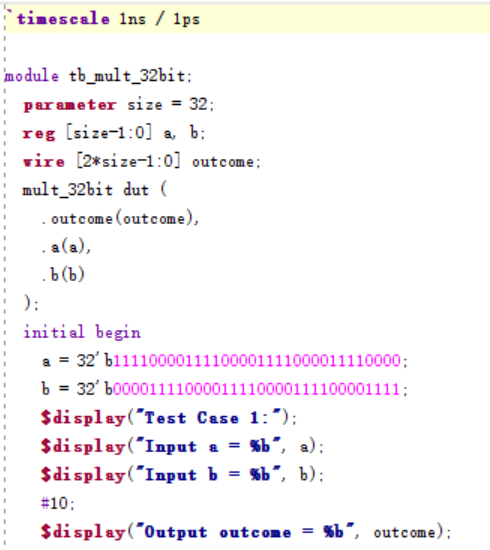
1. **实验平台**

vivado

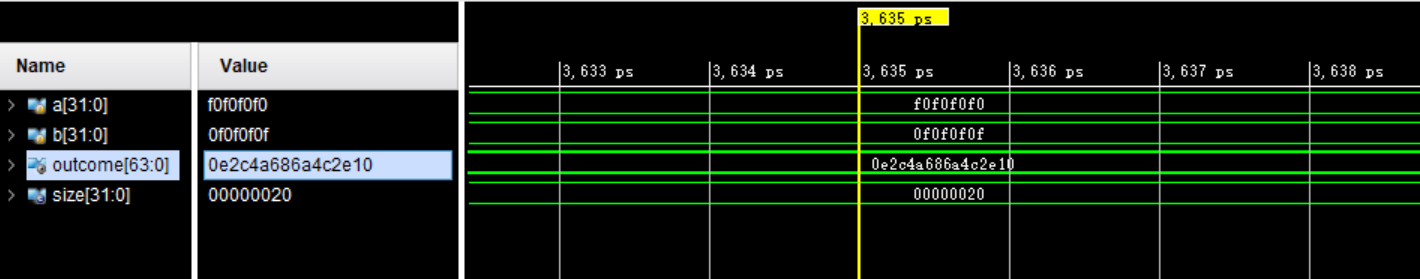
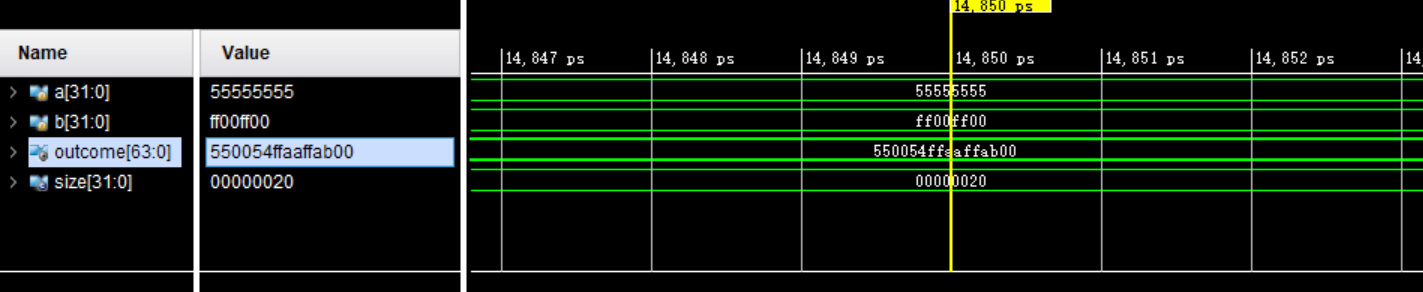
1. **实验内容及步骤**

design文件：

****

**tb文件：**

**波形图：**

****

1. **关键问题讨论**

测试用例 1(十进制表示）:

a=4293918352

b= 25165823

结果为：108060307667582496

测试用例 2（十进制表示）:

a=1431655765

b= 4294901760

结果为：6147393453869944000

经验算，结果均正确。

1. **总结**

本节课学会了如何使用verilog语言的循环语句和条件语句，并且对模块设计和计算机系统有了更深刻的认识，受益匪浅！