**Verilog第 七 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 七段数码管显示两个不同数字 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | 实验楼A306 | | 实验时间 | 2023.12.20 | |

1. **实验项目名称**

七段数码管显示两个不同数字

1. **实验目的**

掌握如何将verilog语言在实验箱上实现，操作七段数码管，掌握引脚的对应关系

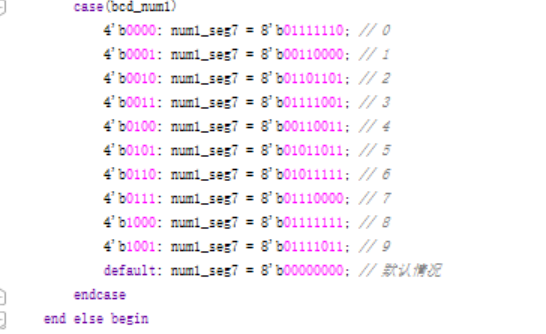
1. **必修或选修**

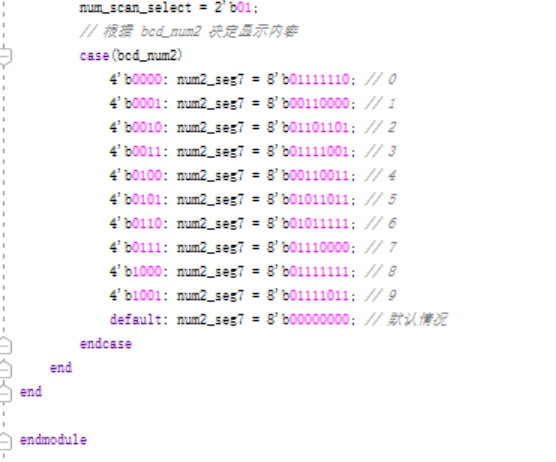
选修

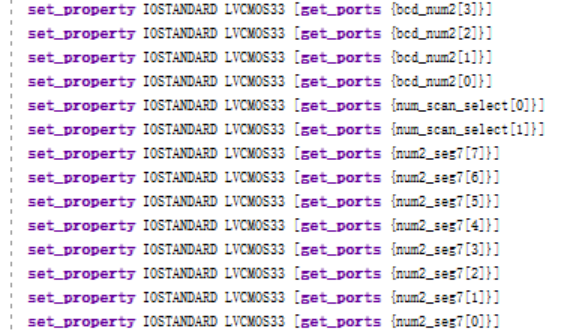
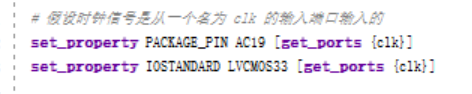
1. **实验平台**

vivado

1. **实验内容及步骤**

**design文件：**

****

**约束文件：**

1. **关键问题讨论**

**本次实验成功的关键是搞清楚变量之间的绑定关系，把寄存器和试验箱引脚绑定正确。关于思路方面，需要一个时钟信号控制两个不同数码管的开和关，以实现不同数码管显示不同数字的效果，并用一个寄存器的取反来代表时钟信号的正负。**

**实验过程中我发生了多次报错，原因有寄存器与引脚的绑定不对，时钟信号在代码中没有正确表达等，使我收获颇丰。**

1. **总结**

我在本次实验对实验箱的使用有了初步认识，对verilog代码在现实中的呈现有了自己的理解，进行一个全面的数字电路设计体验，通过Verilog编程控制数码管显示不同数字，连接Verilog模块到FPGA引脚的方法，了解了约束文件的重要性以确保设计在硬件上正确运行。通过数字逻辑控制数码管，为理解数字系统设计提供了宝贵的实践经验。