**Verilog第 三 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 设计简单的预算模块 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | A306 | | 实验时间 | 2023年11月19日 | |

1. **实验项目名称：**

**设计简单的预算模块**

1. **实验目的**

**掌握基础的verilog语言模块设计实现**

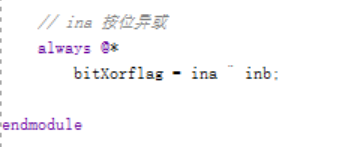
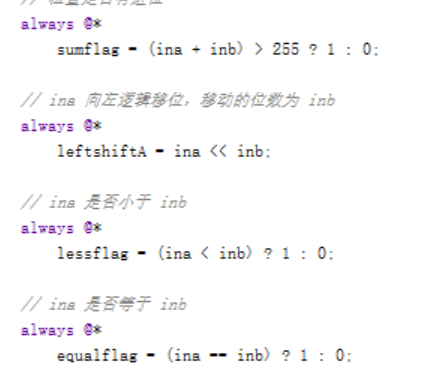
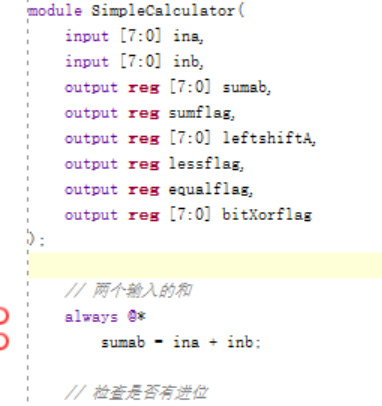
1. **必修或选修**

**选修**

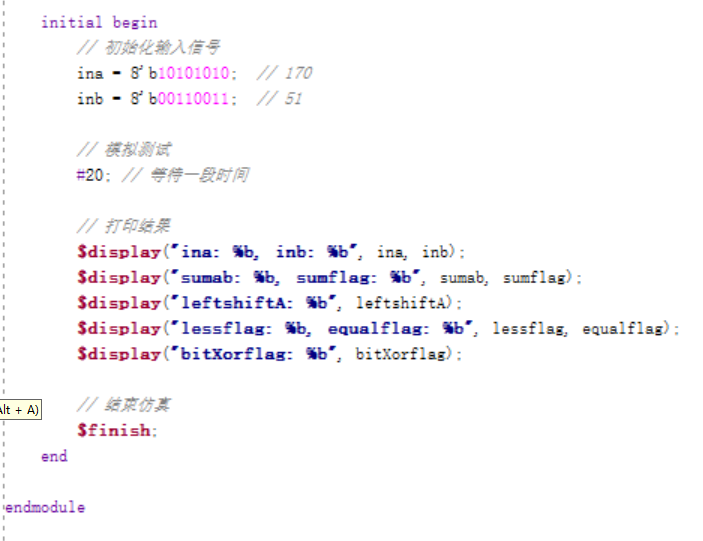
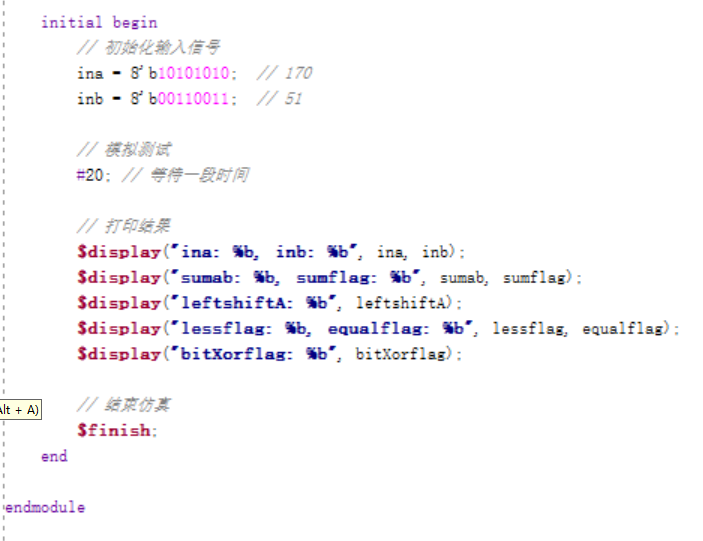
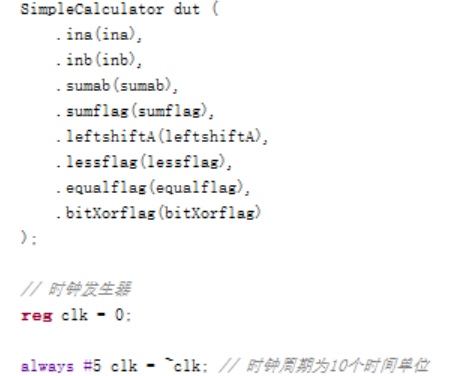
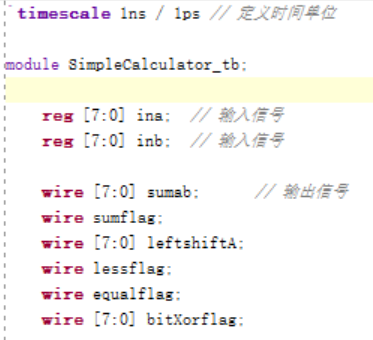
1. **实验平台**

**vivado**

1. **实验内容及步骤**

**（1）design 文件：**

**（2）tb文件：**

****

1. **总结**

本周重点学习了verilog语言中的各种运算符，如算术运算符，逻辑运算符等