**Verilog第 四 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 练习课：加法器的实现 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | 实验楼A306 | | 实验时间 | 2023.11.22 | |

1. **实验项目名称**

**一位、十六位、三十二位、特殊的选择进位加法器的实现**

1. **实验目的**

**掌握加法器的设计和原理，学会利用上层模块调用子模块**

1. **必修或选修**

**选修**

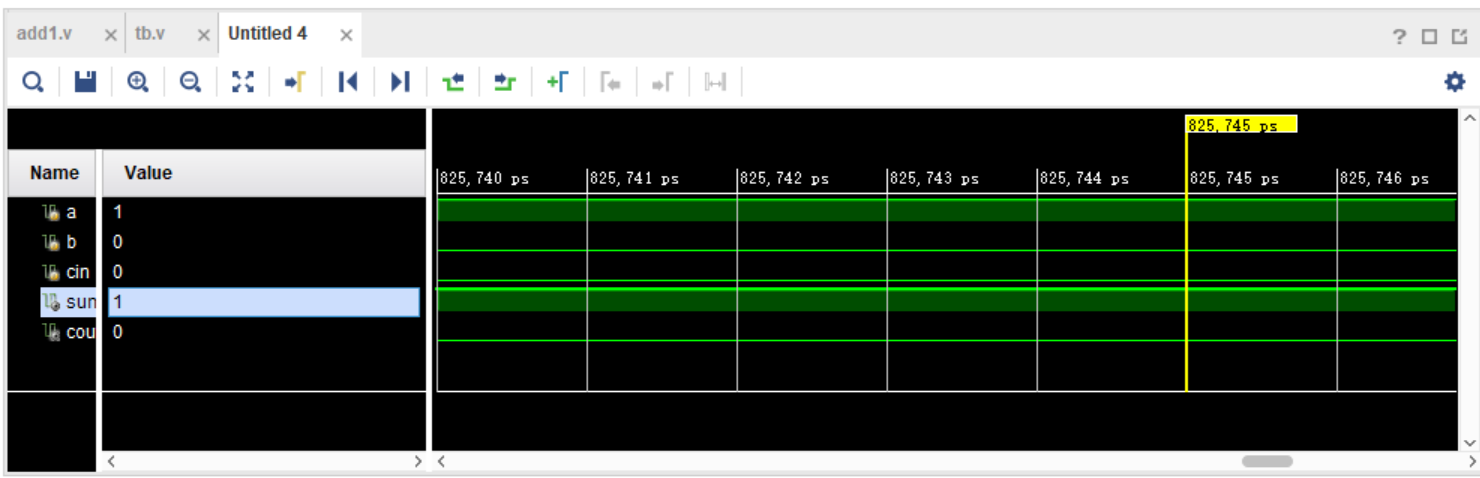
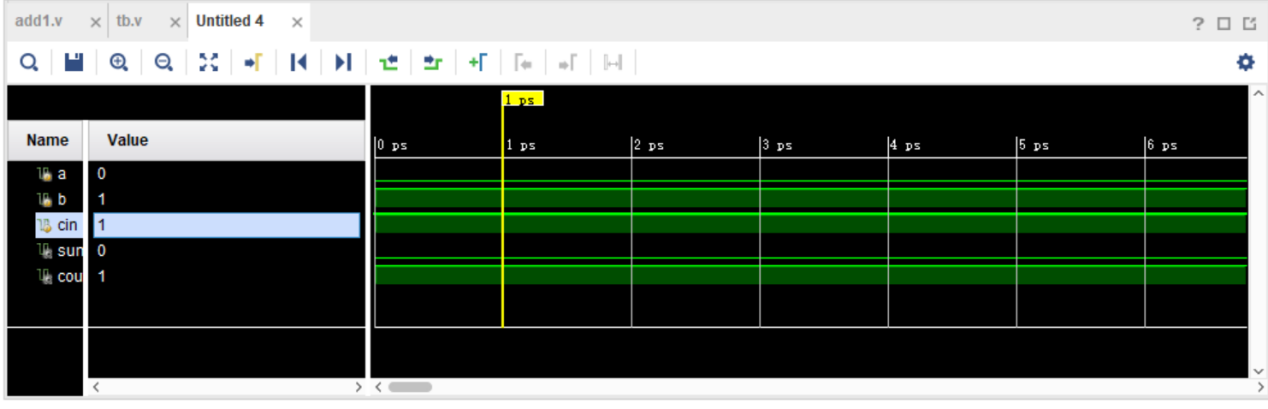
1. **实验平台**

**vivado平台**

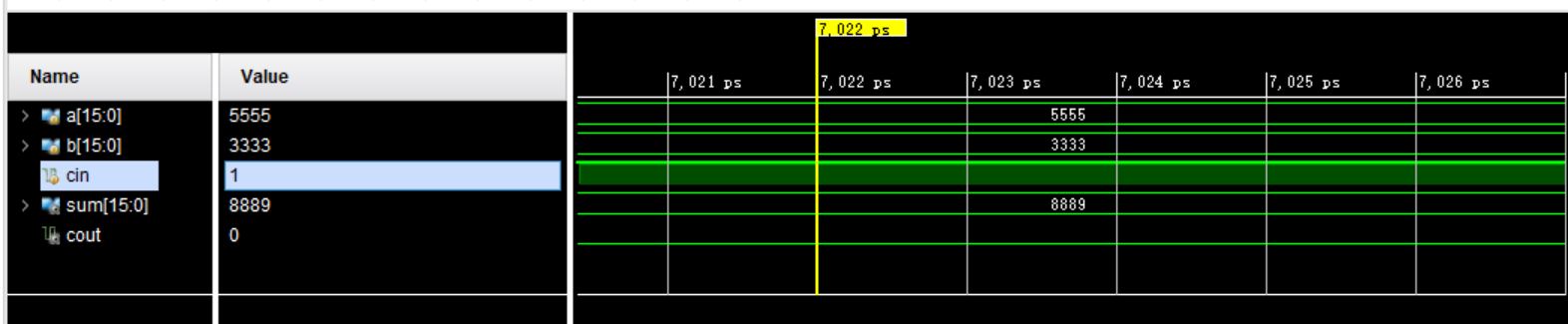
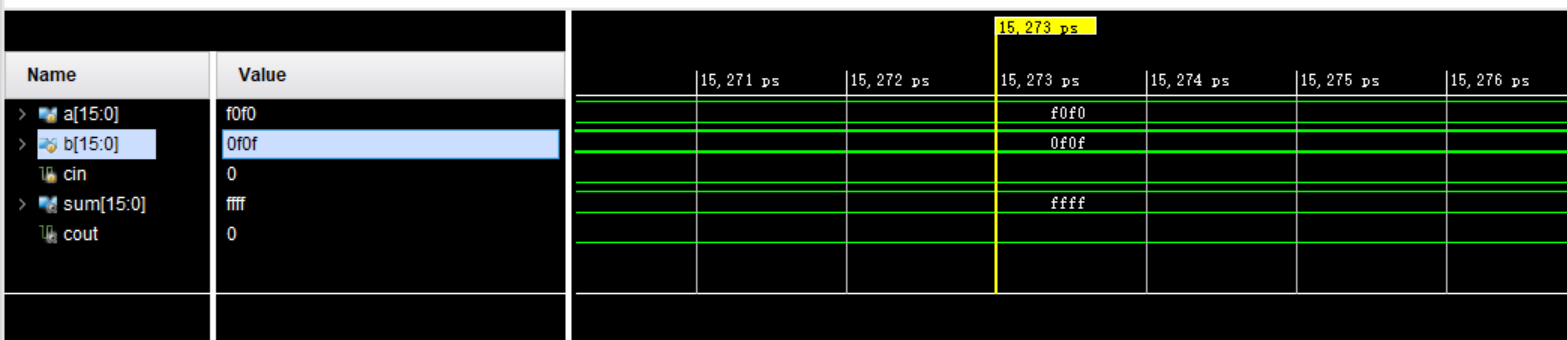
1. **实验内容及步骤**

**训练的仿真波形图：**

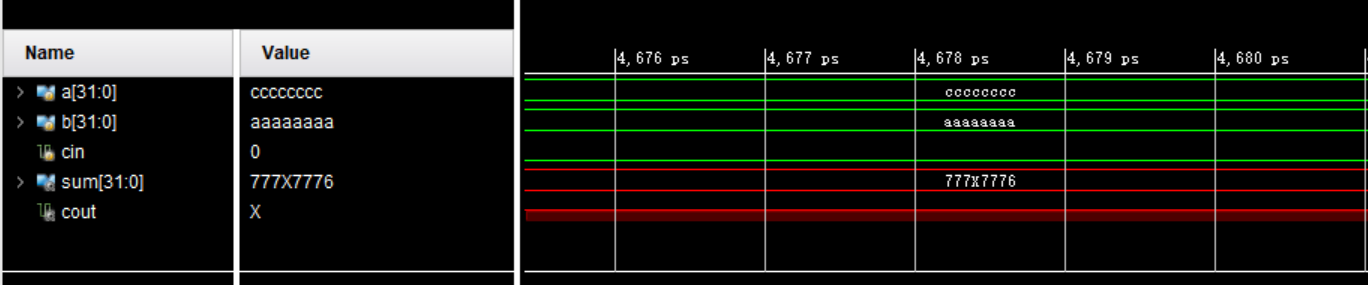
**实验一：**

****

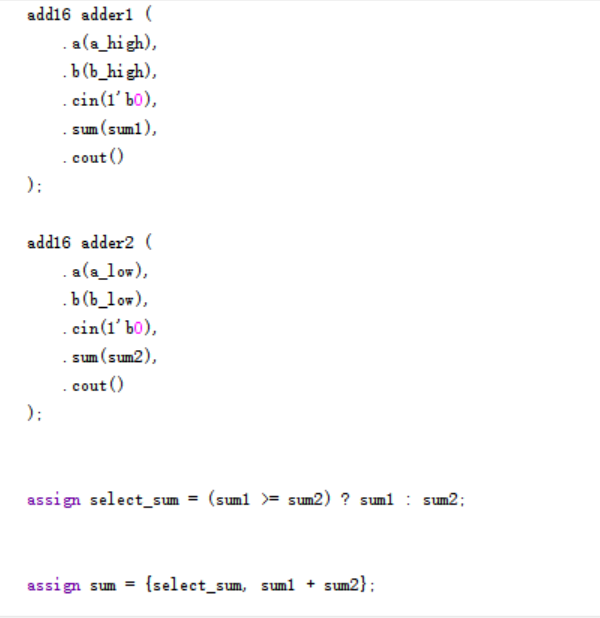
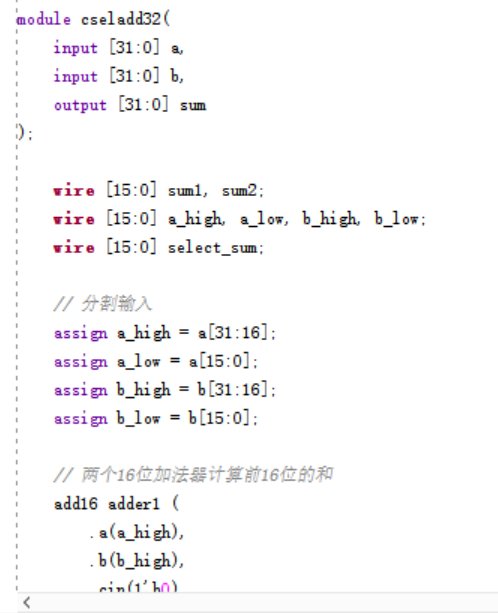
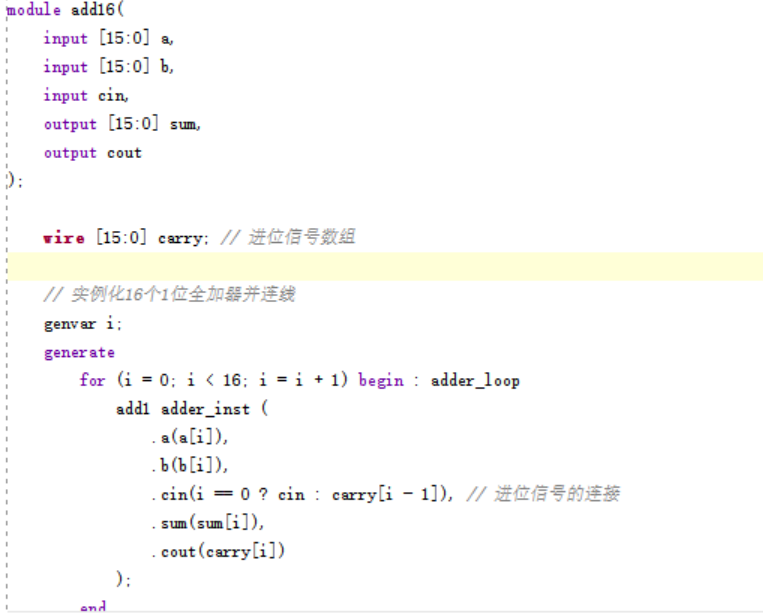
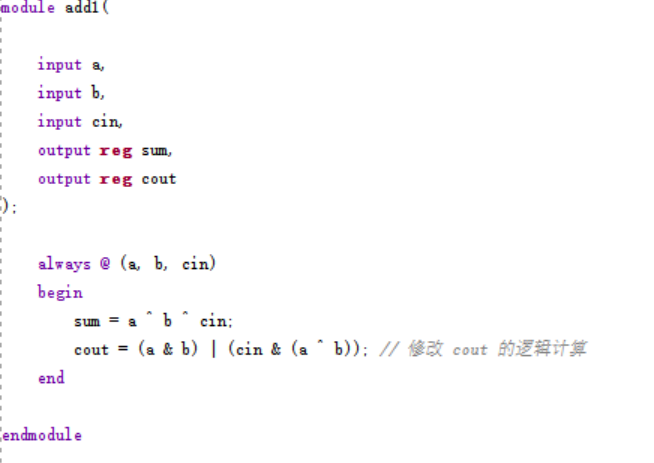
**实验二：**

****

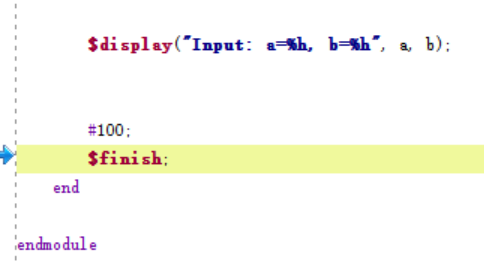
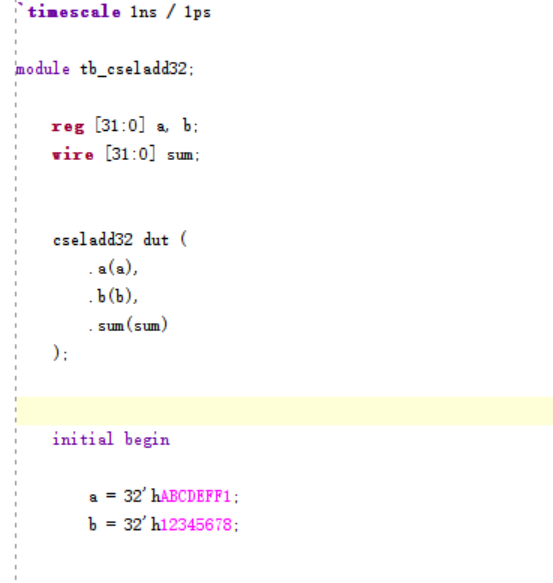
**实验三：**

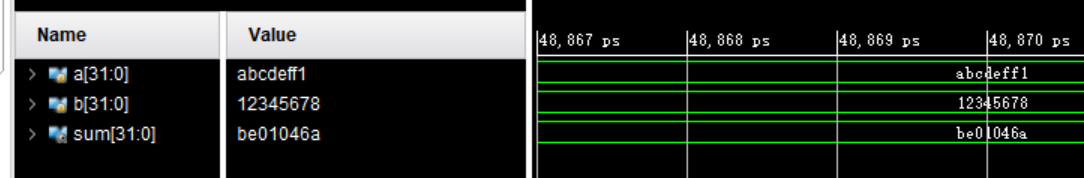
****

**作业：**

**源代码：**

**test bench:**

****

**波形图：**

1. **关键问题讨论**

超前进位加法器是一种旨在减少加法器延迟的优化设计。它通过预先计算进位信息，使得在主要的加法阶段需要的进位信息已经提前计算好，从而减少了延迟。基本思想是在加法器中引入预测或预先计算的进位值，使加法器在进行加法操作时不需要等待进位信号的传播。

超前进位加法器通过对输入位的组合进行分析，预先确定每位的进位信息。这通常需要更多的硬件逻辑来计算预测的进位值；设计通常引入更多的并行路径，使得进位信息能够更快地传播到加法器的后续阶段，减少延迟；超前进位加法器常常采用并行的预测逻辑来预测所有位的进位值，而不是逐位地传播进位；设计时可以考虑采用更加高效的逻辑电路来处理进位信息，比如采用逻辑移位器、快速的逻辑门电路等，以降低延迟。

将加法器分成多个段，在每段中预测和计算进位，以充分利用并行性。前进位加法器常常使用更多的硬件资源来换取更快的性能，因此需要在资源利用和时序优化之间找到平衡点。

在设计超前进位加法器时，需要考虑的因素包括硬件资源利用、时序约束、电路复杂度和功耗。最终的设计应该在这些因素之间找到一个最佳的平衡点，以满足性能要求并尽可能地减少延迟。

1. **总结**

通过本周的实验，我收获很多：学到很多关于数字逻辑和计算机组成的知识，了解了模块化设计，锻炼的测试台文件的编写，了解了进位传递和算术溢出问题，对数字系统和计算机组成有了更深刻的认知。