**Verilog第 八 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 期末设计：7路裁判打分电路 | | | | |
| 学生姓名 | 赵元鸣 | 学号 | 2211757 | 指导老师 | 董前锟 |
| 实验地点 | 实验楼A306 | | 实验时间 | 2023.12.26 | |

1. **实验项目名称**

#### 7路裁判打分电路（7个裁判各自在不同时刻打分，满分15分，输出平均整数得分，从第三个裁判给出分数开始，计算平均分时要去掉一个最高分和一个最低分）

1. **实验目的**

经历Verilog语言设计功能的总体流程，检验一学期的学习成果

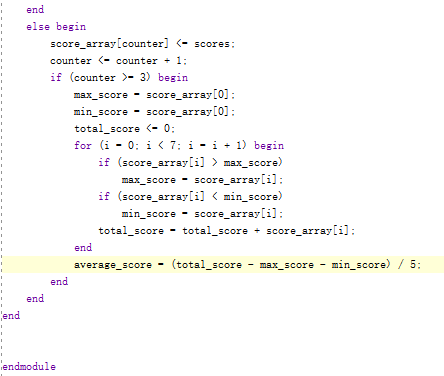
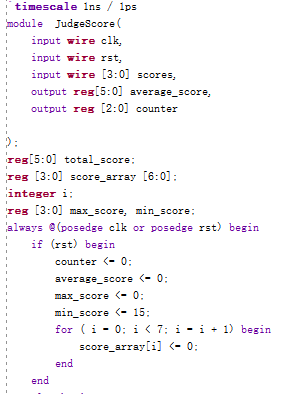
1. **必修或选修**

选修

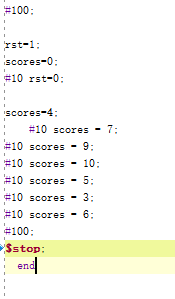
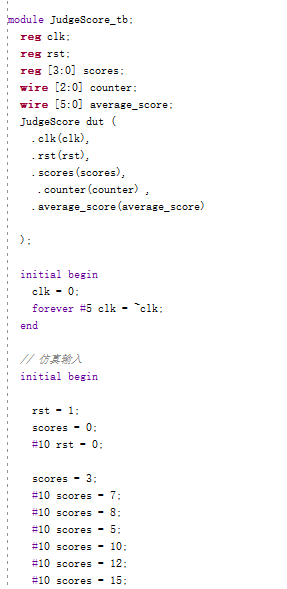
1. **实验平台**

vivado

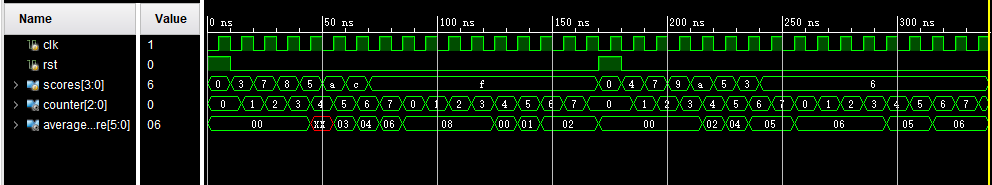
1. **实验内容及步骤**

**design文件：**

**tb文件：**

****

**波形图：**

****

1. **关键问题讨论**

**我的程序设计了一个评分系统，通过裁判给出的分数计算出平均得分。基于时钟信号和复位信号的控制，它接收7位裁判打分，统计并存储这些分数。初始时，在复位信号的作用下，所有计数器和存储分数的数组被清零。在时钟信号的驱动下，程序依次接收裁判的打分，将分数存入数组中，并逐步更新计数器。从第三位裁判开始，去掉一个最大值一个最小值计算平均值。当接收到足够的分数后，程序计算出总分数，并排除了最高分和最低分，然后计算出剩余分数的平均值。通过分数数组、计数器和额外的变量追踪和计算，最终得到了正确的平均得分。**

**在tb文件中设计了两组简单的检验，每组检验之间间隔100个时间单位，时钟信号5个时间单位反转一次，实现了3,7,8,5,10,12,15的总分计算和4,7,9,10,5,3,6的总分计算，结果分别是8和6，结果完全正确。**

1. **总结**

从本次实验我对Verilog语言的总体设计流程更加熟悉，对整学期的知识有了回顾。回顾这个学期的学习，我学到了关于Verilog语言的许多知识，对计算机的工作原理有个更多了解。感谢老师的教导，也希望我们这门Verilog课程越办越好！