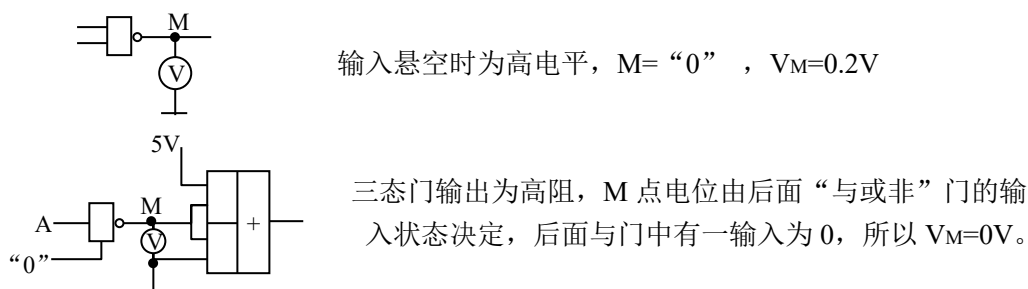
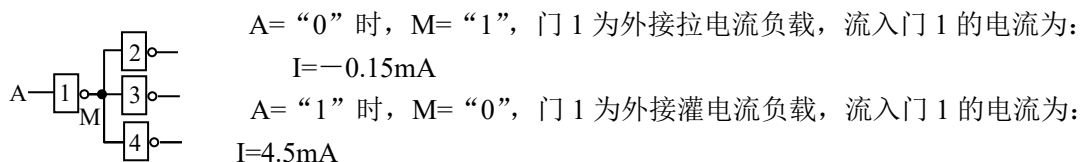


### 第三章集成门电路和触发器

- 3.5、图示电路为 TTL 门电路，若用高内阻电压表各图 M 点的电压，估算一下量测出 M 点的电压为多少伏，并说明理由。



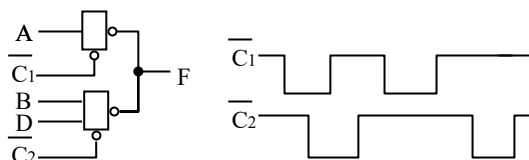
- 3.7、图示电路为 TTL 门电路，非门的输入短路电流  $I_{IL} = -1.5mA$ ，高电平输入电流为  $I_{IH} = 0.05mA$ ，当门 1 输入 A 为“1”或“0”时，问各流入门 1 输出端的电流为多少毫安？



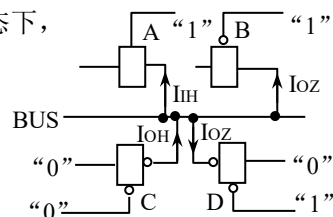
- 3.8、某同学按照上图线路做实验时，当 A=“1”时，M 点的电压  $V_M=1.6V$  左右，试分析原因。  
上图中门 1 的输出端断了，门 2、3、4 为高电平输入，此时  $V_M=1.6V$  左右。

- 3.9、图示电路为 TTL 三态门。三态门控制端  $\overline{C_1}$  和  $\overline{C_2}$  波形如图所示，试分析此电路能否正常工作，为什么？

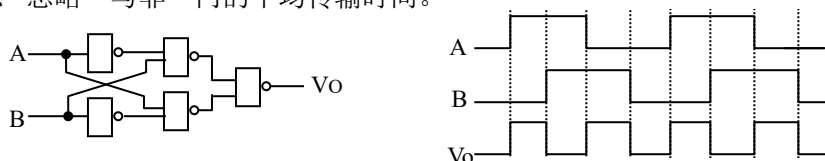
不能正常工作，因为  $\overline{C_1}$  和  $\overline{C_2}$  不能同时有效，即不能同时为低电平。



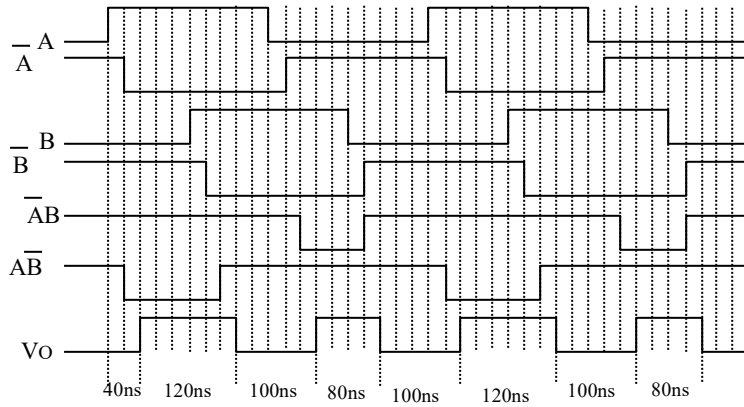
- 3.10、图示电路为一三态门工作系统，门 A、B 从总线接收数据；  
门 C、D 向总线发送数据。若电路工作在图上所标状态下，  
在图上标出电流的流向。



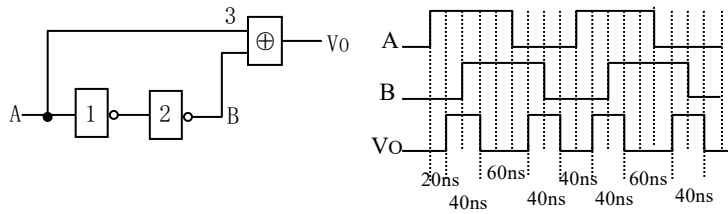
- 3.13、图为由 TTL “与非” 门组成的电路，输入 A、B 的波形如图所示，试画出  $V_O$  的波形。  
1、忽略“与非”门的平均传输时间。



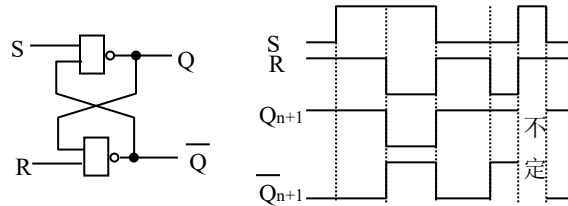
2、考虑“与非”门的平均传输时间  $t_{pd}=20\text{ns}$ 。



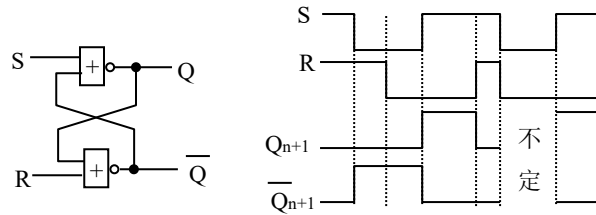
3.14、图中门 1、2、3 均为 TTL 门电路，平均延迟时间为  $20\text{ns}$ ，画出  $V_o$  的波形。



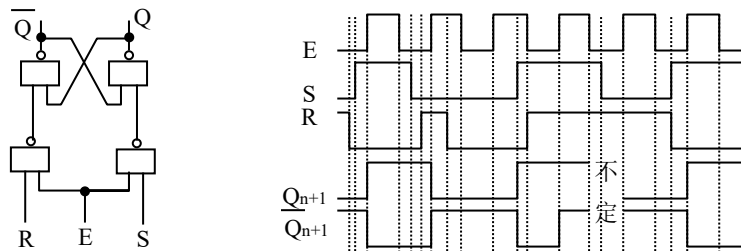
3.20、图示是“与非”门构成的基本触发器，输入 R、S 的波形如图所示，画出  $Q$  和  $\bar{Q}$  波形，并指出不定状态。



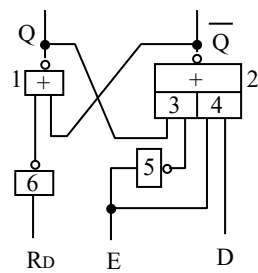
3.21、图示为由“或非”门构成的基本 RS 触发器，R、S 的输入波形如图所示，画出  $Q$  和  $\bar{Q}$  波形（不考虑传输时间），指出不定状态的区域。



3.22、RS 型电位触发器及它的输入 R、S、E 的波形如图所示，初态为 0。试画出  $Q$  和  $\bar{Q}$  波形，并指出触发器状态不定区域。



3.23、分析图示触发器的触发方式，并列出的功能表。



RD	E	D	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	×	0	1
0	1	D	0	$\bar{D}$
1	0	×	$Q_n$	$\bar{Q}_n$
1	1	D	D	$\bar{D}$

$$Q_{n+1} = \bar{R}_D + \bar{Q}_n \quad \bar{Q}_{n+1} = \overline{Q_n \bar{E} + DE}$$

$$R_D = 0 \text{ 时: } Q_{n+1} = 0 \quad \bar{Q}_{n+1} = \bar{D}E \quad \begin{cases} E=0 & \text{则 } \bar{Q}_{n+1} = 1 \\ E=1 & \text{则 } \bar{Q}_{n+1} = \bar{D} \end{cases}$$

$$R_D = 1 \text{ 时: } Q_{n+1} = Q_n \bar{E} + DE \quad \begin{cases} E=0 & \text{则 } Q_{n+1} = Q_n \\ E=1 & \text{则 } Q_{n+1} = D \end{cases}$$

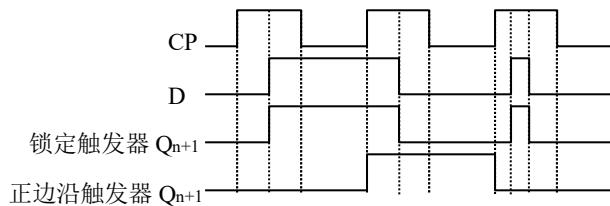
$$\bar{Q}_{n+1} = \overline{Q_n \bar{E} + DE} \quad \begin{cases} E=0 & \text{则 } \bar{Q}_{n+1} = \bar{Q}_n \\ E=1 & \text{则 } \bar{Q}_{n+1} = \bar{D} \end{cases}$$

从功能表可以看出：RD 对 Q 端清零；E 为时钟输入；D 为数据输入。

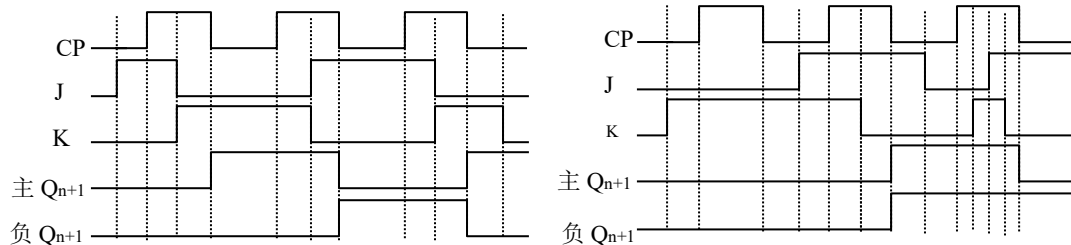
$$\text{特性方程: } Q_{n+1} = D \quad (E=1)$$

由于在 E=1 期间 Q 随 D 的变化而变化，所以该触发器为正电位触发方式。

3.26、1.按图（a）所示的输入波形，分别画出锁定触发器，正边沿 D 触发器的输出波形。

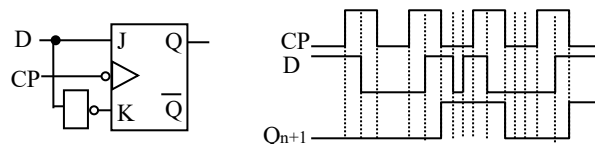


2.按图（b）所示 JK 触发器的输入波形，试画出主从触发器及负边沿 JK 触发器的输出波形。

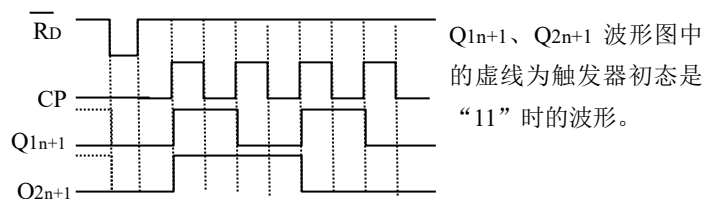
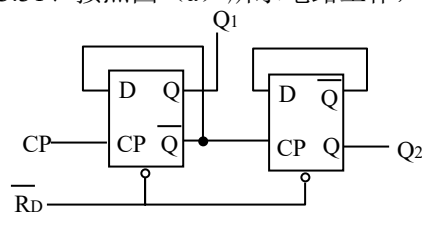


3.30、如果 CP 和 D 输入的波形如图（b）所示，画出如图（a）所示电路的输出波形。

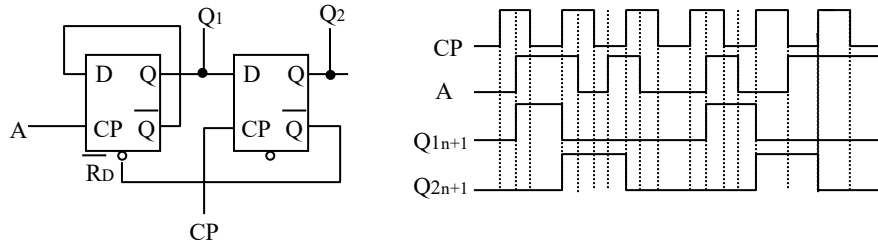
设：触发器初态为零。



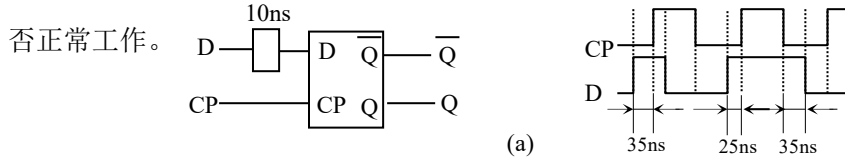
3.31、按照图（a）所示电路工作，在 CP 端加脉冲如图（b）所示，画各个触发器的输出波形。



- 3.32、在图（a）所示电路中，A、CP 的波形如图（b）所示。先将触发器置为“00”状态。画出触发器 Q<sub>1</sub> 和 Q<sub>2</sub> 的输出波形。



- 3.34、某正边沿 D 触发器的  $t_{su} = 20ns$ ,  $t_h = 5ns$ ,  $t_{pd_{CP \rightarrow Q, \bar{Q}}} = 35ns$ ，分析下图（a）（b）所示电路能否正常工作。

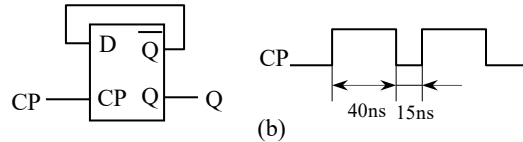


对于（a）图电路，系统的建立时间应为： $t_{su_{vss}} = t_{su_{FF}} + t_{pd} = 30ns$ ，而所给出的时序图中，当第二个 CP  $\uparrow$  到来时，建立时间只有 25ns，系统不能正常工作。

对于（b）图电路，第二个 CP  $\uparrow$  到来

的时间只有  $15ns < t_{su} = 20ns$ 。系统

不能正常工作。

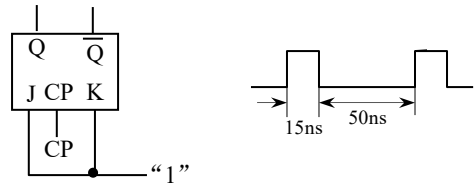


- 3.35、主从 JK 触发器的数据建立时间为 20ns，时钟到输出的传输延迟时间为 25ns，加如图所示的 CP 脉冲，能否使触发器处在正确计数状态。

由  $t_{W_{CP=1}} = 15ns$ ,  $t_{su} = 20ns$

$$\therefore t_{W_{CP=1}} < t_{su}$$

$\therefore$  电路不能正确计数。



- 3.36、已知正边沿 D 触发器的最小数据建立时间  $t_{su} = 20ns$ 。由时钟正跳变沿到输出 Q 和  $\bar{Q}$  的传输延迟分别为  $t_{P_{LH}} = 14ns$  和  $t_{P_{HL}} = 20ns$ ，为保证 D 触发器可靠运行，选时钟脉冲低电平宽度为 30ns。（1）求触发器的最高运行频率  $f_{max} = ?$ （2）如果门 G 的延迟时间为  $t_{pd_G} = 10ns$ ，求该系统的最高运行频率  $f_{max} = ?$ （3）若门 G 的延迟时间为  $t_{pd_G} = 15ns$ ， $f_{max} = ?$

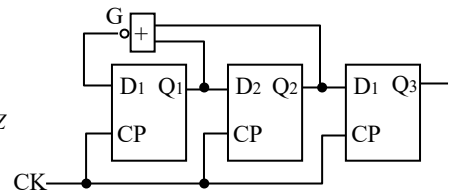
$\therefore t_{W_{CP=0}} = 30ns > t_{su} = 20ns \therefore$  触发器工作正常。

$$(1) f_{max} = \frac{1}{t_{W_{CP=0}} + t_{pd_{CP \rightarrow Q_{max}}}} = \frac{1}{30 + 20} = 20MHz$$

(2)  $\therefore t_{su} + t_{pd_G} = 30ns = t_{W_{CP=0}} \therefore$  系统工作正常。

$$f_{max} = \frac{1}{t_{su} + t_{pd_G} + t_{pd_{CP \rightarrow Q_{max}}}} = \frac{1}{10 + 20 + 20} = 20MHz$$

(3)  $\therefore t_{su} + t_{pd_G} = 35ns > t_{W_{CP=0}} \therefore$  系统不能正常工作。



#### 第四章组合逻辑电路

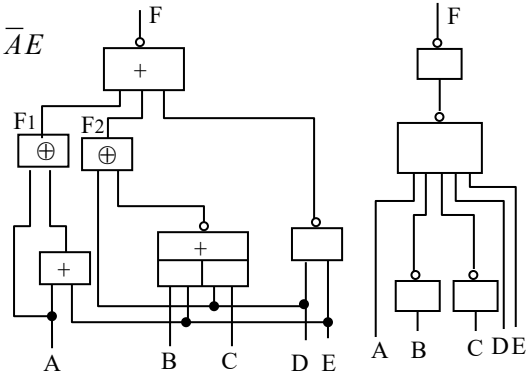
4.1、分析图示电路：(1) 已知 F 为高电位，问 A、B、C、D、E 这 5 点电位如何？

(2) 用“与非”门改进这个图的设计。

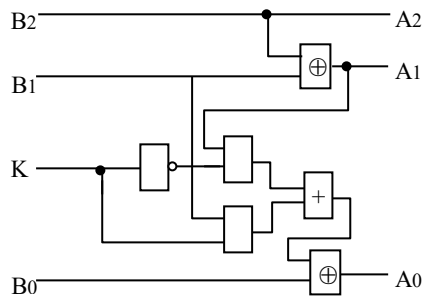
$$F_1 = A \oplus (A + E) = A(\overline{A + E}) + \overline{A}(A + E) = \overline{A}E$$

$$\begin{aligned} F_2 &= D \oplus (\overline{BE + CD}) \\ &= D(BE + CD) + \overline{D}(\overline{DE + CD}) \\ &= BDE + CD + \overline{D}(\overline{B + E})(\overline{C + D}) \\ &= BDE + CD + \overline{B} \overline{C} \overline{D} \\ &\quad + \overline{B} \overline{D} + \overline{C} \overline{D} \overline{E} + \overline{D} \overline{E} \\ &= BDE + CD + \overline{B} \overline{D} + \overline{D} \overline{E} \end{aligned}$$

$$\begin{aligned} F &= \overline{F_1 + F_2 + DE} \\ &= \overline{\overline{A}E + BDE + CD + \overline{B} \overline{D} + \overline{D} \overline{E} + \overline{D} + \overline{E}} \\ &= \overline{\overline{A} + B + C + \overline{D} + \overline{E}} = AB \overline{C} DE \end{aligned}$$



4.5、分析图示电路，列出 K=1, K=0 时，输出的逻辑表达式，写出功能表，说明逻辑功能。



			K=1			K=0		
B2	B1	B0	A2	A1	A0	A2	A1	A0
0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	1
0	1	0	0	1	1	0	1	1
0	1	1	0	1	0	0	1	0
1	0	0	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0
1	1	0	1	0	1	1	0	0
1	1	1	1	0	0	1	0	1

$$\begin{aligned} A_0 &= (\overline{K}A_1 + KB_1) \oplus B_0 \\ &= \overline{K}(B_2 \oplus B_1) \oplus B_0 + (KB_1) \oplus B_0 \end{aligned}$$

K=1 时:  $A_0 = B_1 \oplus B_0$

$$A_1 = B_2 \oplus B_1$$

$$A_2 = B_2$$

K=0 时:  $A_0 = B_2 \oplus B_1 \oplus B_0$

$$A_1 = B_2 \oplus B_1$$

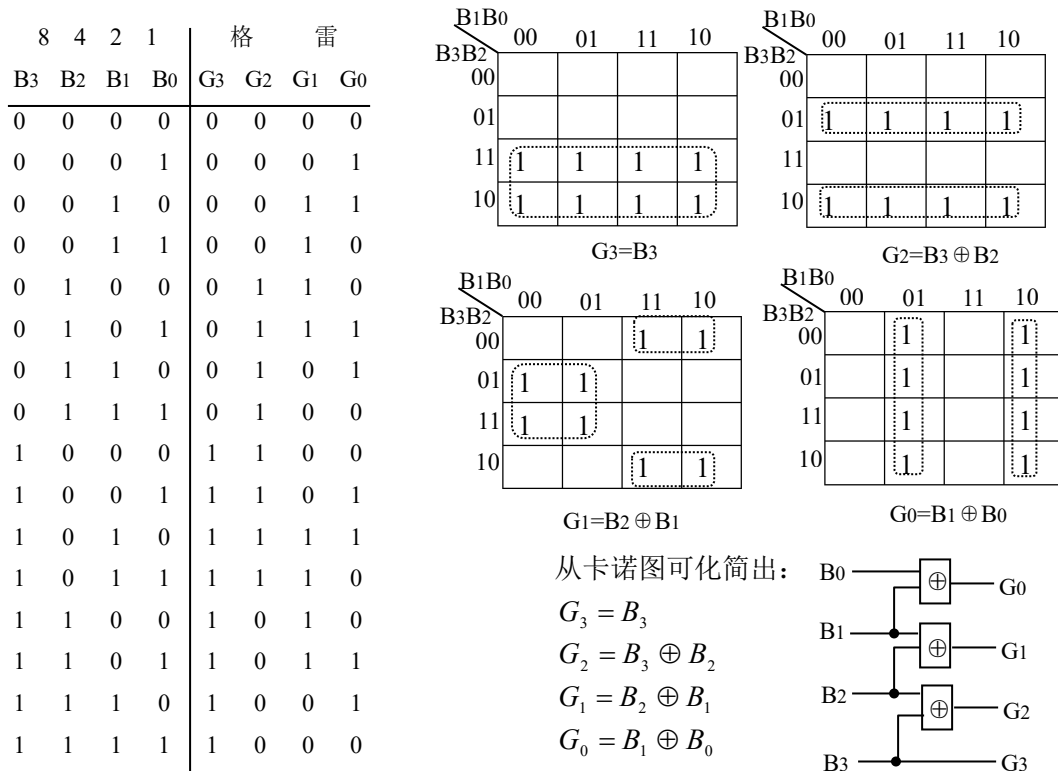
$$A_2 = B_2$$

从功能表中看出：

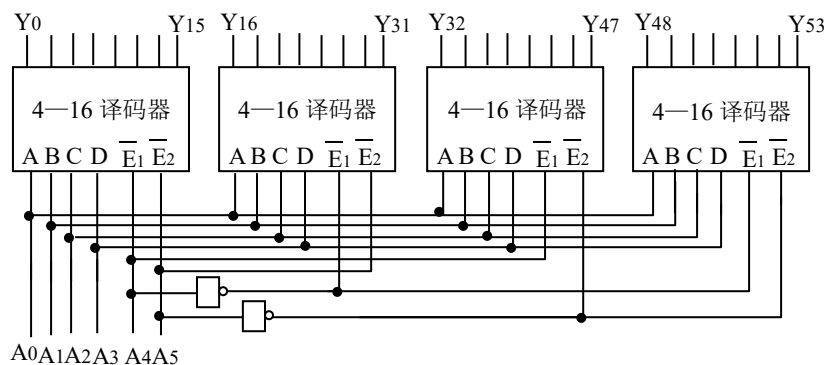
K=1 时电路实现二进制码到格雷码的转换；

K=0 时功能不详。

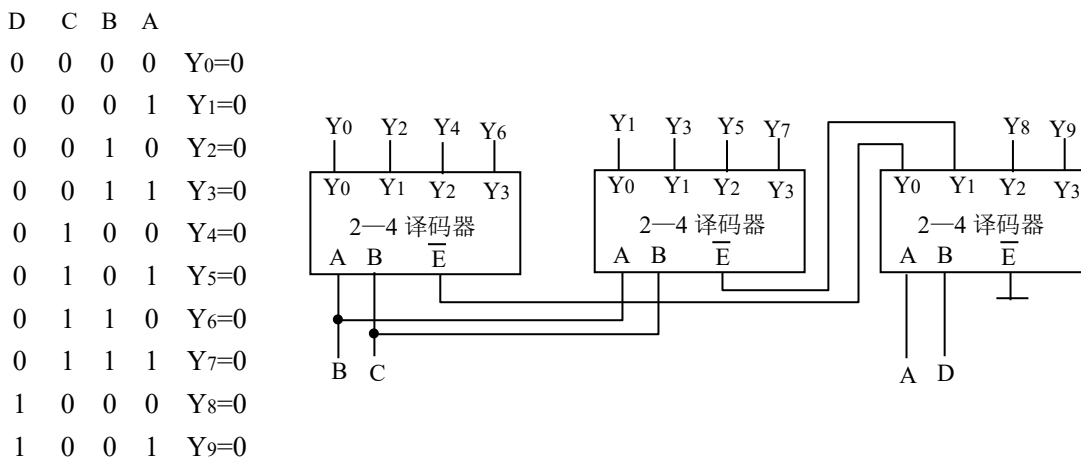
4.8、设计一个 8421 码转换成格雷码的转换电路。列出表达式，用“异或”门实现之。



4.14、用四输入 16 线输出的变量译码器及“与非”门，设计一个六输入 64 输出的变量译码器电路。



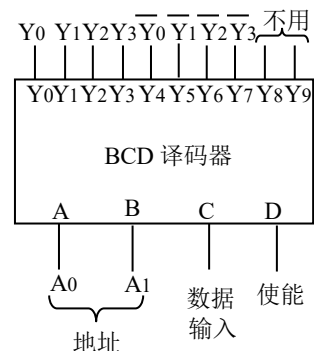
4.15、用 3 个 2 输入 4 输出变量译码器实现一个非完全译码的 BCD 译码器（不用其他门）。



4.16、用完全译码的 BCD 译码器组成有“使能”控制，有 4 对互补输出的数据分配器，并列出功能表。

方法一：

使能	数据	地 址	输 出	
D	C	B (A <sub>1</sub> ) A (A <sub>0</sub> )	Y <sub>0</sub> Y <sub>1</sub> Y <sub>2</sub> Y <sub>3</sub> Y <sub>4</sub> Y <sub>5</sub> Y <sub>6</sub> Y <sub>7</sub>	
1	×	×	×	1 1 1 1 1 1 1 1
0	[0]	0	0	[0] 1 1 1 [1] 1 1 1
0	[1]	0	0	[1] 1 1 1 [0] 1 1 1
0	[0]	0	1	1 [0] 1 1 1 [1] 1 1
0	[1]	0	1	1 [1] 1 1 1 [0] 1 1
0	[0]	1	0	1 1 [0] 1 1 1 [1] 1
0	[1]	1	0	1 1 [1] 1 1 1 [0] 1
0	[0]	1	1	1 1 1 [0] 1 1 1 [1]
0	[1]	1	1	1 1 1 [1] 1 1 1 [0]



方法二：BC 作地址，A 作数据输入，D 作使能。

方法三：AC 作地址，B 作数据输入，D 作使能。

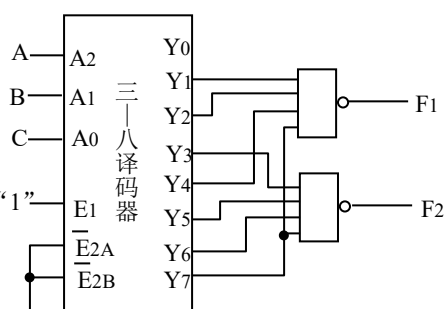
4.18、用一个 3 输入 8 输出的变量译码器及两个 4 输入“与非”门组成一位全加器、全减器电路。

(1) 实现全加器：A—被加数 B—加数 C—低位的进位 F<sub>1</sub>—本位和 F<sub>2</sub>—向高位的进位

A	B	C	F <sub>1</sub>	F <sub>2</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$F_1 = \sum m^3(1,2,4,7,$$

$$F_2 = \sum m^3(3,5,6,7, \text{“1”})$$

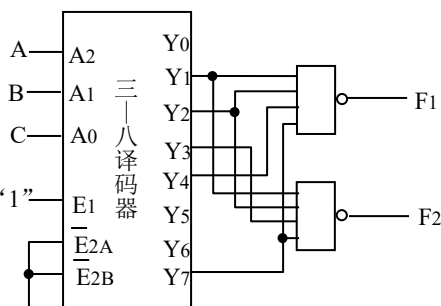


(2) 实现全减器：A—被减数 B—减数 C—低位的借位 F<sub>1</sub>—本位差 F<sub>2</sub>—向高位的借位

A	B	C	F <sub>1</sub>	F <sub>2</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

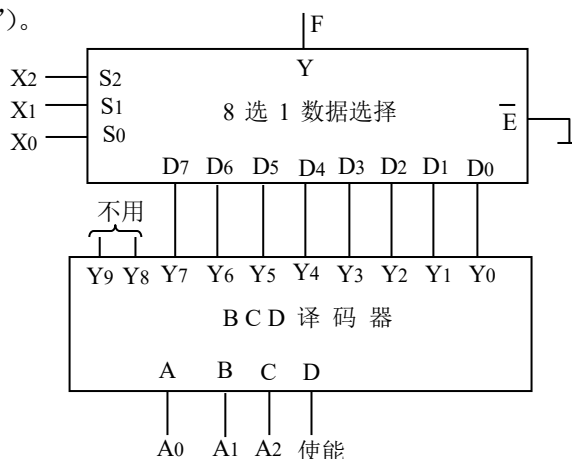
$$F_1 = \sum m^3(1,2,4,7,$$

$$F_2 = \sum m^3(1,2,3,7, \text{“1”})$$



4.19、用 BCD 译码器，8 选 1 数据选择器及“与非”门组成能控制的 3 位并行等值比较器，列其功能表（要求比较器禁止时输出为“1”）。

D	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	F
1	×	×	×	×	×	×	1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	1	0	0	0
0	1	0	1	1	0	1	0
0	1	1	0	1	1	0	0
0	1	1	1	1	1	1	0



当  $A_2A_1A_0 = X_2X_1X_0$  时  $F=0$ , 其余时  $F=1$ 。D=1 时，输出总为 1。

4.21、用 8 选 1 数据选择器实现下列函数：

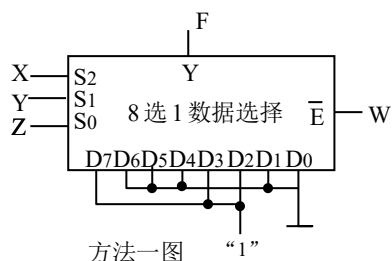
$$(1) F = \overline{X}YZ + (XZ + \overline{XZ})W + \overline{X} \overline{Y} \overline{W}$$

$$= \overline{X}YZ + XZW + \overline{XZ}W + \overline{X} \overline{Y} \overline{W} = \overline{X}YZ + W + \overline{X} \overline{Y}$$

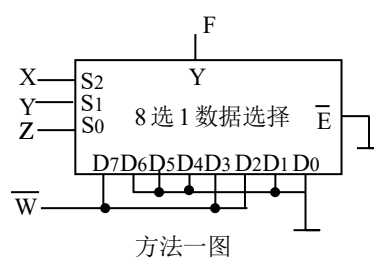
方法一：从函数式可以看出：W=1 时，F=0；W=0，XYZ=010、011、111 时，F=1

方法二：继续化简  $F = (\overline{X} + YZ)\overline{W} + (X + Y)W = \overline{X}Y\overline{W} + XYZ\overline{W} + YZ\overline{W}$

$$= \overline{X} \overline{Y} \overline{Z} 0 + \overline{X} \overline{Y} Z 0 + \overline{X} Y \overline{Z} \overline{W} + \overline{X} Y Z \overline{W} + X \overline{Y} \overline{Z} 0 + X \overline{Y} Z 0 + X Y \overline{Z} 0 + X Y Z \overline{W}$$



方法一图 “1”



方法二图

$$(2) F = \sum m^4(0,1,2,3,8,9,10,11)$$

$$F = \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C \overline{D} + \overline{A} \overline{B} C D + \overline{A} B \overline{C} \overline{D} + \overline{A} B \overline{C} D + \overline{A} B C \overline{D} + \overline{A} B C D$$

方法一：F =  $\overline{B} \overline{C} \overline{D} \cdot 1 + \overline{B} \overline{C} D \cdot 1 + \overline{B} C \overline{D} \cdot 0 + \overline{B} C D \cdot 0 + B \overline{C} \overline{D} \cdot 1 + B \overline{C} D \cdot 1 + B C \overline{D} \cdot 0 + B C D \cdot 0$

$$= (m_0 \cdot 1 + m_1 \cdot 1 + m_2 \cdot 0 + m_3 \cdot 0 + m_4 \cdot 1 + m_5 \cdot 1 + m_6 \cdot 0 + m_7 \cdot 0)$$

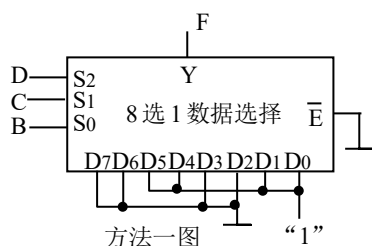
从函数式中可以看出：F 的取值与 A 无关。

方法二：F =  $(\overline{A} \overline{B} \overline{D} + \overline{A} \overline{B} D + \overline{A} B \overline{D} + \overline{A} B D + A \overline{B} \overline{D} + A \overline{B} D + A B \overline{D} + A B D) \overline{C}$

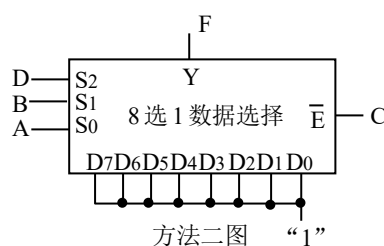
$$= (m_0 + m_1 + m_2 + m_3 + m_4 + m_5 + m_6 + m_7) \cdot \overline{C}$$

从函数式中可以看出：C=0 时，不管 A、B、D 取何值，F 总为 1；

C=1 时，不管 A、B、D 取何值，F 总为 0；



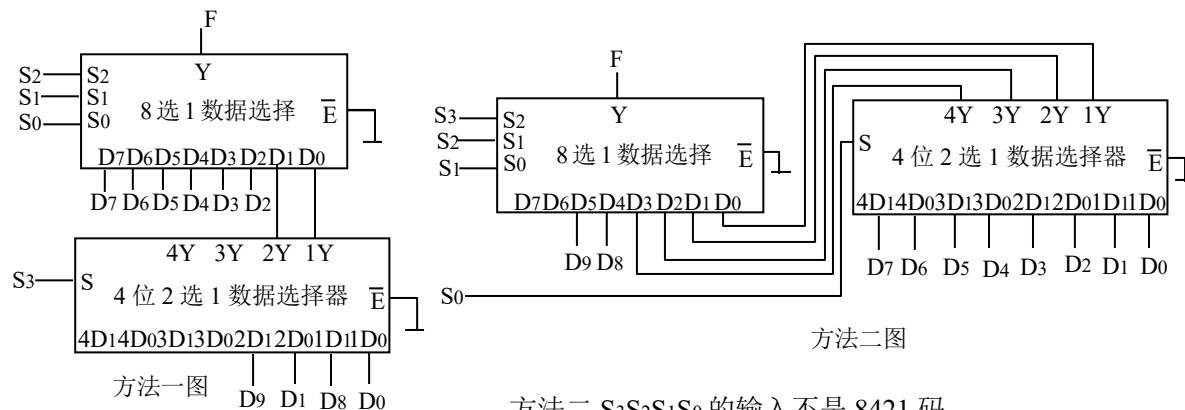
方法一图 “1”



方法二图 “1”

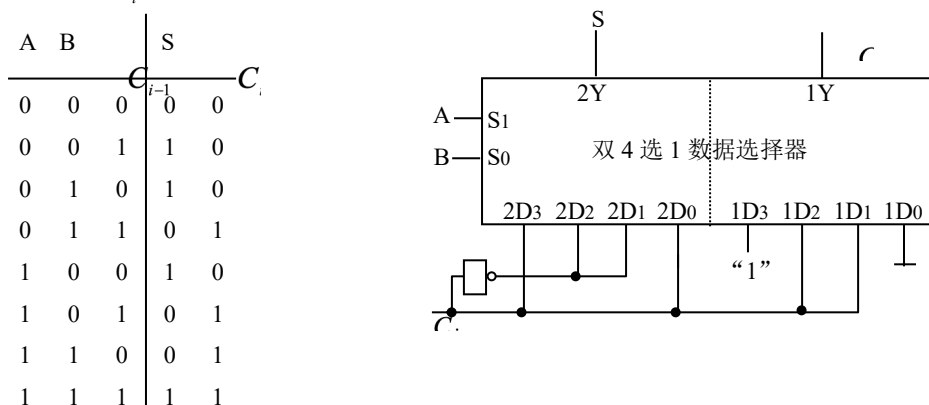


4.22、设计一个 10 选 1 数据选择器，要求：（2）只能用一块 8 选 1 数据选择器和一块 4 位 2 选 1 数据选择器。

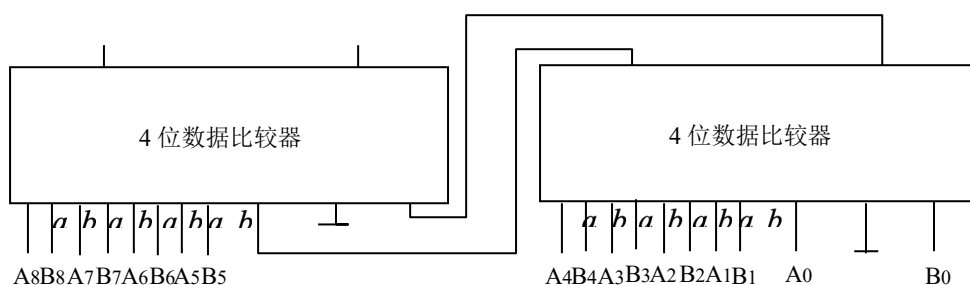


方法二  $S_3S_2S_1S_0$  的输入不是 8421 码。

4.23、用双 4 选 1 数据选择器实现全加器。输入量为 A、B、；进位输入为  $C_{i-1}$ ，输出量为全加和 S 及进位输出  $C_i$ 。



4.24、试用两块 4 位数据比较器，实现 9 位并行数据比较，画出逻辑电路图。



4.25、图示为 4 位全加器的逻辑符号，其中  $A_3A_2A_1A_0$  为被加数， $B_3B_2B_1B_0$  为加数， $C_n$  为低位进位， $C_3$  和  $S_3S_2S_1S_0$  为进位和全加和。试用这个器件和最少的门，设计一个两个 4 位二进制数的大小比较器。

A=B 时:  $a_i = b_i$      $a_i + \bar{b}_i = a_i + \bar{a}_i = 1$ ; 则  $A_3A_2A_1A_0 + \bar{B}_3\bar{B}_2\bar{B}_1\bar{B}_0 = S_3S_2S_1S_0 = 1111$

A>B 时:  $A_3A_2A_1A_0$      $B_3B_2B_1B_0$      $\bar{B}_3\bar{B}_2\bar{B}_1\bar{B}_0$

1	×	×	×
0	1	×	×
0	0	1	×
0	0	0	1

0	×	×	×
0	0	×	×
0	0	0	×
0	0	0	0

1	×	×	×
1	1	×	×
1	1	1	×
1	1	1	1

从上表中可以看出：

$$A_3A_2A_1A_0 + \overline{B_3}\overline{B_2}\overline{B_1}\overline{B_0} = C_3S_3S_2S_1S_0 = 1 \times \times \times \times;$$

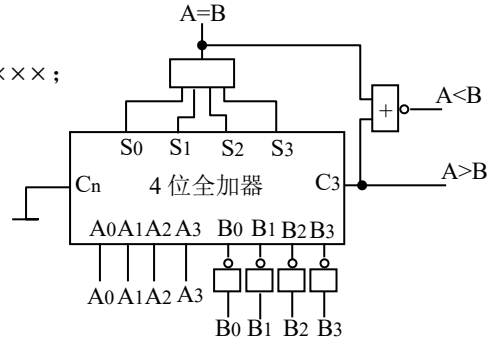
即  $C_3 = 1$  时， $A > B$ 。

A < B 时：

$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	$\overline{B_3}\overline{B_2}\overline{B_1}\overline{B_0}$
0 × × ×	1 × × ×	0 × × ×
0 0 × ×	0 1 × ×	1 0 × ×
0 0 0 ×	0 0 1 ×	1 1 0 ×
0 0 0 0	0 0 0 1	1 1 1 0

从上表中可以看出： $A_3A_2A_1A_0 + \overline{B_3}\overline{B_2}\overline{B_1}\overline{B_0} = C_3S_3S_2S_1S_0 = 0 \times \times \times \times$ ；

即  $C_3 = 0$  且  $S_3S_2S_1S_0 \neq 1111$  时， $A < B$ 。

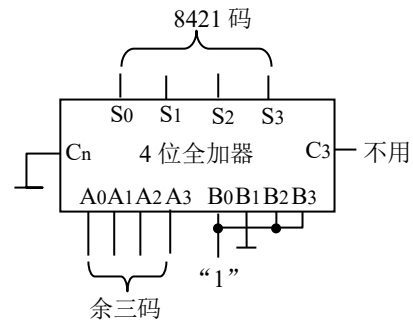


#### 4.26、利用 4 位全加器器件将余三码转换成 8421 码。

将余三码转换成 8421 码是将余三码减去 0011；

相当于余三码加上 0011 的补码，即：

$$[X]_{\text{余三码}} + [1101] = [X]_{\text{8421 码}}$$



#### 4.27、利用 4 位全加器集成块，及 4 个“异或”门构成

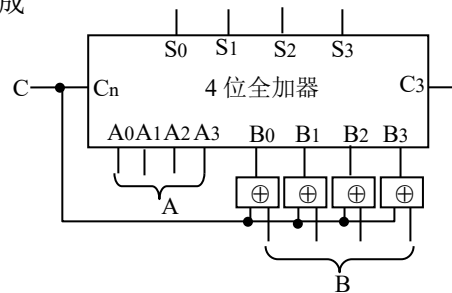
一个并行加、减运算的电路。

当  $C=0$  时，电路实现加法运算；

当  $C=1$  时，电路实现减法运算。

$$[A] - [B]_{\text{原}} = [A] + [B]_{\text{补}} = [A] + [B]_{\text{反}} + 1$$

$$A \oplus 0 = A \quad A \oplus 1 = \overline{A}$$



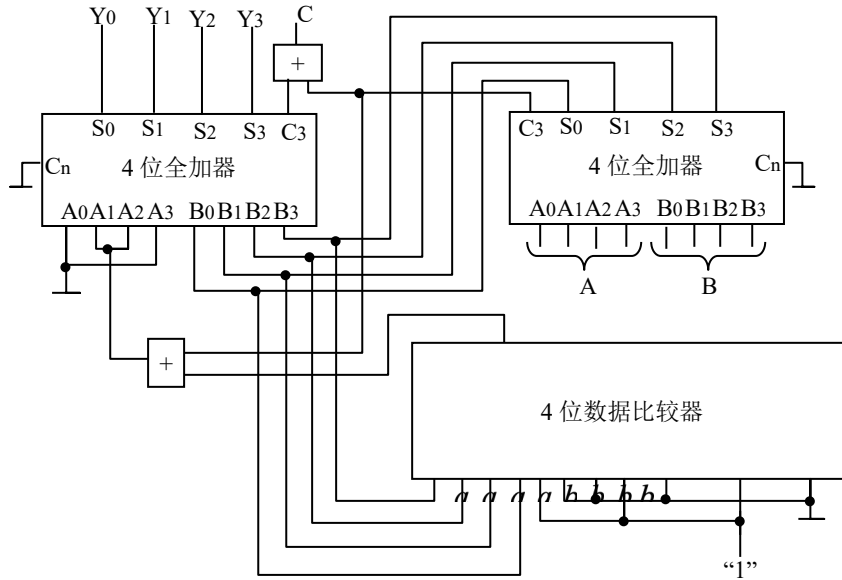
#### 4.29、A 和 B 均为 4 位 8421BCD 码。用 4 位加法器实现 A 和 B 这两个 4 位 8421BCD 码相加，要求输出和为 BCD 码，并有进位 C。

解：4 位加法器实现的是二进制加法，不能直接用来作 8421BCD 码相加，而两个 8421BCD 码相加的和最大为 (18) 十进制 = (00011000) 8421 码

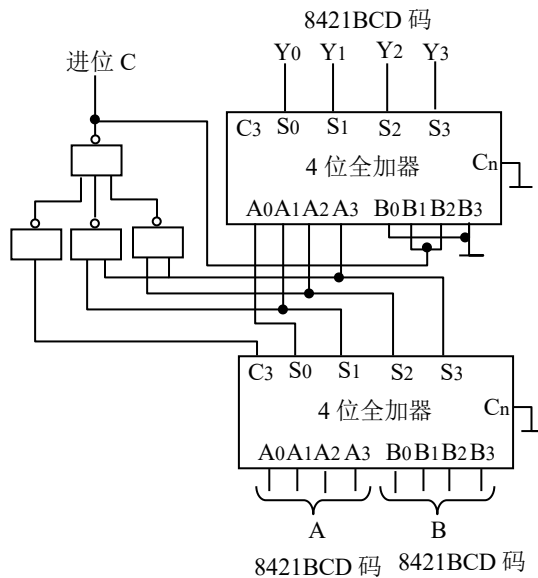
二进制数相加的和数						8421BCD 码相加的和数					
Ci	Y3	Y2	Y1	Y0		Ci	Y3	Y2	Y1	Y0	
0	0	0	0	0	0	0	0	0	0	0	
0	0	0	0	0	1	0	0	0	0	1	
0	0	0	1	0		0	0	0	1	0	
0	0	0	1	1		0	0	0	1	1	
0	0	1	0	0		0	0	1	0	0	
0	0	1	0	1		0	0	1	0	1	
0	0	1	1	0		0	0	1	1	0	
0	0	1	1	1		0	0	1	1	1	
0	1	0	0	0		0	1	0	0	0	
0	1	0	0	1		0	1	0	0	1	
1	0	0	1	0		1	0	0	0	0	
1	0	0	0	1		1	0	0	0	1	
1	0	0	0	0		1	0	0	1	0	
1	0	0	1	1		1	1	0	0	0	

从功能表中可以看出：

- (1) 两个 8421BCD 码相加的和小于和等于 1001 时与 4 位二进制数相加的结果相同；
- (2) 两个 8421BCD 码相加的和大于 1001 时，应等于两个 4 位二进制数相加的和数再加 0110。
- (3) 进位 C 应为两个 4 位二进制数相加的进位再加上两个 4 位二进制数相加的和数加 0110 后的进位。



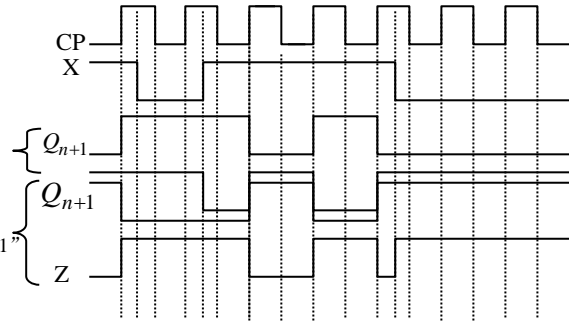
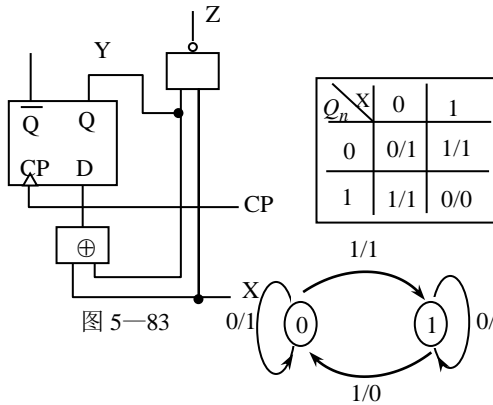
方法二：从功能表中可以看出，8421BCD 码相加后的进位 C 应是二进制码相加后的进位为 1；进位为 0 但  $Y_3Y_1=11$  或  $Y_3Y_2=11$  时的和。即： $C_{8421}=C_{\text{二进制码}}+Y_3Y_2+Y_3Y_1$ 。此时，二进制数相加的和加上 0110 为 8421BCD 相加的和。



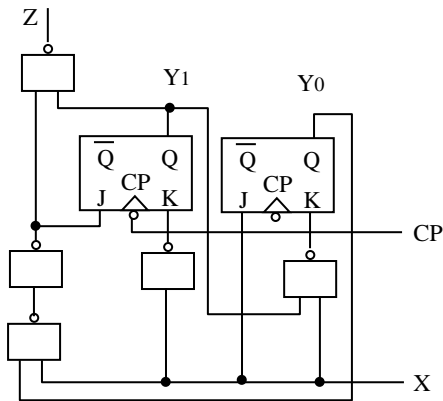
## 第五章同步时序电路

5.1、分析图 5—83 所示时序电路，作出它的状态表和状态图。作出电平输入 X 序列为 1011100 时电路的时序图。

解：  $Q_{n+1} = D = X \oplus Q_n$        $Z = \overline{XQ_n}$



5.2、分析图 5—84 所示时序电路，作出它的状态表和状态图并作当  $X_1=1111110$  及  $X_2=0110110$  时的时序图（设触发器初态为“00”）。



解：  $J_1 = XQ_{0n}$        $K_1 = \bar{X}$        $J_0 = X$        $K_0 = \overline{XQ_{1n}}$

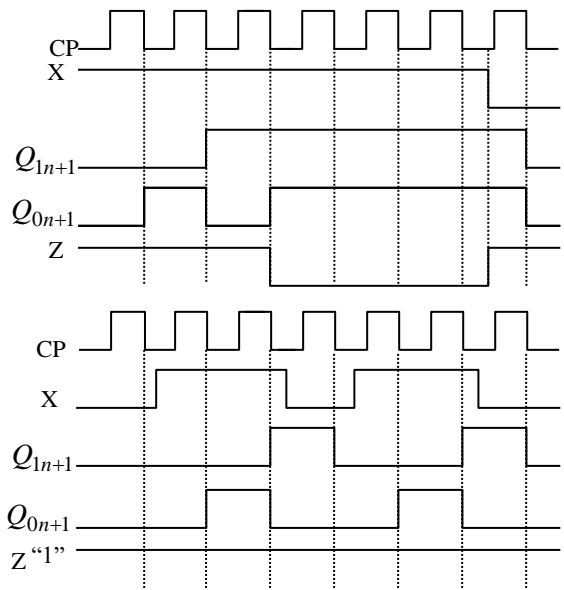
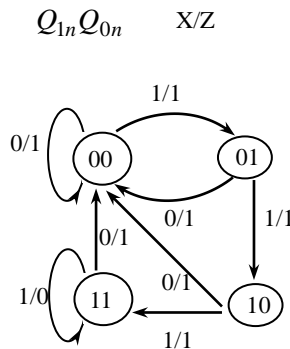
$$Q_{1n+1} = XQ_{0n}\bar{Q}_{1n} + XQ_{1n} = XQ_{0n} + XQ_{1n}$$

$$Q_{0n+1} = X\bar{Q}_{0n} + XQ_{1n}Q_{0n} = X\bar{Q}_{0n} + XQ_{1n}$$

$$Z = \overline{XQ_{0n}Q_{1n}}$$

图 5—84

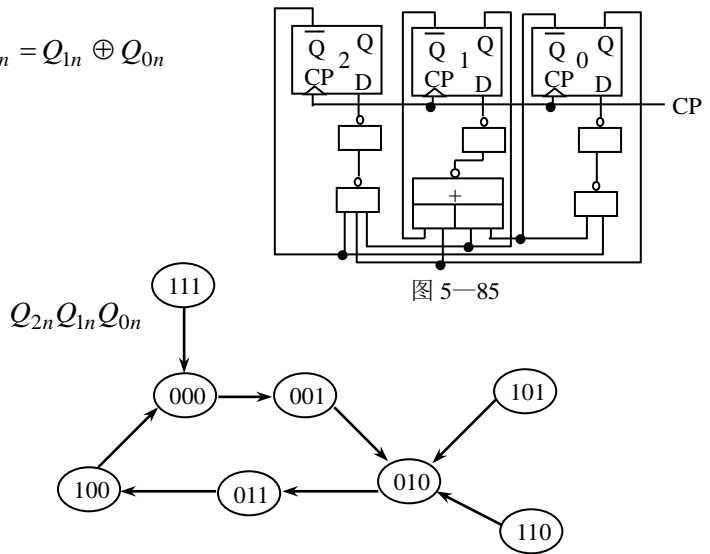
$Q_{1n}Q_{0n}X$	$Q_{1n+1}Q_{0n+1}$	Z
0 0 0	0 0	1
0 0 1	0 1	1
0 1 0	0 0	1
0 1 1	1 0	1
1 0 0	0 0	1
1 0 1	1 1	1
1 1 0	0 0	1
1 1 1	1 1	0



5.3、分析图 5—85 所示时序电路，作出它的状态图和时序图。起始状态  $Y_2Y_1Y_0=000$ 。

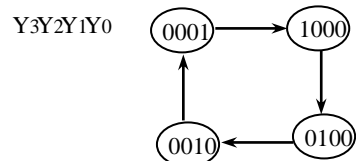
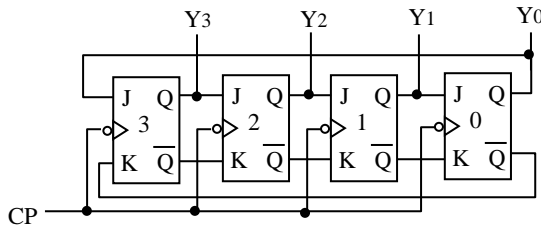
解：  $Q_{0n+1} = D_0 = \bar{Q}_{2n}\bar{Q}_{0n}$   
 $Q_{1n+1} = D_1 = \bar{Q}_{1n}Q_{0n} + Q_{1n}\bar{Q}_{0n} = Q_{1n} \oplus Q_{0n}$   
 $Q_{2n+1} = D_2 = \bar{Q}_{2n}Q_{1n}Q_{0n}$

$Q_{2n}Q_{1n}Q_{0n}$	$Q_{2n+1}Q_{1n+1}Q_{0n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 0 0
1 0 0	0 0 0
1 0 1	0 1 0
1 1 0	0 1 0
1 1 1	0 0 0



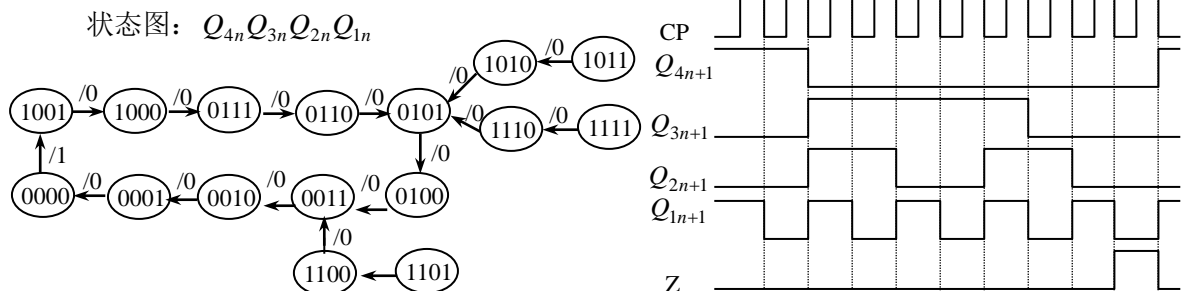
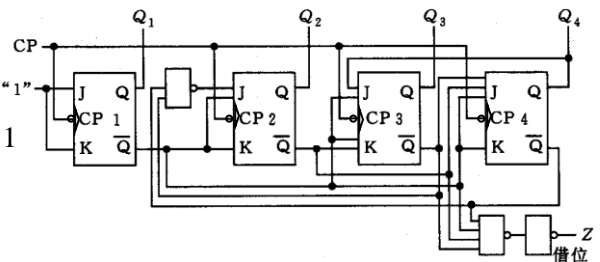
逻辑功能：可自启动的同步五进制加法计数器。

5.4、画出图 5—86 所示时序电路的状态图和时序图，起始状态为  $Y_3Y_2Y_1Y_0=0001$ 。



5.5、画出图 5—87 图所示同步十进制减法计数器的状态图和时序图。

$J_4 = \bar{Q}_{3n}\bar{Q}_{2n}\bar{Q}_{1n}$      $K_4 = \bar{Q}_{1n}$   
 $J_3 = Q_{4n}\bar{Q}_{1n}$      $K_3 = \bar{Q}_{2n}\bar{Q}_{1n}$   
 $J_2 = \bar{Q}_{4n}\bar{Q}_{3n}\bar{Q}_{1n}$      $K_2 = \bar{Q}_{1n}$      $J_1 = K_1 = 1$   
 $Q_{4n+1} = \bar{Q}_{4n}\bar{Q}_{3n}\bar{Q}_{2n}\bar{Q}_{1n} + Q_{4n}Q_{1n}$   
 $Q_{3n+1} = Q_{4n}\bar{Q}_{3n}\bar{Q}_{1n} + (Q_{2n} + Q_{1n})Q_{3n}$   
 $Q_{2n+1} = (Q_{4n} + Q_{3n})\bar{Q}_{2n}\bar{Q}_{1n} + Q_{2n}Q_{1n}$   
 $Q_{1n+1} = \bar{Q}_{1n}$      $Z = \bar{Q}_{4n}\bar{Q}_{3n}\bar{Q}_{2n}\bar{Q}_{1n}$



5.6、分析于 5—88 所示集成电路的原理，列其功能表，定性画出表示  $D_s, D_0 \sim D_3, \bar{E}, \bar{P}_E, \bar{R}_D$  与  $CK$  的配合关系的波形图，并分析这些参数与内部电路开关参数的关系。

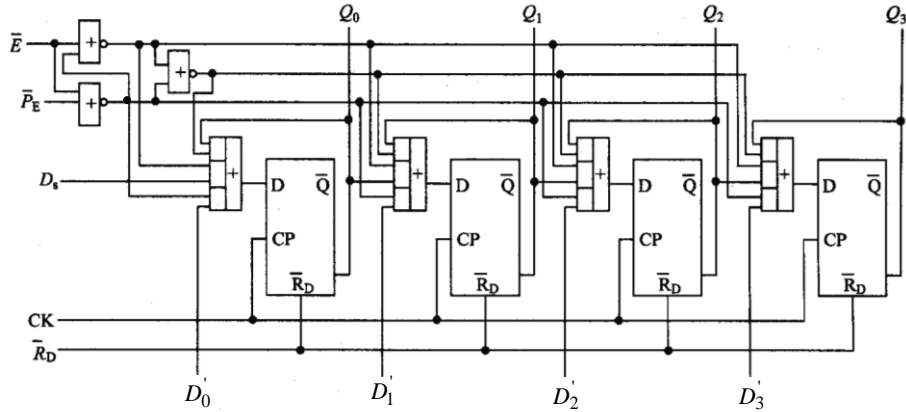


图 5-88

$$\begin{aligned}
 D_0 &= D'_0 \bar{E} + \bar{P}_E + D_s \bar{E} + \bar{E} + \bar{P}_E + Q_0 \bar{E} + \bar{P}_E + (\bar{E} + \bar{P}_E + \bar{E}) \\
 D_1 &= D'_1 \bar{E} + \bar{P}_E + Q_0 \bar{E} + \bar{E} + \bar{P}_E + Q_1 \bar{E} + \bar{P}_E + (\bar{E} + \bar{P}_E + \bar{E}) \\
 D_2 &= D'_2 \bar{E} + \bar{P}_E + Q_1 \bar{E} + \bar{E} + \bar{P}_E + Q_2 \bar{E} + \bar{P}_E + (\bar{E} + \bar{P}_E + \bar{E}) \\
 D_3 &= D'_3 \bar{E} + \bar{P}_E + Q_2 \bar{E} + \bar{E} + \bar{P}_E + Q_3 \bar{E} + \bar{P}_E + (\bar{E} + \bar{P}_E + \bar{E})
 \end{aligned}$$

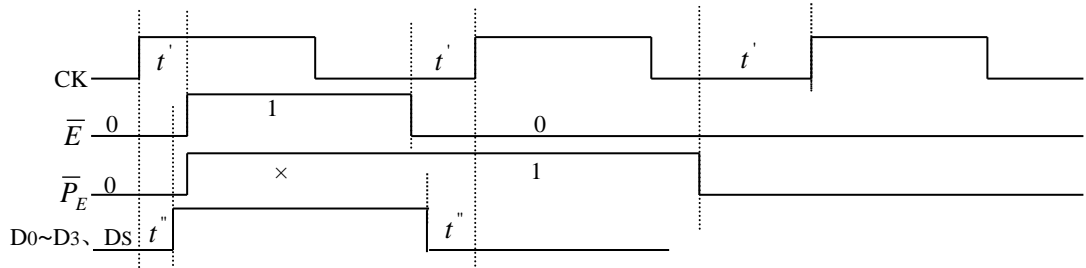
$\bar{E} + \bar{P}_E$ : 当  $\bar{E}, \bar{P}_E$  为 00 时，并入

$\bar{E} + \bar{E} + \bar{P}_E = E(\bar{E} + \bar{P}_E) = E\bar{P}_E$ ,  $\bar{E} = 0, \bar{P}_E = 1$  时移位

$\bar{E} + \bar{P}_E + \bar{E} + \bar{P}_E + \bar{E} = \bar{E} + \bar{P}_E$   $(\bar{E} + \bar{P}_E)E = (\bar{E} + \bar{P}_E)\bar{P}_E E$

$= (\bar{E} + \bar{P}_E)(P_E + \bar{E}) = \bar{E}P_E + \bar{E} + \bar{E}\bar{P}_E = \bar{E} \therefore \bar{E}$  为 1 时，保持。

$\bar{R}_D$	$\bar{P}_E$	$\bar{E}$	$D_s$	$D'_0 \sim D'_3$	$CK$	$Q_0 \sim Q_3$	功能
0	x	x	x	x~x	x	0~0	清“0”
1	0	0	x	$D'_0 \sim D'_3$	↑	$D'_0 \sim D'_3$	并入
1	1	0	$D_s$	x~x	↑	$D_s Q_0 \sim Q_2$	移位
1	x	1	x	x~x	↑	$Q_0 \sim Q_3$	保持



$$t''_{su} = t_{pd} + t_{suFF}; \quad t''_H = t_{HFF} - t_{pd}$$

$$t'_{su} = 2t_{pd\overline{OR}} + t_{suFF} + t_{pd}; \quad t'_H = t_{HFF} - t_{pd} - 2t_{pd\overline{OR}}.$$

$\bar{E}, \bar{P}_E$ : 由 00  $\Rightarrow$  "11",  $\bar{P}_E$  可以不变,  $\bar{P}_E$  变化不影响, 即由并入转到保持,  $\bar{E}, \bar{P}_E$  应为 1X, 二级或非门的传输时间即可, 最大  $t'_{su}$  为二级或非门加一级与非门+FF 的  $t_{su}$  即可!

5.7、画出在图 5—88 电路中加上如图 5—89 所示输入波形时输出波形。

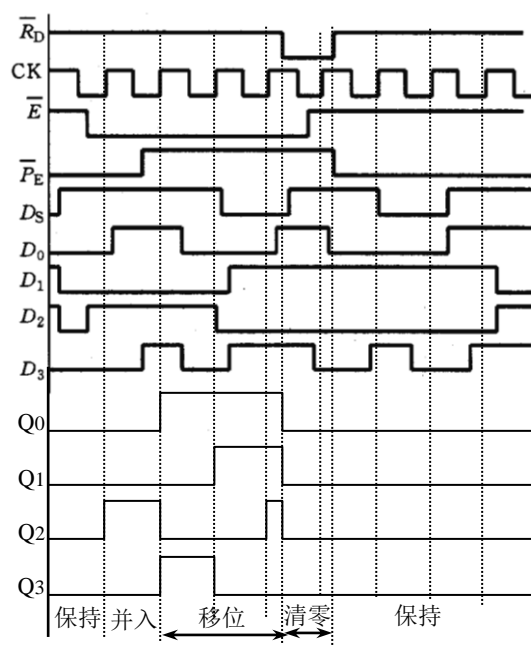


图 5—89

5.10、图 5—92 所示电路是为某接收机而设计的分频电路，初始状态为“00”，问：

(1) 当  $X_1X_2 = "00"$ ; (2) 当  $X_1X_2 = "01"$ ; (3) 当  $X_1X_2 = "11"$  时, 各种状态为几分频? 画出波形图。

解: (1) 当  $X_1X_2 = "00"$ ; 初始状态为 "00" 时:

$$Q_{n+1}=1 \quad J_1=Q_n=1 \quad K_1=\overline{J_1X_1}=1$$

$$\mathcal{Q}_{[n+1]} = \overline{\mathcal{Q}_{[n]}}$$

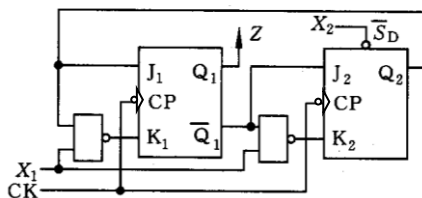
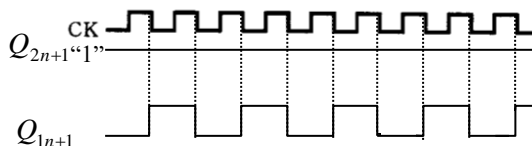


图 5—92



逻辑功能: 电路实现 2 分频。

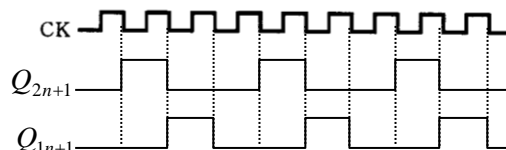
(2) 当  $X_1X_2 = "01"$ ; 初始状态为 "00" 时:

$$\begin{array}{lll} J_1 = Q_{2n} & K_1 = \overline{J_1 X_1} = 1 & Q_{1n+1} = Q_{2n} \overline{Q_{1n}} \\ J_2 = \overline{Q_{1n}} & K_2 = \overline{\overline{Q_{1n}} X_1} = 1 & Q_{2n+1} = \overline{Q_{2n}} \overline{Q_{1n}} \end{array}$$

$$J_2 = \overline{Q}_{1n}$$

$$K_2 = \overline{Q}_{1n} X_1 = 1$$

$$Q_{2n+1} = \overline{Q}_{2n} \overline{Q}_{1n}$$



逻辑功能： 电路实现 3 分频。

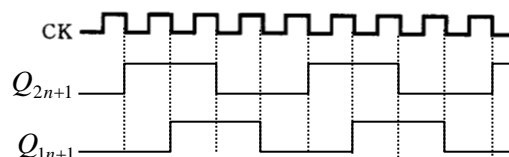
(3) 当  $X_1X_2 = "11"$ ; 初始状态为 "00" 时:

$$J_1 = Q_{2n} \quad K_1 = \overline{J_1 X_1} = \overline{Q_{2n}}$$

$$Q_{1n+1} = Q_{2n} \overline{Q_{1n}} + Q_{2n} Q_{1n} = Q_{2n}$$

$$J_2 = \overline{Q}_{|n} \quad K_2 = \overline{\overline{Q}_{|n} X_1} = Q_{|n}$$

$$Q_{2n+1} = \overline{Q}_{1n} \overline{Q}_{2n} + \overline{Q}_{1n} Q_{2n} = \overline{Q}_{1n}$$

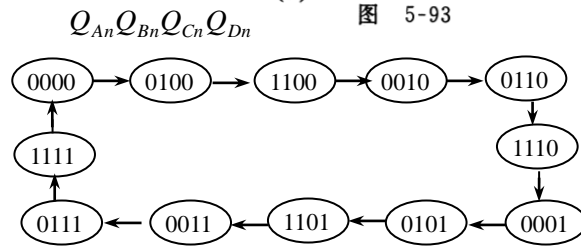


逻辑功能: 电路实现 4 分频。

5.11、同步 4 位二进制计数器的功能表及逻辑符号如图 5—93 (a) 所示。如果同步二进制计数器按图 5—93 (b) 所示电路连接, 要求: (1) 列出该计数器的计数顺序。(2)  $Q_D$  端输出是几分频、占空比是多少?



(1)



(2)  $Q_D$  端输出是 12 分频, 占空比是 50%。

5.12、将图 5—93 (a) 所示 4 位同步二进制计数器接成图 5—94 所示电路。问: (1)  $M=“1”$  时, A 端输出为几分频; (2)  $M=“0”$  时, A 端输出为几分频; (3) 占空比是多少?

解: (1)  $M=“1”$  时:  $Q_{An}Q_{Bn}Q_{Cn}Q_{Dn}$

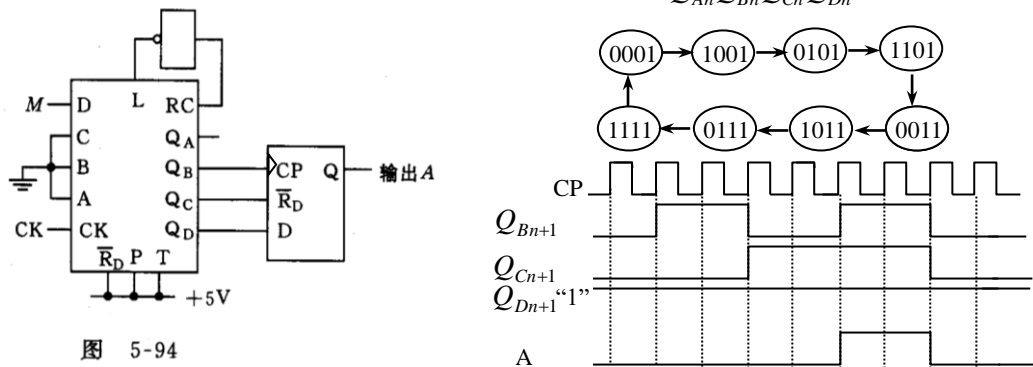
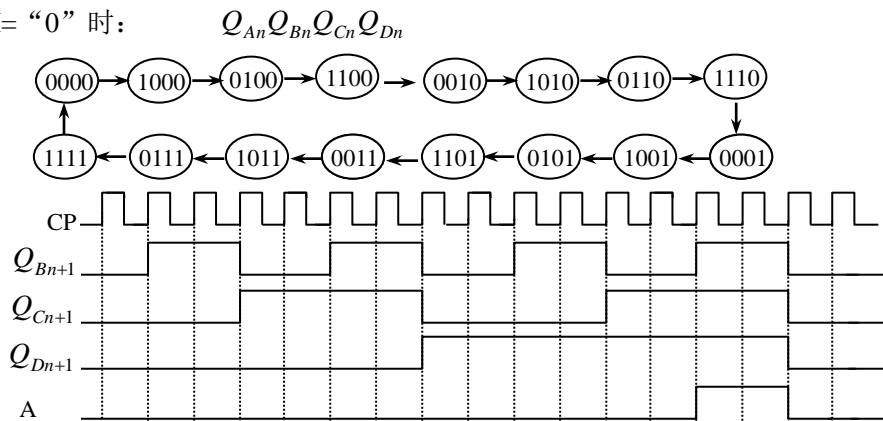


图 5-94

A 端是 8 分频; 占空比为 25%。

(2)  $M=“0”$  时:



A 端是 16 分频; 占空比为 12.5%。



5.13、由图 5—93 (a) 所示 4 位同步二进制计数器接成图 5—95 所示电路，画出输出端  $Q_D$  的波形，说明  $Q_D$  为几分频。

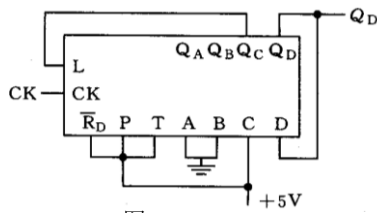
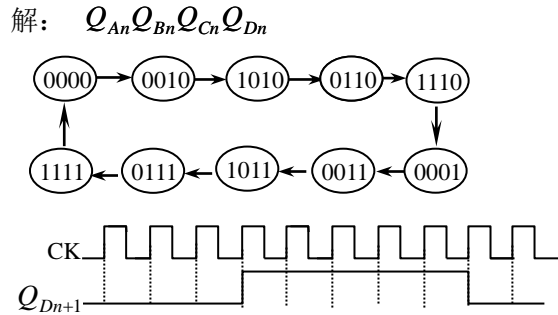
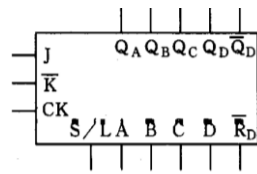


图 5—95

$Q_D$  为 10 分频。

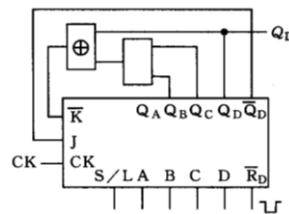


5.14、图 5—96 (a) 所示逻辑符号为 4 位并行通道移位寄存器及功能表。分析图 5—96 (b) 所构成的逻辑图：(1) 写出状态图；(2) 画出 CK 与  $Q_D$  对应的波形图。



(a)

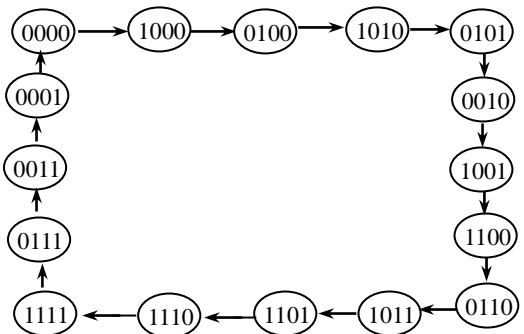
图 5—96



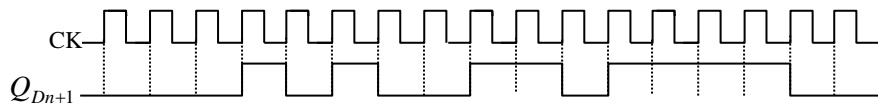
(b)

(1)  $J = \overline{Q_D}$        $\overline{K} = (Q_B Q_C) \oplus Q_D$

$Q_{An}Q_{Bn}Q_{Cn}Q_{Dn}$



功 能 表									
输 入								输 出	
清除 $\overline{R_D}$	移位 /置数	时钟 CK	串 行	并 行				$Q_A$	$\overline{Q_D}$
			J	$\overline{K}$	A	B	C	D	
L	×	×	×	×	×	×	×	×	H
H	L	↑	×	×	a	b	c	d	$\overline{d}$
H	H	L	×	×	×	×	×	$Q_{A0}$	$\overline{Q_{D0}}$
H	H	↑	L	H	×	×	×	$Q_{A0}$	$\overline{Q_{C0}}$
H	H	↑	L	L	×	×	×	L	$\overline{Q_{Cn}}$
H	H	↑	H	H	×	×	×	H	$\overline{Q_{Cn}}$
H	H	↑	H	L	×	×	×	$\overline{Q_{An}}$	$\overline{Q_{Cn}}$



5.16、分析由图 5—96 (a) 所示移位寄存器组成的图 5—98 所示电路，分析电路的逻辑功能，画出  $Q_D$  的波形，分析电路能否自启动。

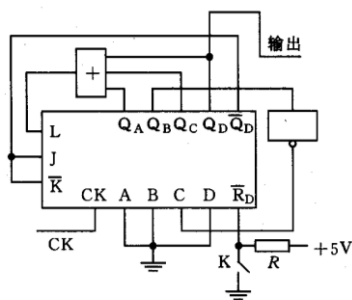
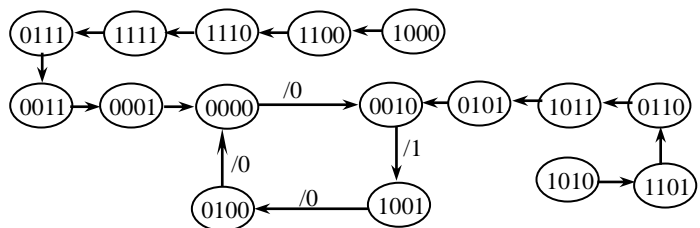


图 5—98

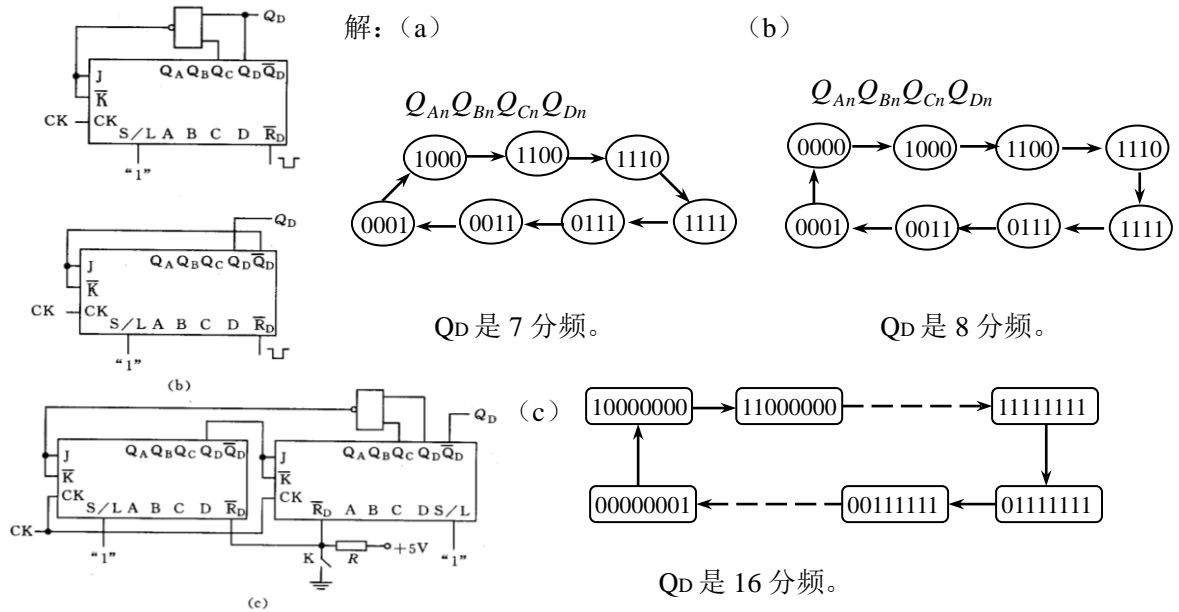
解: K 闭合时清零,  $Q_A Q_B Q_C Q_D = 0000$

K 打开时:  $S/L = Q_A + Q_C + Q_D$        $J = \overline{K} = \overline{Q_D}$

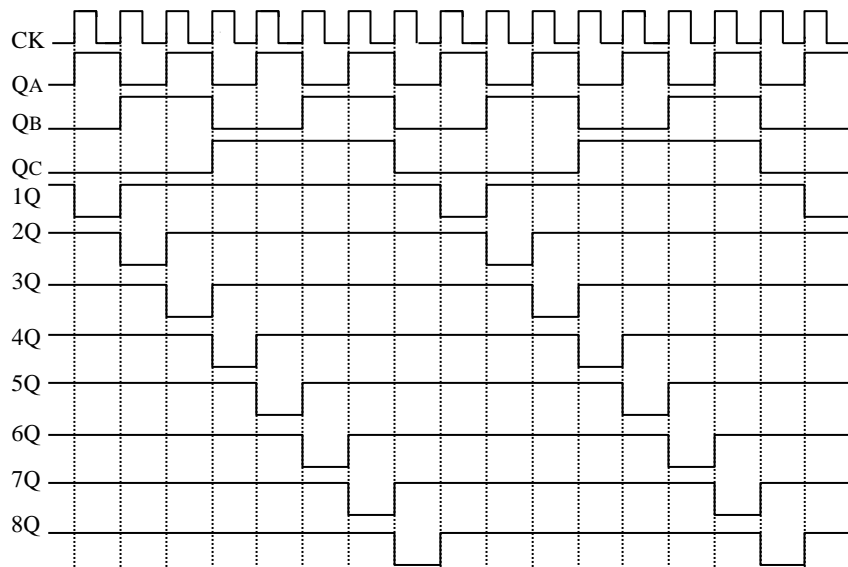
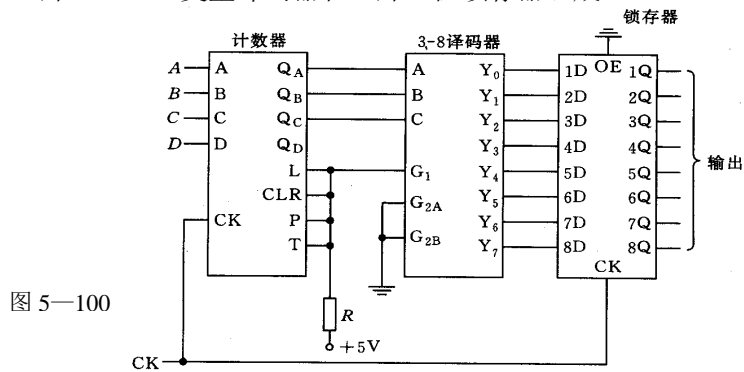


电路可以自启动。

5.17、分析由图 5—96 (a) 所示移位寄存器组成如图 5—99 (a)、(b)、(c) 的逻辑电路，说明各输出  $Q_D$  是几分频？



5.18、分析图 5—100 所示同步时序电路的功能。画出各输出端的时序图。电路由 1 片 4 位二进制计数器、1 片 (3—8) 变量译码器和 1 片 8 位锁存器组成。

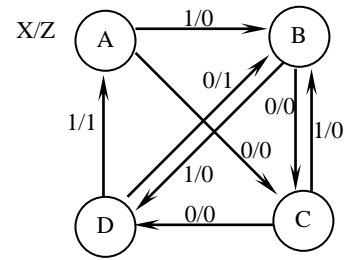


电路实现逻辑功能：顺序脉冲发生器。

5.19、已知时序电路的状态表如表 5—13 所示，作出它的状态图。

表 5-13

$Y_n$	$Y_{n+1}$		$Z$	$Y_n$	$Y_{n+1}$		$Z$
	$X=0$	$X=1$			$X=0$	$X=1$	
A	C	B	0	C	D	B	0
B	C	D	0	D	B	A	1

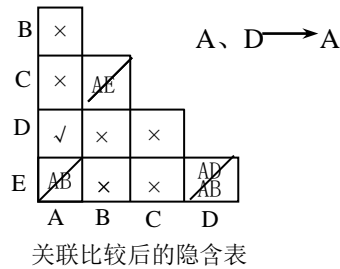


5.20、设有表 5—14 所示的 3 种完全指定状态表；试求最小化状态表。

表 5-14

Y \ X	0	1
A	D/0	B/0
B	C/1	A/0
C	B/1	E/0
D	A/0	B/0
E	D/0	A/0

(a)

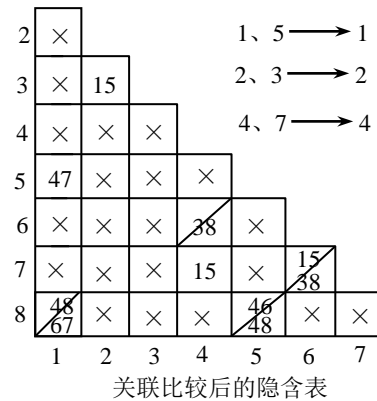


Y \ X	0	1
A	A/0	B/0
B	C/1	A/0
C	B/1	E/0
E	A/0	A/0

简化状态表

Y \ X	0	1
1	8/0	7/1
2	3/0	5/0
3	2/0	1/0
4	5/1	8/0
5	8/0	4/1
6	5/1	3/0
7	1/1	8/0
8	4/0	6/1

(b)

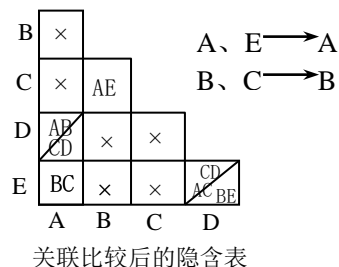


Y \ X	0	1
1	8/0	4/1
2	3/0	1/0
4	1/1	8/0
6	1/1	3/0
7	4/0	6/1

简化状态表

Y \ X	00	01	11	10
A	B/0	C/0	B/1	A/0
B	E/0	C/0	B/1	D/1
C	A/0	B/0	C/1	D/1
D	C/0	D/0	A/1	B/0
E	C/0	C/0	C/1	E/0

(c)



Y \ X	00	01	11	10
A	B/0	B/0	B/1	A/1
B	A/0	B/0	B/1	D/1
D	B/0	D/0	A/1	B/1

简化状态表

5.21、按照规定的状态分配，分别写出采用 D 触发器、J—K 触发器来实现状态表 5—15 所示的时序逻辑电路。

表 5-15

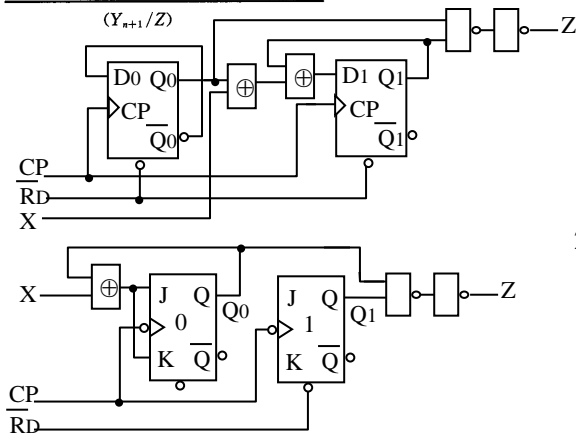
$Y_1 Y_0$	$X$	0	1
00	A	B/0	D/0
01	B	C/0	A/0
10	C	D/0	B/0
11	D	A/1	C/1

解：四种状态应使用 2 个触发器。设： $Q_1=Y_1$ ,  $Q_0=Y_0$

1) 用 D 触发器设计；

$Y_1 Y_0$	00	01	11	10
$X$	0	1	0	1
1	1	0	1	0

$$D_1 = Q_{1n+1} = \bar{Q}_1 \bar{Q}_0 X + \bar{Q}_1 Q_0 \bar{X} + Q_1 \bar{Q}_0 \bar{X} + Q_1 Q_0 X = Q_1 \oplus Q_0 \oplus X$$



$Y_1 Y_0$	00	01	11	10
$X$	0	1	0	1
1	1	0	0	1

$$D_0 = Q_{0n+1} = \bar{Q}_0$$

$$Z = Q_1 Q_0$$

2) 用 J—K 触发器设计；

$$Q_{1n+1} = \bar{Q}_1 \bar{Q}_0 X + \bar{Q}_1 Q_0 \bar{X} + Q_1 \bar{Q}_0 \bar{X} + Q_1 Q_0 X = (Q_0 \oplus X) \bar{Q}_1 + \bar{Q}_0 \oplus \bar{X} Q_1$$

$$J_1 = K_1 = Q_0 \oplus X$$

$$Q_{0n+1} = \bar{Q}_0 \quad J_2 = K_2 = 1 \quad Z = Q_1 Q_0$$

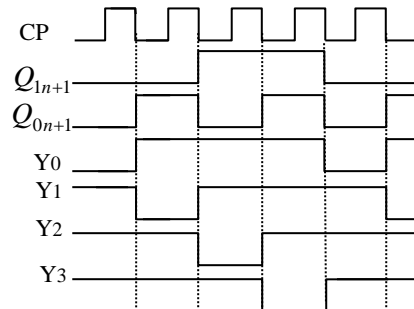
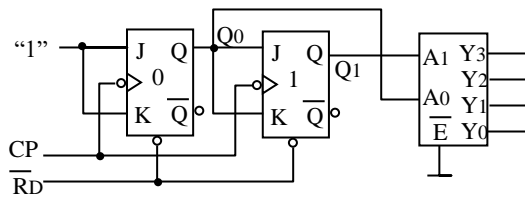
5.26、用负边沿 J—K 触发器及 2 输入 4 输出变量译码器，设计一个 4 相时钟分配器。

解：用 J—K 触发器设计一个 4 进制计数器， $Q_1 Q_0$  为变量译码器的输入。

$Q_{1n} Q_{0n}$	$Q_{1n+1} Q_{0n+1}$
0 0	0 1
0 1	1 0
1 0	1 1
1 1	0 0

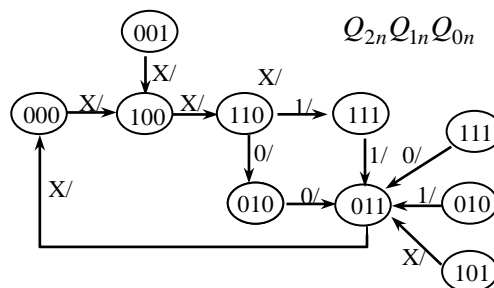
$$Q_{1n+1} = Q_{0n} \bar{Q}_{1n} + \bar{Q}_{0n} Q_{1n} \quad J_1 = K_1 = Q_{0n}$$

$$Q_{0n+1} = \bar{Q}_{0n} \quad J_0 = K_0 = 1$$

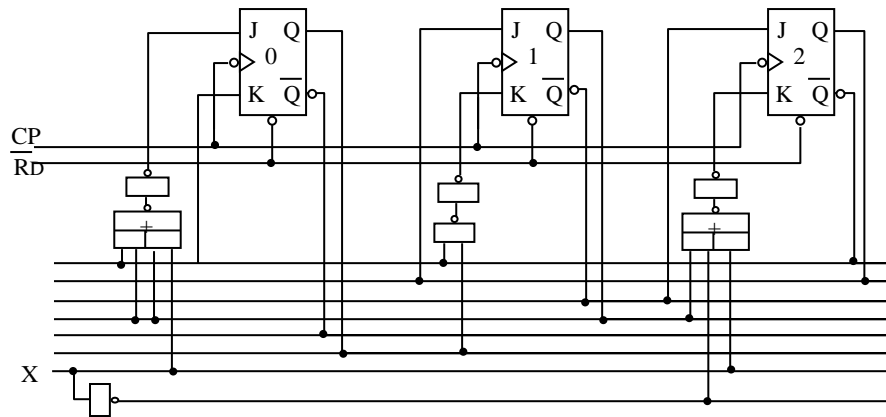


5.27、用 J—K 触发器设计一个可控计数器，当控制端  $C=1$  时，实现  $000 \rightarrow 100 \rightarrow 110 \rightarrow 111 \rightarrow 011 \rightarrow 000$ ；当  $C=0$  时，实现  $000 \rightarrow 100 \rightarrow 110 \rightarrow 010 \rightarrow 011 \rightarrow 000$  计数。要求写出：(1) 状态图；(2) 状态表；(3) 状态方程；(4) 检查能否自启动，画出状态图；(5) 画出逻辑图。

解：



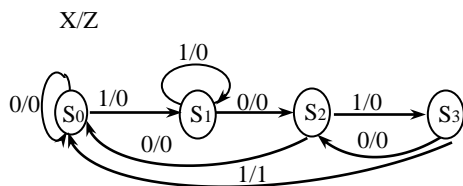
$J_2 = \bar{Q}_{1n}$	$K_2 = Q_{0n} + Q_{1n}\bar{X}$	<table> <tr> <th><math>Q_{2n}Q_{1n}Q_{0n}X</math></th><th><math>Q_{2n+1}Q_{1n+1}Q_{0n+1}</math></th><th><math>J_2K_2J_1K_1J_0K_0</math></th></tr> <tr><td>0 0 0 0</td><td>1 0 0</td><td>1 × 0 × 0 ×</td></tr> <tr><td>0 0 0 1</td><td>1 0 0</td><td>1 × 0 × 0 ×</td></tr> <tr><td>1 0 0 0</td><td>1 1 0</td><td>× 0 1 × 0 ×</td></tr> <tr><td>1 0 0 1</td><td>1 1 0</td><td>× 0 1 × 0 ×</td></tr> <tr><td>1 1 0 0</td><td>0 1 0</td><td>× 1 × 0 0 ×</td></tr> <tr><td>1 1 0 1</td><td>1 1 1</td><td>× 0 × 0 1 ×</td></tr> <tr><td>0 1 0 0</td><td>0 1 1</td><td>0 × × 0 1 ×</td></tr> <tr><td>1 1 1 1</td><td>0 1 1</td><td>× 1 × 0 × 0</td></tr> <tr><td>0 1 1 0</td><td>0 0 0</td><td>0 × × 1 × 1</td></tr> <tr><td>0 1 1 1</td><td>0 0 0</td><td>0 × × 1 × 1</td></tr> </table>	$Q_{2n}Q_{1n}Q_{0n}X$	$Q_{2n+1}Q_{1n+1}Q_{0n+1}$	$J_2K_2J_1K_1J_0K_0$	0 0 0 0	1 0 0	1 × 0 × 0 ×	0 0 0 1	1 0 0	1 × 0 × 0 ×	1 0 0 0	1 1 0	× 0 1 × 0 ×	1 0 0 1	1 1 0	× 0 1 × 0 ×	1 1 0 0	0 1 0	× 1 × 0 0 ×	1 1 0 1	1 1 1	× 0 × 0 1 ×	0 1 0 0	0 1 1	0 × × 0 1 ×	1 1 1 1	0 1 1	× 1 × 0 × 0	0 1 1 0	0 0 0	0 × × 1 × 1	0 1 1 1	0 0 0	0 × × 1 × 1
$Q_{2n}Q_{1n}Q_{0n}X$	$Q_{2n+1}Q_{1n+1}Q_{0n+1}$	$J_2K_2J_1K_1J_0K_0$																																	
0 0 0 0	1 0 0	1 × 0 × 0 ×																																	
0 0 0 1	1 0 0	1 × 0 × 0 ×																																	
1 0 0 0	1 1 0	× 0 1 × 0 ×																																	
1 0 0 1	1 1 0	× 0 1 × 0 ×																																	
1 1 0 0	0 1 0	× 1 × 0 0 ×																																	
1 1 0 1	1 1 1	× 0 × 0 1 ×																																	
0 1 0 0	0 1 1	0 × × 0 1 ×																																	
1 1 1 1	0 1 1	× 1 × 0 × 0																																	
0 1 1 0	0 0 0	0 × × 1 × 1																																	
0 1 1 1	0 0 0	0 × × 1 × 1																																	
$J_1 = Q_{2n}$	$K_1 = \bar{Q}_{2n}Q_{0n}$	$J_0 = \bar{Q}_{2n}Q_{1n} + Q_{1n}X$																																	
$K_0 = \bar{Q}_{2n}$																																			



5.28、用 J—K 触发器设计 “1011” 序列检测器。要求写出：（1）状态图；（2）状态表；（3）三种独立的状态分配方案；（4）分别写出三种分配方案的状态方程；（5）画出最佳设计的逻辑图。

解：设 S<sub>0</sub>：初始及检测成功状态；S<sub>1</sub>：输入一个“1”状态；S<sub>2</sub>：输入“10”状态；S<sub>3</sub>：输入“101”状态；X：输入；Z：输出。

（1）状态图



（2）状态表

状态 \ X	0	1
S <sub>0</sub>	S <sub>0</sub> /0	S <sub>1</sub> /0
S <sub>1</sub>	S <sub>2</sub> /0	S <sub>1</sub> /0
S <sub>2</sub>	S <sub>0</sub> /0	S <sub>3</sub> /0
S <sub>3</sub>	S <sub>2</sub> /0	S <sub>0</sub> /1

（3）状态分配方案

	1	2	3
S <sub>0</sub>	00	00	01
S <sub>1</sub>	01	01	00
S <sub>2</sub>	11	10	10
S <sub>3</sub>	10	11	11

(4) 状态方程

方案一:

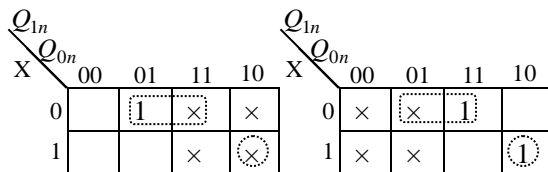
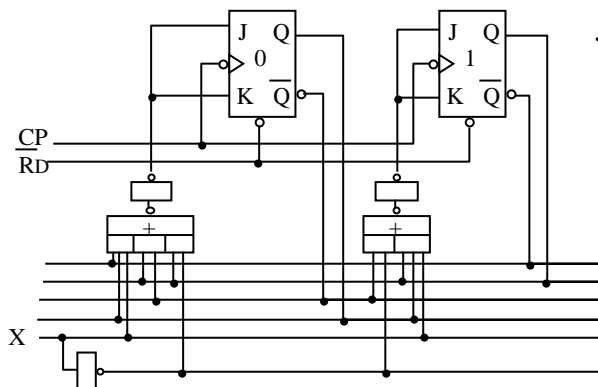
$Q_{1n} Q_{0n} X$	$Q_{1n+1} Q_{0n+1}$	Z	$J_1 K_1 J_0 K_0$
0 0 0	0 0	0	0× 0×
0 0 1	0 1	0	0× 1×
0 1 0	1 1	0	1× ×0
0 1 1	0 1	0	0× ×0
1 1 0	0 0	0	×1 ×1
1 1 1	1 0	0	×0 ×1
1 0 0	1 1	0	×0 1×
1 0 1	0 0	1	×1 0×

方案二:

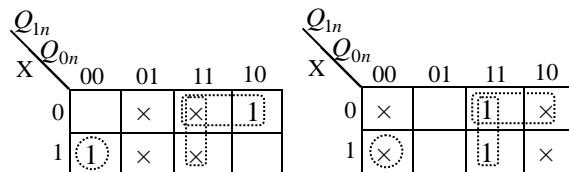
$Q_{1n} Q_{0n} X$	$Q_{1n+1} Q_{0n+1}$	Z	$J_1 K_1 J_0 K_0$
0 0 0	0 0	0	0× 0×
0 0 1	0 1	0	0× 1×
0 1 0	1 0	0	1× ×1
0 1 1	0 1	0	0× ×0
1 0 0	0 0	0	×1 ×0
1 0 1	1 1	0	×0 1×
1 1 0	1 0	0	×0 ×1
1 1 1	0 0	1	×1 ×1

方案三:

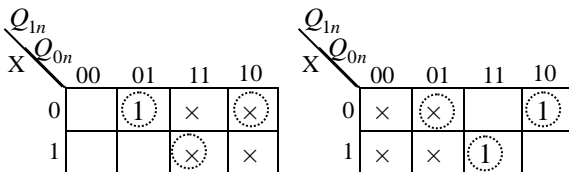
$Q_{1n} Q_{0n} X$	$Q_{1n+1} Q_{0n+1}$	Z	$J_1 K_1 J_0 K_0$
0 1 0	0 1	0	0× ×0
0 1 1	0 0	0	0× ×1
0 0 0	1 0	0	1× 0×
0 0 1	0 0	0	0× 0×
1 0 0	0 1	0	×1 1×
1 0 1	1 1	0	×0 1×
1 1 0	1 0	0	×0 ×1
1 1 1	0 1	1	×1 ×0



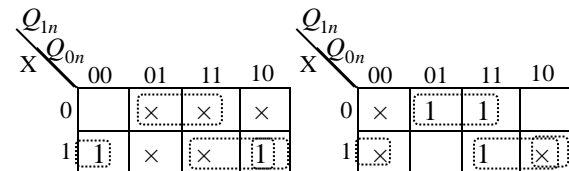
$$J_1 = K_1 = Q_{0n} \bar{X} + Q_{1n} \bar{Q}_{0n} X$$



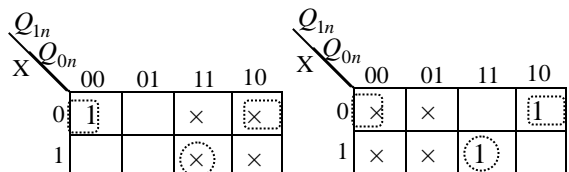
$$J_0 = K_0 = Q_{1n} \bar{X} + Q_{1n} Q_{0n} + \bar{Q}_{1n} \bar{Q}_{0n} X$$



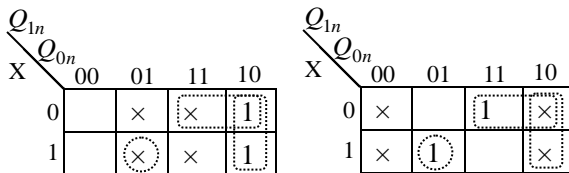
$$J_1 = K_1 = \bar{Q}_{1n} Q_{0n} \bar{X} + Q_{1n} \bar{Q}_{0n} \bar{X} + Q_{1n} Q_{0n} X$$



$$J_0 = K_0 = Q_{0n} \bar{X} + Q_{1n} X + \bar{Q}_{0n} X$$



$$J_1 = K_1 = \bar{Q}_{0n} \bar{X} + Q_{1n} Q_{0n} X$$



$$J_0 = K_0 = Q_{1n} \bar{X} + Q_{1n} \bar{Q}_{0n} + \bar{Q}_{1n} Q_{0n} X$$

从 JK 的卡诺图可以看出电路的简化结果相似，以方案三画逻辑电路

5.30、用正边沿 D 触发器及其他门电路，设计一个节拍发生器，节拍顺序如图 5—101 所示，要求写出设计过程。

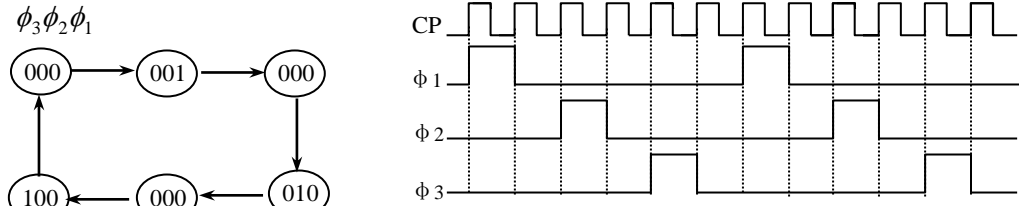
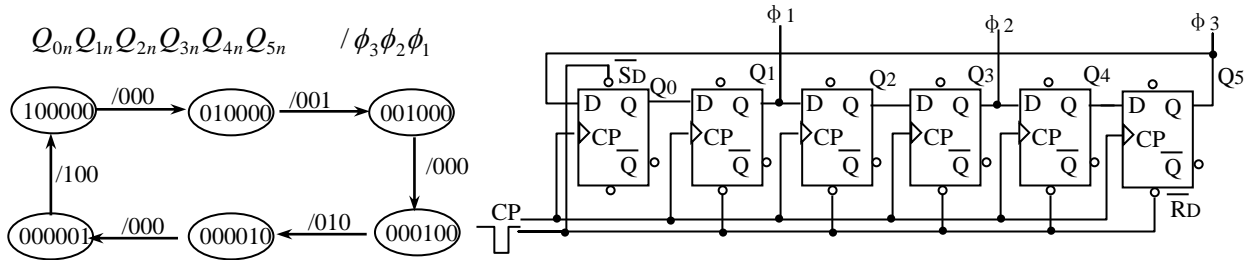


图 5—101

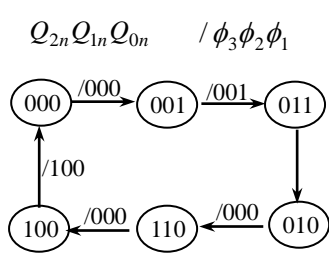
解：从时序图可得出状态图为：

方法一：若将  $\phi_i$  看作触发器的输出，三个触发器不可能有这样的状态，因此应有 6 个状态，并且在传输“1”，可用 6 个触发器构成移位寄存器型计数器。其中  $\phi_1 = Q_1, \phi_2 = Q_3, \phi_3 = Q_5$ 。此时，状态图为：

逻辑图：

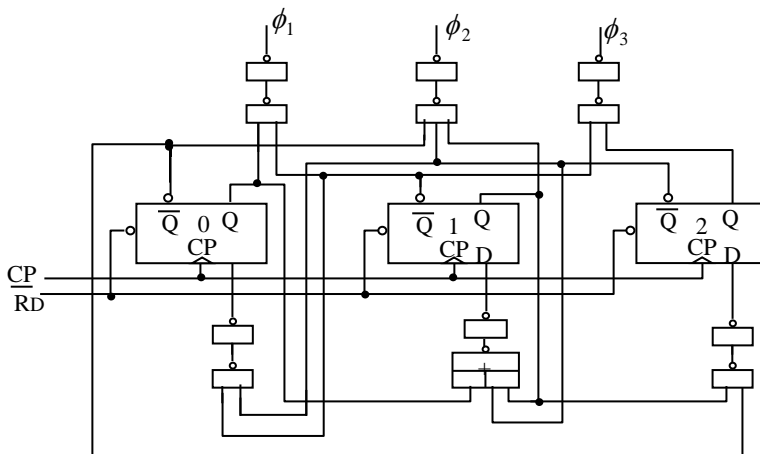


方法二：用 3 个触发器构成 6 进制计数器， $\phi_3\phi_2\phi_1$  为输出。



$Q_{2n}Q_{1n}Q_{0n}$	$Q_{2n+1}Q_{1n+1}Q_{0n+1}$	$\phi_3\phi_2\phi_1$
0 0 0	0 0 1	0 0 0
0 0 1	0 1 1	0 0 1
0 1 1	0 1 0	0 0 0
0 1 0	1 1 0	0 1 0
1 1 0	1 0 0	0 0 0
1 0 0	0 0 0	1 0 0

同理： $\phi_3 = Q_{2n}\bar{Q}_{1n}$   $\phi_2 = \bar{Q}_{2n}Q_{1n}\bar{Q}_{0n}$   $\phi_1 = \bar{Q}_{1n}Q_{0n}$



$Q_{1n}Q_{0n}$	00	01	11	10
$Q_{2n}$	0			1
1		×	×	1

$$D_2 = Q_{2n+1} = Q_{1n}\bar{Q}_{0n}$$

$Q_{1n}Q_{0n}$	00	01	11	10
$Q_{2n}$	0	1	1	1
1		×	×	

$$D_1 = Q_{1n+1} = Q_{0n} + \bar{Q}_{2n}Q_{1n}$$

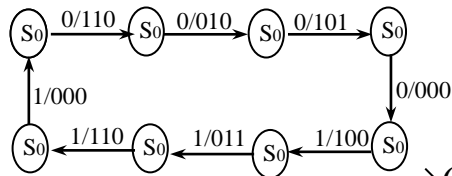
$Q_{1n}Q_{0n}$	00	01	11	10
$Q_{2n}$	0	1	1	
1		×	×	

$$D_0 = Q_{0n+1} = \bar{Q}_{2n}\bar{Q}_{1n}$$

5.32、用正边沿 D 型触发器设计一个满足图 5—102 所示波形要求的逻辑电路，CP、X 为输入，，写出设计过程。

解：方法一：从时序图中可以看出将 Y1、Y2、Z 为输出时，每经过 8 个时钟为一个循环。

其状态图为：X/Y1Y2Z



若以自然态序状态分配，状态表为：

$Q_{2n}Q_{1n}Q_{0n}X$	$Q_{2n+1}Q_{1n+1}Q_{0n+1}$	Y1	Y2	Z
0 0 0 0	0 0 1	1	1	0
0 0 1 0	0 1 0	0	1	0
0 1 0 0	0 1 1	1	0	1
0 1 1 0	1 0 0	0	0	0
1 0 0 1	1 0 1	1	0	0
1 0 1 1	1 1 0	0	1	1
1 1 0 1	1 1 1	1	1	0
1 1 1 1	0 0 0	0	0	0

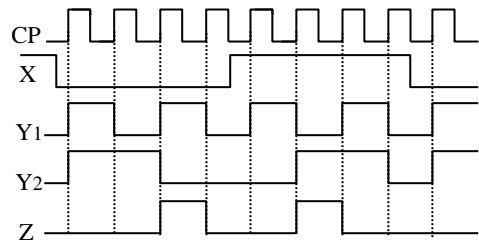


图 5—102

$Q_{2n}Q_{1n}Q_{0n}X$	00	01	11	10
00		×	×	
01		×	×	1
11	×	1		×
10	×	1	1	×

$$D_2 = Q_{2n+1} = \bar{Q}_{0n}X + \bar{Q}_{1n}X + Q_{1n}Q_{0n}\bar{X}$$

$$\text{或 } D_2 = Q_{2n+1} = Q_{2n}\bar{Q}_{0n} + Q_{2n}\bar{Q}_{1n} + \bar{Q}_{2n}Q_{1n}Q_{0n}$$

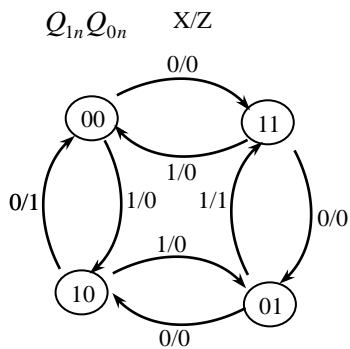
同理，从卡诺图可以求出：

$$D_1 = Q_{1n+1} = Q_1 \oplus Q_0 \quad D_0 = Q_{0n+1} = \bar{Q}_{0n}$$

$$Y_1 = \bar{Q}_{0n} \quad Y_2 = \bar{Q}_{2n}\bar{Q}_{1n} + \bar{Q}_{1n}Q_{0n} + Q_{1n}\bar{Q}_0X \quad Z = Q_{1n}\bar{Q}_{0n}\bar{X} + \bar{Q}_{1n}Q_{0n}X$$

方法二：从时序图中可以看出 Y1Y2 的状态为 00→11→01→10→00。

设：Y1 = Q1n; Y2 = Q0n 则状态图、状态表为：



$Q_{1n}Q_{0n}X$	$Q_{1n+1}Q_{0n+1}$	Z
0 0 0	1 1	0
0 0 1	1 0	0
0 1 0	1 0	0
0 1 1	1 1	1
1 0 0	0 0	1
1 0 1	0 1	0
1 1 0	0 1	0
1 1 1	0 0	0

$Q_{1n}Q_{0n}X$	00	01	11	10
0	1	1		
1	1	1		

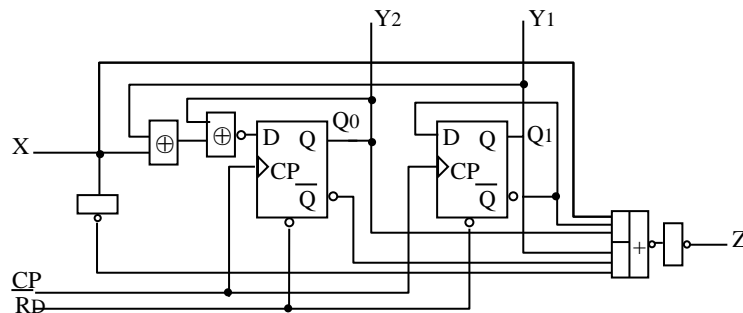
$$D_1 = Q_{1n+1} = \bar{Q}_{1n}$$

同理：

$$D_0 = Q_{0n+1} = Q_{1n} \oplus Q_{0n} \oplus X$$

$$Z = Q_{1n}\bar{Q}_{0n}\bar{X} + \bar{Q}_{1n}Q_{0n}X$$

显然，方法二的结果比方法一的结果要简单得多。其逻辑图为：





5.33、用正边沿 D 触发器设计一个具有如下功能的电路（电路如图 5—103 所示）；

- (1) 开关 K 处于位置 1（即  $X=0$ ）时，输出  $ZW=00$ ；(2) 当开关 K 掷到 2（即  $X=1$ ）时，电路要产生完整的系列输出，即  $ZW: 00 \rightarrow 01 \rightarrow 11 \rightarrow 10$ （开始 X 在位置 1）；(3) 如果完整的系列输出后，K 仍在位置 2，则 ZW 一直保持 10 状态，只有当 K 回到位置 1 时，ZW 才重新回到 00。

要求：

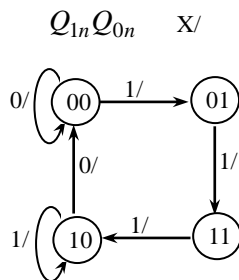
- (1) 画出最简状态图；(2) 列出状态表；(3) 给定状态分配；(4) 写出状态方程及输出方程；(5) 画出逻辑图。

解：ZW 的状态为 00、01、10、11，所以设：

输出  $Z=Q_1$ ； $W=Q_0$ ；输入：X

状态图

状态表



逻辑图

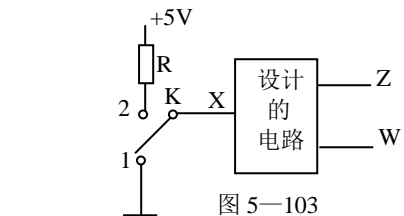
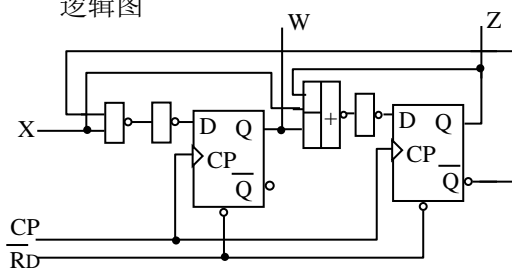
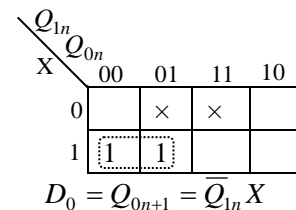
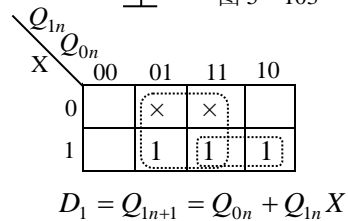


图 5—103



5.34、设计一个无堵塞的脉冲发生器，产生一个 010011000 的序列脉冲，如图 5—104 所示。

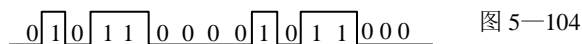


图 5—104

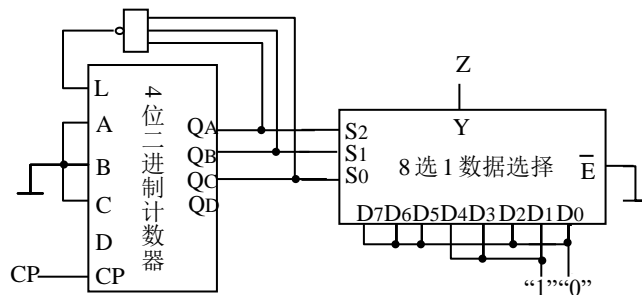
要求：(1) 用 4 个正边沿 D 型触发器，采用移位方式实现；

(2) 用数据选择器，同步 4 位计数器和“与非”门实现；

(3) 用图 5—97 所示移位寄存器实现。

解： $Z=01011000$ ， $01011000$

(2) 用四位二进制计数器构成一个 8 进制计数器，其输出端控制一个 8 选 1 数据选择器。





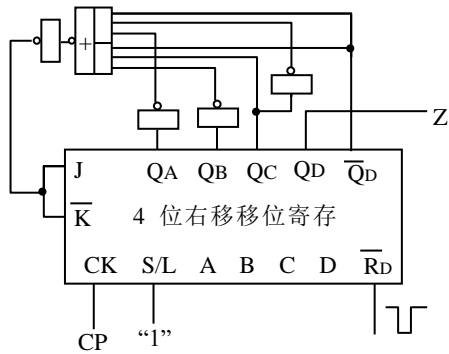
(3) 用四位右移移位寄存器实现

$J\bar{K}$	$Q_A$	$Q_B$	$Q_C$	$Q_D$
1	1	0	1	0
0	1	1	0	1
0	0	1	1	0
0	0	0	1	1
0	0	0	0	1
1	0	0	0	0
0	1	0	0	0
1	0	1	0	0
1	1	0	1	0

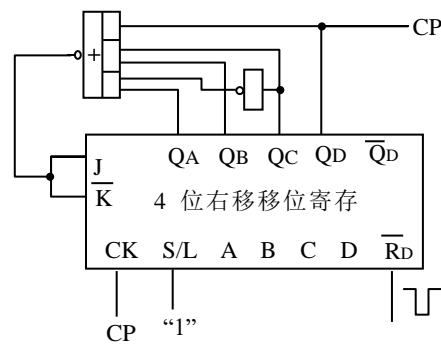
求  $J\bar{K}$  的表达式

$Q_B \backslash Q_A \backslash Q_C \backslash Q_D$	00	01	11	10
00	1	0	x	1
01	x	1	x	0
11	x	0	x	x
10	0	x	0	x

$$J\bar{K} = \bar{Q}_A \bar{Q}_C \bar{Q}_D + \bar{Q}_B Q_C \bar{Q}_D$$



另一种设计:  $J\bar{K} = \bar{Q}_D + Q_B Q_C + Q_A \bar{Q}_C$



检查自启动(无堵塞):

$$Q_{An} Q_{Bn} Q_{Cn} Q_{Dn} = 0010 \text{ 时} \Rightarrow 1001 \Rightarrow 0100 \text{ 同前!}$$