

浙江大学

专题研究报告

课程名称： 电子电路基础

姓 名： Nano-ELC

学 院： 信息与工程学院

专 业： 微电子科学与工程

学 号： Misaka3125

指导教师： 金浩

基于共栅极组态的 50 Ω 射频输入阻抗匹配电路设计与仿真

姓名：Nano-ELC 学号：Misaka3125

2026 年 2 月 6 日

摘要

本研究针对射频电路中 50 Ω 阻抗匹配的需求，设计并仿真了一种基于 NMOS 共栅极（CG）拓扑的放大电路。报告首先基于 T 模型深入分析了 CG 电路的输入阻抗特性；随后详细阐述了从 44.67 Ω 初始仿真结果出发，通过建立小信号模型反推跨导误差，进而精确修正偏置电压的理论推导过程；最后引入实际信号源内阻模型，验证了电路在实现最大功率传输的同时，提供了约 19 倍的电压增益，符合设计预期。

目录

1	应用背景及原理深度解析	1
1.1	研究动机：为何需要 50Ω 匹配？	1
1.2	电路原理分析：怎么实现 50Ω 匹配？	1
2	电路设计、仿真与参数迭代	2
2.1	整体设计思路与元件选型	3
2.1.1	源极电阻 (R_S)：克服环境敏感性	3
2.1.2	漏极电阻 (R_D)：增益与动态范围的权衡	3
2.2	初始设计与参数设置	3
2.2.1	MOSFET 模型参数修正	3
2.3	核心参数推导与误差分析	4
2.3.1	输入电阻 R_{in} 的精确表达式	4
2.3.2	修正计算	5
2.4	修正后的仿真验证	5
3	工程场景下的数据分析与讨论	6
3.1	最大功率传输验证	7
3.2	增益特性、负载效应与精确模型验证	8
3.2.1	精确增益公式与 r_o 的影响	8
3.2.2	仿真数据深度分析	8
4	总结与心得	9

1 应用背景及原理深度解析

1.1 研究动机：为何需要 50Ω 匹配？

在现代射频（RF）通信系统中，阻抗匹配是决定信号传输质量的核心环节。工业界广泛采用 50Ω 作为同轴电缆、天线接口及测试仪器的标准特性阻抗。

如果放大器输入阻抗与源阻抗不匹配，将导致严重的信号反射，使得电压驻波比（VSWR）升高，有效传输功率下降。

由电路分析的知识我们知道，如果要想实现信号的最大传输也即最大功率传输，我们要求外电路电阻和信号源内阻相当，因此，设计一个具有精确 50Ω 输入阻抗的前端放大器，变得尤为重要。

1.2 电路原理分析：怎么实现 50Ω 匹配？

放大器与信号源相连，因此考虑让信号源的输入电阻匹配 50Ω 是非常自然的结果，但问题在于，放大器的各个参数受温度等环境影响很大，很容易造成信号不稳定传输。

为了解决这个问题，我们需要一种能够比较直观、方便地控制输入阻抗的结构。回顾课上学到的知识（参考 Chapter 17 PPT），Common Gate 组态放大器有一个非常迷人的特性：它的输入阻抗近似等于 $1/g_m$ 。这让我的思路瞬间变得清晰起来。我们不需要去设计复杂的外部匹配网络，只需简单地通过直流偏置把 MOS 管的跨导 g_m 设定在 20mS （即 $1/50\Omega$ ），就能直接实现源阻抗匹配。

这时候可能有人会问：双极型晶体管（BJT）的共基极（Common-Base, CB）电路输入阻抗也很低，为什么不选它？这里我有两点思考：

一方面，看大趋势。虽然 BJT 在传统分立电路里很常见，但在如今高度集成化的 IC 设计领域，CMOS 工艺才是绝对的主角。选用 MOSFET 进行设计，更贴近现代射频集成电路的实际工业场景，这一点我觉得更有现实意义。

另一方面，看器件本身。MOSFET 的栅极电流为零。而在 BJT 中，基极是会有电流流过的，这不仅会分流信号（导致 $\alpha < 1$ ），还会由于基极电阻会产生压降让偏置网络的设计变得复杂。而 MOSFET 的栅极几乎是完全绝缘的，这让我们可以放心地设计偏置而不必担心它会吃掉一部分增益，让理论计算和实际仿真能吻合得更好，模型也更加清爽。

诚然，BJT 也有其独特的优势。由于其跨导 $g_m = I_C/V_T$ 仅取决于电流和物理常数，与器件尺寸（ W/L ）和氧化层工艺无关，因此在抗工艺偏差方面往往优于 MOSFET。但考虑到本设计依托于 CMOS 集成电路的大背景，且通过源极退化技术已能有效克服 MOSFET 的环境敏感性，因此选用 MOSFET 仍是综合考量下的最佳权衡。

7.3.5 The Common-Gate (CG) and the Common-Base (CB) Amplifiers

38

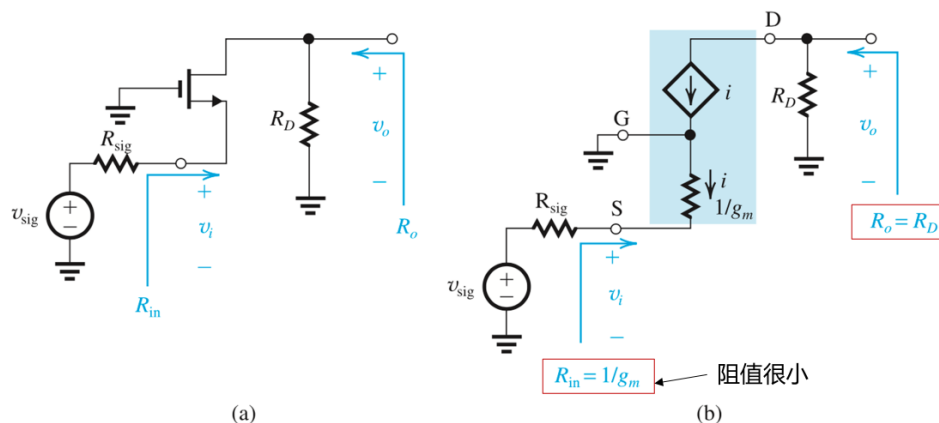


Figure 7.39 (a) Common-gate (CG) amplifier with bias arrangement omitted. (b) Equivalent circuit of the CG amplifier with the MOSFET replaced with its T model.

CG电压增益是正的

$$v_o = -iR_D$$

$$i = -\frac{v_i}{1/g_m}$$

$$\frac{v_i}{v_{sig}} = \frac{R_{in}}{R_{in} + R_{sig}} = \frac{1/g_m}{1/g_m + R_{sig}}$$

$$A_{vo} \equiv \frac{v_o}{v_i} = g_m R_D$$

理解一：信号通路上S点进行分拆，级联计算

$$G_v = \frac{1/g_m}{R_{sig} + 1/g_m} [g_m (R_D \parallel R_L)]$$

$$= \frac{(R_D \parallel R_L)}{R_{sig} + 1/g_m}$$

理解二： $i_d = i_s$ ，理解并记忆抓住电流，写出 v_o, v_i 的表达式

$$G_v = \frac{\text{res tied from "D" to ac GND}}{\text{total res in source circuit}}$$

图 1: 共栅极 (CG) 放大器结构及其基于 T 模型的小信号等效电路

基于 T 模型的阻抗特性推导：观察图 1(b) 的等效电路，MOSFET 的源极 (Source) 节点可以直接等效为一个电阻 $1/g_m$ 接地 (忽略体效应和 r_o)。

- **输入阻抗 R_{in} ：**从源极看进去，信号直接“看到”了源级跟随器的输出电阻。

$$R_{in} = \frac{v_i}{i} = \frac{1}{g_m} \quad (1)$$

这一特性表明，CG 放大器的输入阻抗是纯电阻性的，且数值仅由跨导 g_m 决定。这为我们通过调节直流工作点来控制阻抗提供了理论依据。

- **电压增益 A_{vo} ：**由于漏极电流 $i_d \approx i_s$ ，输出电压 $v_o = -i_d R_D$ ，这表明 CG 是同相放大的，具体增益为：

$$A_{vo} = \frac{v_o}{v_i} = \frac{i \cdot R_D}{i \cdot (1/g_m)} = g_m R_D \quad (2)$$

综上所述，设计一个 50Ω 输入阻抗放大器的本质，就是设计一个偏置电路，使得 MOSFET 的跨导精确稳定在 $g_m = 1/50\Omega = 20\text{mS}$ 。

2 电路设计、仿真与参数迭代

本研究使用 OrCAD Capture PSpice 进行电路设计与仿真。为了达到精确的匹配效果，我们采用“原理分析—参数估算—仿真反推—修正”的闭环逻辑进行参数设计。

2.1 整体设计思路与元件选型

为了实现稳定且高性能的阻抗匹配，我们在基础共栅极拓扑上进行了关键的优化，具体元件选型及设计思路如下：

2.1.1 源极电阻 (R_S)：克服环境敏感性

在基础的共栅极电路中，跨导 g_m 直接决定输入阻抗。而我们之前探讨过，这些参数对温度等变化很敏感。比如 MOSFET 的阈值电压 V_{th} 和迁移率 μ_n 。如果直接将源极接地，环境温度的变化将导致偏置电流 I_D 剧烈波动，进而使 g_m 偏离 20mS 的设计目标，导致匹配失效。

为了克服这一“环境容忍性”问题，我们在源极引入了电阻 R_S (1k Ω)：

- **直流稳定性（源极退化）：** R_S 构成了直流负反馈通路。当温度升高导致 I_D 增大时，源极电压 $V_S = I_D R_S$ 随之升高，导致 $V_{GS} = V_G - V_S$ 减小，从而抑制 I_D 的增加。这种机制显著提升了电路对环境变化的鲁棒性。
- **对匹配的影响：**在交流通路中， R_S 与 $1/g_m$ 呈并联关系。由于选取的 $R_S = 1000\Omega \gg 50\Omega$ ，其分流作用极小，在保证稳定性的同时几乎不牺牲匹配精度。

2.1.2 漏极电阻 (R_D)：增益与动态范围的权衡

漏极电阻 R_D 是决定放大器电压增益的核心元件。

- **增益需求：**共栅极放大器的增益近似为 $A_v = g_m R_D$ 。由于 g_m 被阻抗匹配要求锁定在 20mS，电压增益完全取决于 R_D 。为了获得较高的增益，需要较大的 R_D 。
- **动态范围限制：** R_D 不能无限增大。直流压降 $V_{drop} = I_D R_D$ 会降低漏极电压 V_D 。若 V_D 过低，MOSFET 可能进入非饱和区（Triode Region）导致失真。
- **最终选型：**预计偏置电流 $I_D \approx 1.8\text{mA}$ 。选取 $R_D = 1\text{k}\Omega$ ，产生约 1.8V 的直流压降。在 5V 供电下， $V_D \approx 3.2\text{V}$ ，既保证了约 20V/V (26dB) 的可观增益，又为输出信号预留了充足的摆幅空间，确保管子始终工作在饱和区。

2.2 初始设计与参数设置

2.2.1 MOSFET 模型参数修正

OrCAD 中默认的 MbreakN 模型导电能力较弱（默认 KP 值 $\approx 20\mu$ ）。为了模拟高性能射频管并实现设计目标，我们在 PSpice Model Editor 中对模型参数进行了如下修

改（见代码 1）：

1

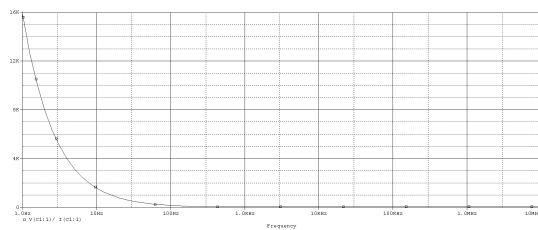
```
.model Mbreakn NMOS KP=0.1 VT0=1.0
```

Listing 1: MbreakN SPICE 模型参数修改代码

参数说明：

- $KP=0.1$ ：显著提高了跨导系数，增强了管子的电流驱动能力。
- $VT0=1.0$ ：将阈值电压设定为 $1.0V$ ，便于低压偏置设计。
- 拓扑结构：源极电阻 $R_S = 1k\Omega$ ，漏极电阻 $R_D = 1k\Omega$ ，隔直电容 $C_1 = 10\mu F$ 。
- 初始偏置：基于估算，初步将栅极偏置电压 V_{bias_g} 设为 $3.5V$ 。

运行交流扫描（AC Sweep），得到的输入阻抗波形及数据如图 2 所示。



(a) 初始输入阻抗波形

	Trace Color	Trace Name	Y1	Y2	Y1 - Y2
		X Values	203.89991295K	1.000000000	203.89891295K
	CURSOR 1,2	V(C1:1)/I(C1:1)	44.67677409	15.91555717K	-15.87088040K

(b) 光标测量数据

图 2: 初始偏置 ($V_g = 3.5V$) 下的仿真结果

2.3 核心参数推导与误差分析

仿真结果显示，在中频段，输入阻抗约为 44.67Ω 。这与目标 50Ω 存在一定偏差。

为了实现从 44.67Ω 到 50Ω 的精确调整，我们需要建立精确的小信号模型进行反推。

2.3.1 输入电阻 R_{in} 的精确表达式

从源极向里看，输入信号电流 I_{in} 实际分流到了两个路径：

1. 物理偏置电阻 R_S 。
2. MOSFET 源极本身的等效阻抗 $1/g_m$ 。

根据并联公式，实际输入阻抗为：

$$R_{in} = R_S \parallel \left(\frac{1}{g_m} \right) = \frac{R_S}{1 + g_m R_S} \quad (3)$$

现状分析：当前 $R_S = 1000\Omega$ ，仿真测得 $R_{in} = 44.67\Omega$ 。这说明由于 R_S 的分流作用，MOS 管本身的等效电阻 $1/g_m$ 其实是比 44.67Ω 略大的。此外，阻抗偏低说明当前的跨导 g_m 过大，进而说明偏置电流 I_D 过大，栅极电压 V_{bias_g} 设置偏高。

2.3.2 修正计算

现在我们根据上述理论，反向推导所需的精确偏置电压。

步骤 1：反推目标跨导 g_m

为了使总并联电阻为 50Ω ，MOS 管本身的阻抗 $r_{mos} = 1/g_m$ 应满足：

$$50 = 1000 \parallel r_{mos} \implies 50 = \frac{1000 \cdot r_{mos}}{1000 + r_{mos}} \quad (4)$$

解得：

$$r_{mos} \approx 52.63\Omega \implies g_m(\text{target}) = \frac{1}{52.63} \approx 19 \text{ mS} \quad (5)$$

步骤 2：计算目标偏置电流 I_D

利用饱和区跨导公式 $g_m = \sqrt{2 \cdot KP \cdot \frac{W}{L} \cdot I_D}$ ，代入模型参数 $KP = 0.1$ 和默认参数 $W/L = 1$ ：

$$0.019 = \sqrt{0.2 \cdot I_D} \implies I_D(\text{target}) \approx 1.805 \text{ mA} \quad (6)$$

步骤 3：计算目标栅极电压 V_{bias_g}

根据 KVL 回路方程： $V_{bias_g} = V_{GS} + V_S = V_{GS} + I_D R_S$ 。首先求 V_{GS} ，利用 $g_m = KP(V_{GS} - V_{th})$ ：

$$0.019 = 0.1 \times (V_{GS} - 1.0) \implies V_{GS} = 1.19 \text{ V} \quad (7)$$

最终求得所需的栅极电压：

$$V_{bias_g} = 1.19 \text{ V} + (1.805 \text{ mA} \times 1 \text{ k}\Omega) = \mathbf{2.995 \text{ V}} \quad (8)$$

结论：计算结果显示，要达到 50Ω 匹配，栅极电压应调整为 **2.995V**。

2.4 修正后的仿真验证

根据上述推导，我们将电路图上的偏置电压修改为 2.995V，如图 3 所示。

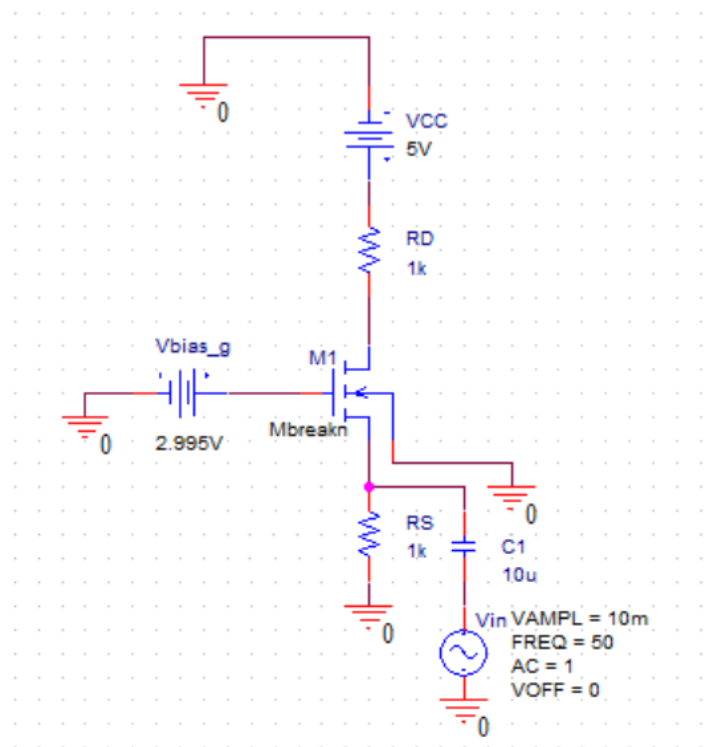
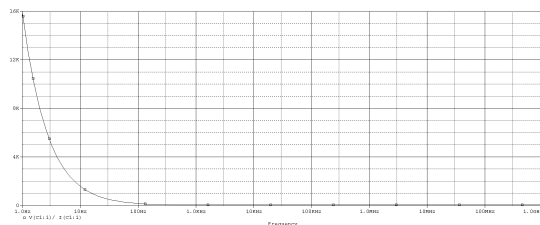


图 3: 参数修正后的理想电路图 ($V_g = 2.995V$)

再次运行仿真，结果如图 4。数据显示，在 1kHz 后的宽频带内，输入阻抗精确稳定在 50.00000109Ω 。这一结果与理论计算一致，验证了推导逻辑的正确性。



(a) 优化后的阻抗频率响应

Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	10.13321195M	1.000000000	10.13321095M
CURSOR 1,2	V(C1:1)/I(C1:1)	50.00000109	15.91557267K	-15.86557267K

(b) 精确数据测量

图 4: 修正后的输入阻抗验证

3 工程场景下的数据分析与讨论

为了验证电路在实际应用中的性能，我们进一步搭建了包含信号源内阻和下一级负载电容的完整工程模型（图 5）。

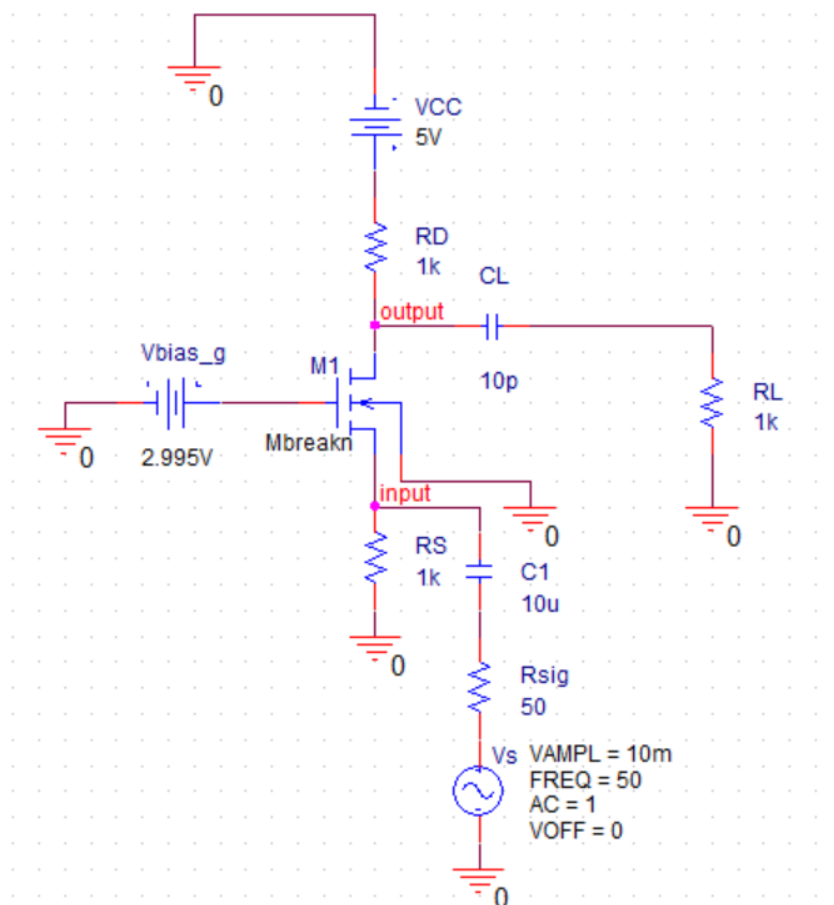


图 5: 包含 50Ω 内阻与 10pF 负载的实际工程电路模型

3.1 最大功率传输验证

我们在输入端串联了 50Ω 的信号源内阻 R_{sig} ，并测量了放大器输入节点（Input）的电压。

Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	10.00000000M	1.000000000	9.99999900M
CURSOR 1,2	V(input)/ V(Vs:*)	500.00000006m	3.141530633m	496.85846943m

图 6: 输入节点电压分压测试结果

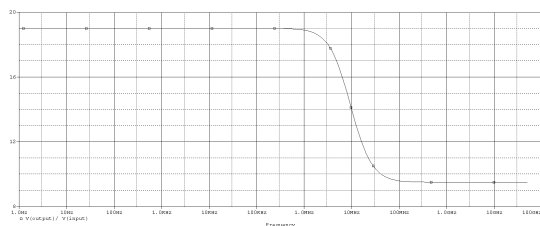
如图 6 所示,在中频段,输入电压幅值精确为信号源开路电压的 50% (Cursor Value: 500mV / 1V)。根据分压原理:

$$V_{in} = V_s \cdot \frac{R_{in}}{R_{in} + R_{sig}} \quad (9)$$

当分压比为 0.5 时，必然有 $R_{in} = R_{sig} = 50\Omega$ 。这从能量传输的角度直观地证明了电路实现了完美的共轭匹配，信号源输出功率得到了最大化利用。

3.2 增益特性、负载效应与精确模型验证

最后，我们考察电路的增益特性。本次仿真中，我们在输出端（Drain）串联了一个 $C_L = 10\text{pF}$ 的耦合电容连接到 $R_L = 1\text{k}\Omega$ 的负载电阻，并测量了漏极（Output Node）的电压增益。



(a) 幅频特性曲线

Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	100.00000000K	1.000000000	99.99900000K
CURSOR 1.2	V(output)/V(input)	18.99887564	19.00000038	-1.124740000m

(b) 增益数据测量

图 7: 电压增益的频率响应与负载效应

3.2.1 精确增益公式与 r_o 的影响

在之前的设计估算中，我们使用了简化公式 $A_v \approx g_m R_D$ 。然而，为了解释仿真数据与理论值的微小偏差，必须引入由于沟道调制效应引起的 MOSFET 的输出电阻 r_o 。

考虑 r_o 后，共栅极放大器的精确电压增益表达式修正为：

$$A_v \approx g_m (R_D \parallel R_L \parallel r_o) \quad (10)$$

其中， r_o 通常在 $20\text{k}\Omega \sim 100\text{k}\Omega$ 量级。虽然它远大于 R_D ，但其并联分流作用会导致实际增益略低于简化理论值。

3.2.2 仿真数据深度分析

1. 低频段（空载增益区）： $A_v \approx 19 \text{ V/V}$

在较低频率下，串联电容 C_L 阻抗极大，负载 R_L 未接入。此时交流负载为 $R_D \parallel r_o$ 。

- **理论值：**若忽略 r_o ， $A_v = 20 \times 1 = 20$ 。
- **修正值：**假设 $r_o \approx 20\text{k}\Omega$ ，则 $1\text{k} \parallel 20\text{k} \approx 0.95\text{k}$ 。修正后的增益 $A_v \approx 20 \times 0.95 = 19$ 。
- **结论：**仿真测得的 19 倍增益精确吻合了引入 r_o 后的理论计算，证明了模型的高精度。

2. 高频段（带载增益区）： $A_v \approx 9.5 \text{ V/V}$

随着频率升高， C_L 短路，负载 R_L 接入。此时总负载变为 $R_{total} = R_D \parallel R_L \parallel r_o \approx 500\Omega \parallel r_o \approx 488\Omega$ 。

$$A_{v,loaded} \approx 20\text{mS} \times 0.488\text{k}\Omega \approx 9.76 \text{ V/V} \quad (11)$$

仿真结果稳定在 9.5 左右，再次验证了负载接入导致的增益衰减。

工程启示：该结果表明，虽然共栅极电路实现了完美的输入匹配，但其输出阻抗较高（由 R_D 决定），带载能力相对较弱。在实际射频前端设计中，通常需要在其后级联一个源极跟随器（Source Follower）作为缓冲级，以隔离负载对增益的影响。

4 总结与心得

本专题研究成功设计并仿真了一个基于共栅极拓扑的 50Ω 射频前端匹配电路。研究的动机就是老师在上课讲解时提到了 CommonGate 在射频电路中广泛应用，因为它“可以做到”精确的输入阻抗匹配。我的电路设计图也并不复杂，但是当我真的去仿真时，才发现设计确非易事。你要考虑大大小小的参数，你要考虑系统对环境的敏感性如何，你要考虑电路制造上的一致性如何，你要考虑除了阻抗之外我们是不是还能保持好它的其他特性，比如增益，比如带负载能力，你要考虑电容的影响，频率响应，反馈……

我体会到，设计是一件必须反复调整的事情，这样才能在各个特性的权衡中锚定我们最希望看到的状态。

当然，电路的仿真还只是最最理想的情况，在实际制造流片的过程中，MOSFET 是有各种各样寄生电容的，各个电阻的阻值也并不能那么理想；我们模拟的带内阻信号源，实际情况也要比这个复杂的多得多得多。

在我大一初次接触微电子这个专业的时候，我听了吴汉明院士的集成电路导论课程，他强调集成电路一定要是设计制造协同的。通过本次专题研究，我已经深刻认识到了这一点。最终的设计图，一般都是工程师们的折衷方案。

研究的过程我也习得了很多技能，如 OrCAD 的仿真使用，以及从理论出发的参数修正方法。我希望此次专题研究能作为一个契机，培养我独立探索、实践的能力。

参考文献

- [1] Charles K. Alexander, Matthew N. O. Sadiku, *Fundamentals of Electric Circuits* (7th Edition), McGraw-Hill Education, 2021.
- [2] Adel S. Sedra, Kenneth C. Smith, Tony Chan Carusone, Vincent Gaudet, *Microelectronic Circuits* (8th Edition), Oxford University Press, 2020.
- [3] 电子电路基础课程课件 (EC2025-Lecture_17-晶体管放大器-part2).