

**综 合 电 子 设 计**

**课 程 设 计 报 告 书**

**班 级 电子11503**

**姓 名 李锦龙**

**学 号 1503270328**

目录

**[1、系统设计 3](#_Toc20852)**

[1.1、设计任务 3](#_Toc2011)

[1.2、基本要求 3](#_Toc16181)

**[2、 方案论证 4](#_Toc16515)**

[2.1、信号发生器电路 4](#_Toc25332)

[2.2、滤波电路 4](#_Toc29506)

[2.3、移相电路 5](#_Toc23403)

**[3、 硬件设计 6](#_Toc6120)**

[3.2、芯片资料 7](#_Toc757)

[3.3、电压比较器 9](#_Toc8687)

[3.3、1 几种常用的电压比较器 9](#_Toc8075)

[3.3、2集成运放在比较器中的应用（非线性工作区） 10](#_Toc26186)

[3.4、滤波电路 11](#_Toc9672)

[3.5、移相器 16](#_Toc29904)

[3.6、加法器 17](#_Toc17701)

**[4、 软件设计 19](#_Toc10763)**

[4.1、DDS框图 19](#_Toc3862)

[4.2、程序 20](#_Toc9327)

**[5、 实验结果 27](#_Toc22498)**

**[6、 误差分析 28](#_Toc24640)**

**[7、 总结、 28](#_Toc10097)**

**1、系统设计**

**1.1、设计任务**

设计制作一个电路，能够产生多个不同频率的正弦信号，并将这些

信号再合成为近似方波和其他信号。

**1.2、基本要求**

1．基本要求

（1）做一个基于FPGA的信号源，要求可以输出正弦波信号。

（2）信号源产生的正弦波信号输出至比较器转换为同频率方波。方

波信号再经滤波器处理同时产生频率为 10KHz和 30KHz的正

弦波信号。

（3）要求产生的正弦波信号波形无明显失真，幅度峰峰值分别为 6V

和2V。

（4）制作一个由移相器和加法器构成的信号合成电路，将产生的

10kHz和30kHz的正弦波信号，作为基波和3次谐波，合成一个

近似方波，波形幅度为5V。

波形的形状如图1所示：

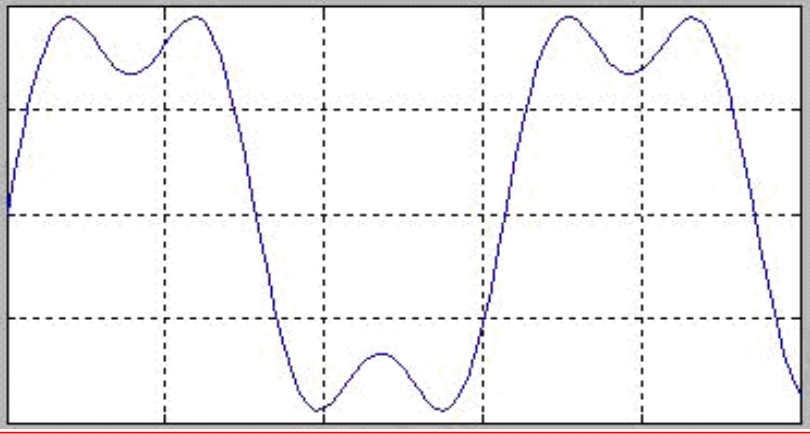


图1

1. 发挥部分

（1 ） 再产生50kHz 的正弦信号作为5 次谐波，参与信号合成，使合

成的波形更接近于方波；

（2 ）根据三角波谐波的组成关系，设计一个新的信号合成电路，

将产生的10kHz 、30kHz 等各个正弦信号，合成一个近似的三

角波形；

（3 ）设计制作一个能对各个正弦信号的幅度进行测量和数字显示

的电路，测量误差不大于± 5 ％；

（4 ）其他。

1. **方案论证**

**2.1、信号发生器电路**

方案一 、

用555定时器构成多谐振荡器产生300KHz方波，或者用MSP430单片机自带定时器产生300KHz方波，然后通过数字分频电路分出10KHz30KHz及50KHz方波，再通过滤波提取相应的正弦波，这样提取出来的正弦波相位关系确定，适合于方波、三角波的合成。

方案二 、

用多个555定时器构成的多谐振荡器产生分别10KHz、30KHz、50KHz的方波，然后用低通滤波电路分别把各自的基波提取出来，产生10KHz、30KHz、50KHz正弦波。但是这样的正弦波相位关系不确定，不能用于合成方波三角波。

方案三 、

直接使用FPGA利用DDS技术产生10khz正弦波，然后通过D/A转换器进行数模转换，再用电压比较器得到10khz方波，最后通过滤波器滤出10khz、30khz、50khz正弦波。

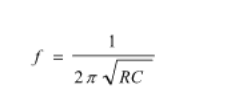
由于用FPGA产生频率精度高且稳定、调整方便。 考虑以上各项，选用方案三。

**2.2、滤波电路**

方案一 、

采用LC或RC无源滤波，电路图如图2所示，电路简单，参数易于计算。但滤波效果差而本题目只要给指定频率的波形滤波,并且达不到题设要求。

可以根据中心频率公式：



来匹配R、C的参数。

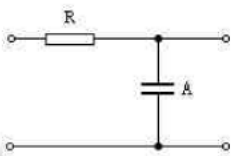


图2 无源RC低通滤波器

方案二 、

采用状态变量可调滤波电路。 这种滤波电路截止频率与 Q 值受不同元件控制且互相没有影响。可以用乘法型数模转换芯片代替电路中控制中心频率的电阻，通过程序改变 DA 输出以改变等效接入电阻达到中心频率程控的目的。设计中采用DAC0830 来代替本滤波

电路中的相关控制电阻，通过单片机控制DAC0830来改变其输出电流关系，从而

改变等效接入电阻而达到程控的目的。

方案三 、

采用巴特沃斯带通滤波器。 巴特沃斯滤波带通滤波电路是最简单也是最常见的滤波电路，该滤波器的幅频响应在通带中具有最大平坦度，且电路简单易操作。

综和比较后选择方案三。

**2.3、移相电路**

方案一 、

用RC构成一级移相电路，该电路优点是电路结构简单，缺点是在调节相位时，移相角度不大于90度，而且波形幅度的幅度发生变化，特别是移相角度不大于90度不能满足实际需要。

RC一级移相电路

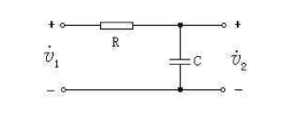


图3 RC一级移相电路

如图3为RC滞后型移相网络，，

其中。即调节R或C，可以使网络产生0-90°的相移。

方案二 、

用RC构成多级移相电路，该电路结构符合相位移位的需求，可以在0-180°范围内调节相移，但是波形会发生严重衰减。

方案三 、

利用全通滤波电路来构成移相电路，该电路可以在0-180°范围内调节相位，且幅度基本不变化。

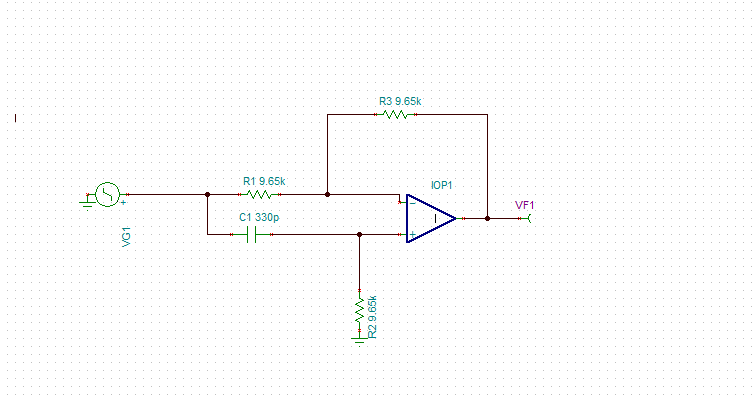


图4 二阶全通滤波电路

由此可以看出，二阶全通滤波电路可以产生0-180°相移。

RC移相电路构造简单但生成波形会有较大失真。全通滤波电路可以进行在0-180°范围内调节相位，波形失真较小且幅度基本不变化，但构造复杂。经考虑选择方案三。

1. **硬件设计**

**3.1、结构框图**

10KHZ

低通滤波

近似方波

加法器

50KHZ

移相电路

30KHZ

带通滤波

带通滤波

电压比较器

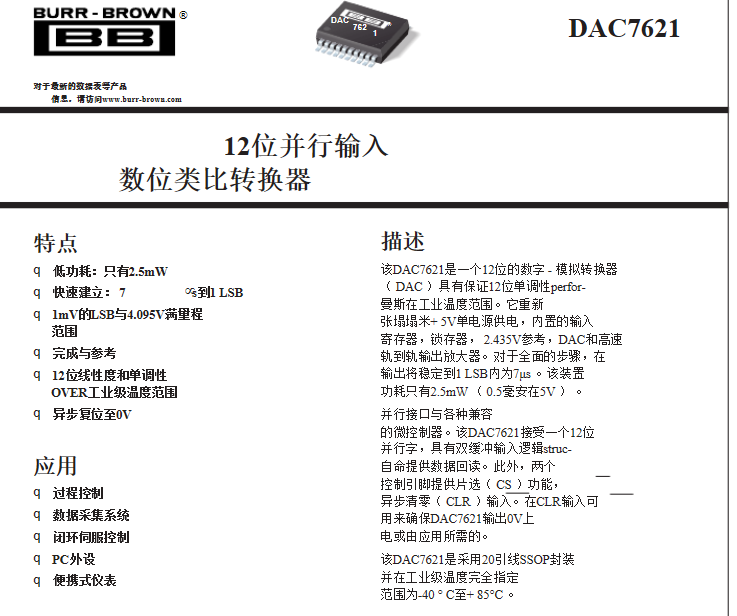
D/A转换

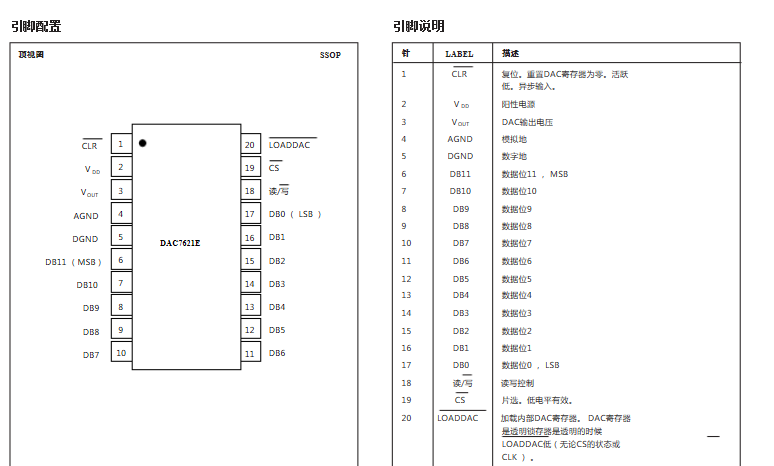
FPGA

图 5

**3.2、芯片资料**

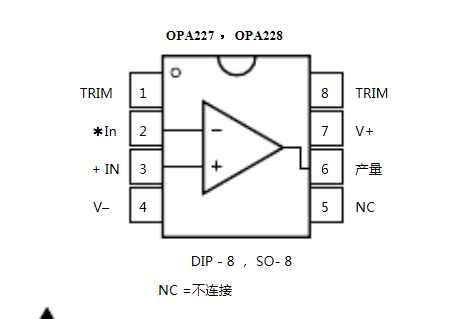
**（1）DAC7621**



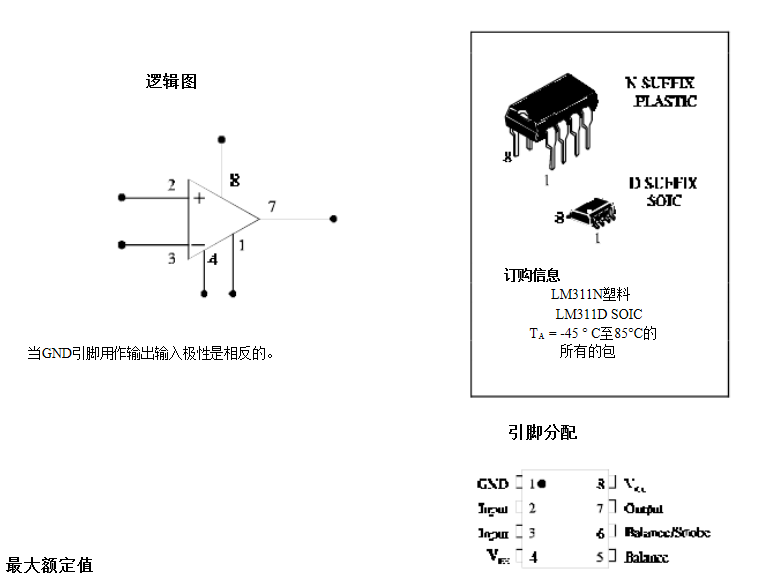


**(2)OPA227**





**(3)LM311**



**3.3、电压比较器**

3.3、1 几种常用的电压比较器

1. 单限比较器：只有一个阈值电压

Dz080202

图6

（2）滞回比较器：具有滞回特性

输入电压的变化方向不同，阈值电压也不同，但输入电压单调变化使输出电压只跃变一次。回差电压

Dz080202

图7

（3）窗口比较器：

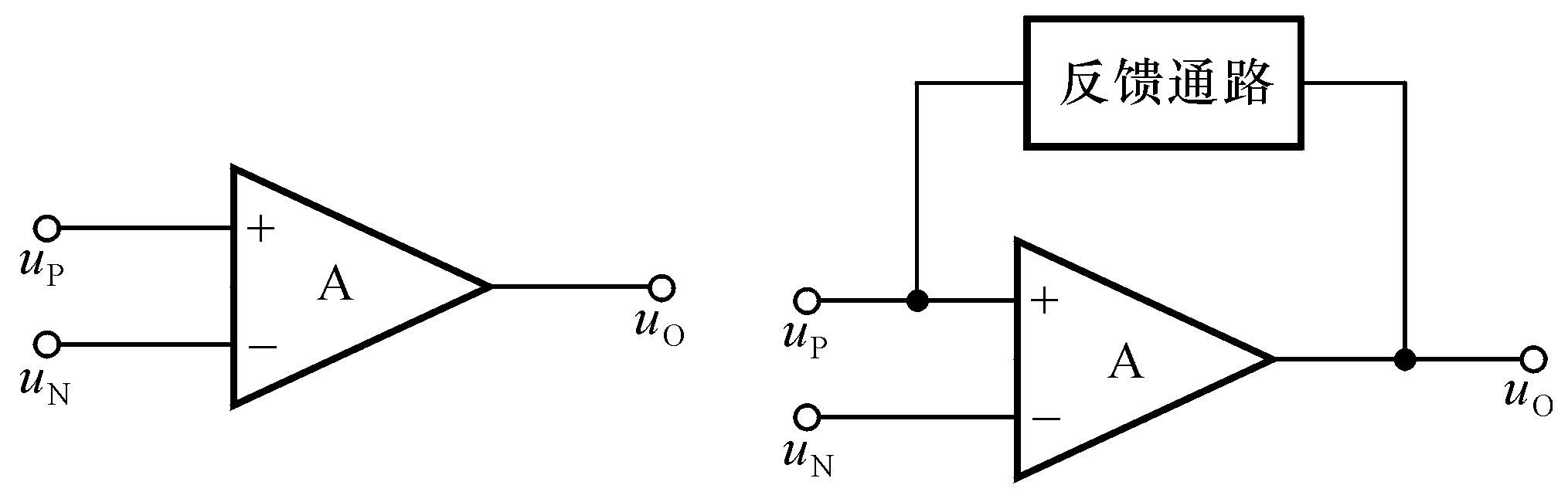
有两个阈值电压，输入电压单调变化时输出电压跃变两次。

Dz080202

图8

3.3、2集成运放在比较器中的应用（非线性工作区）

电路特征：集成运放处于开环或仅引入正反馈

 图9

集成运放工作在非线性区的特点

1) 净输入电流为0

2) uP> uN时， uO＝＋UOM

uP< uN时， uO＝－UOM



图10

**3.4、滤波电路**

**（1）10kh低通**

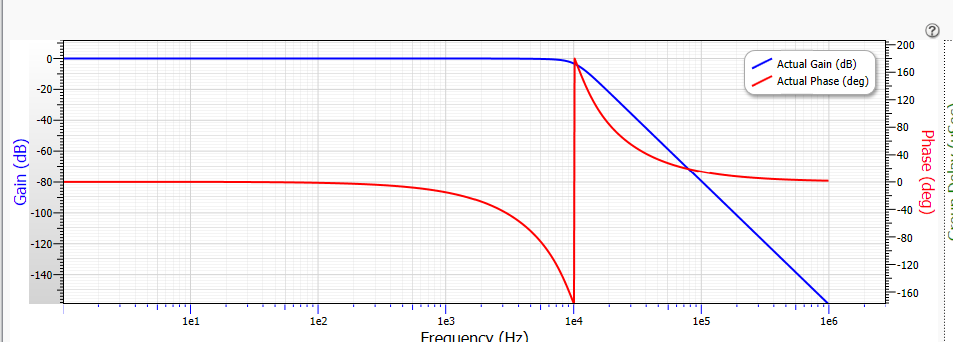


图11

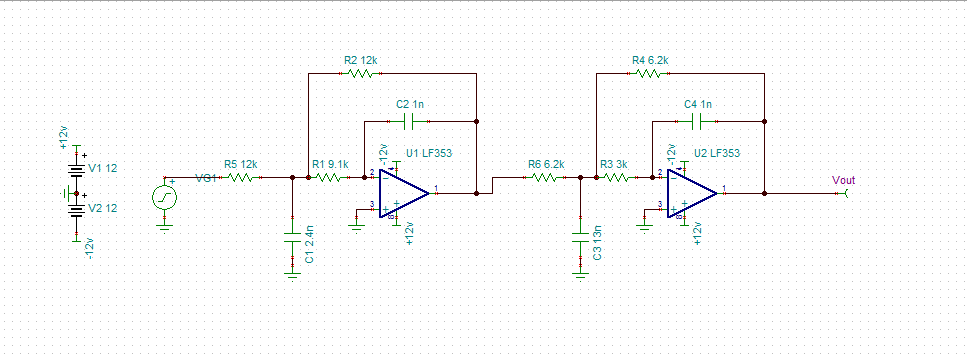


图12

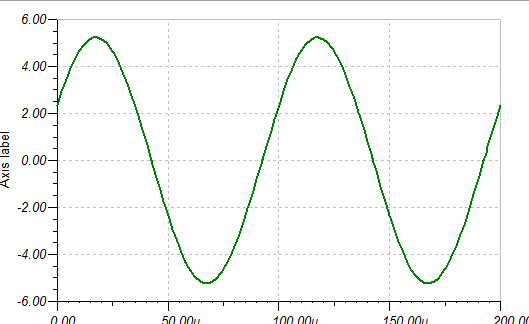


图13

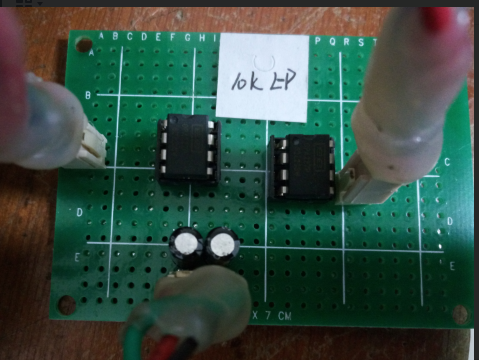


图14

**（2）30khz带通**

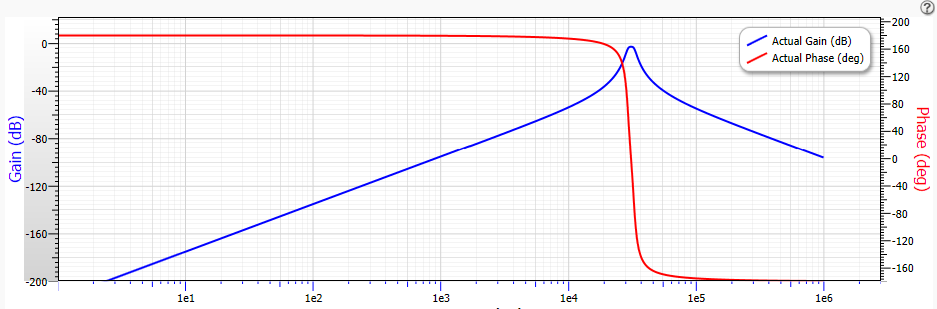


图15

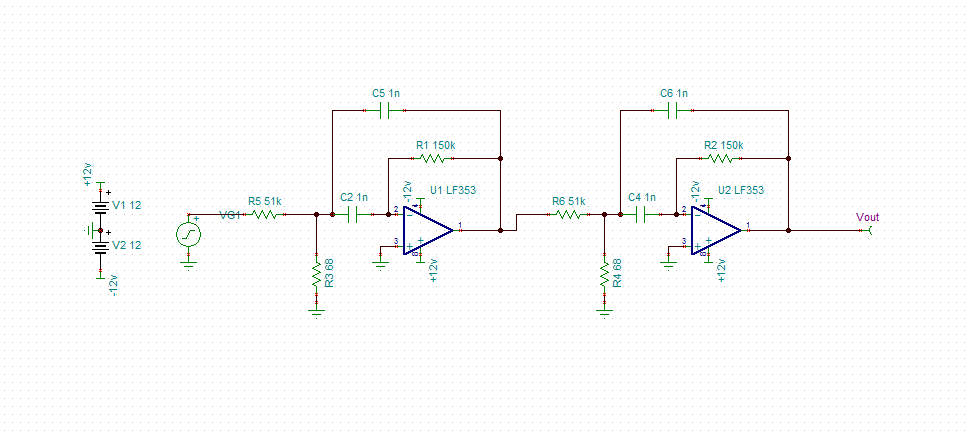


图 16

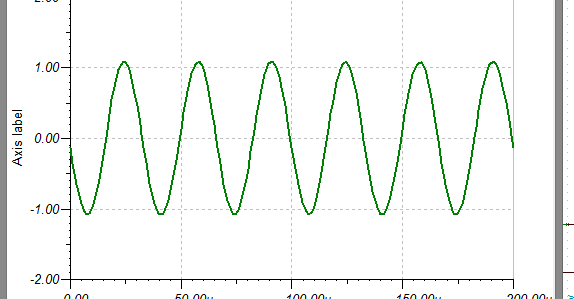


图17



图18

**（2）50khz带通**

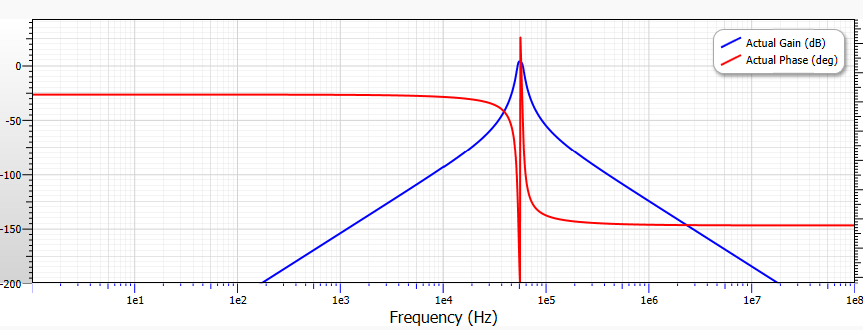


图19

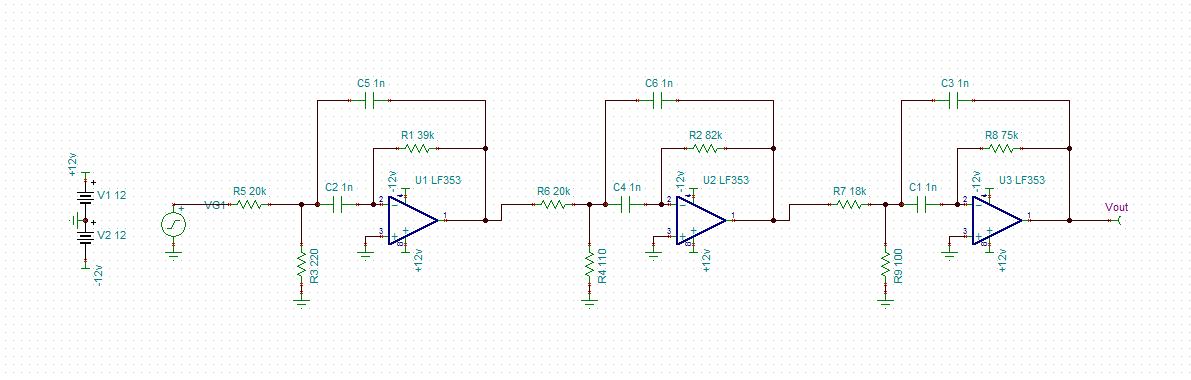


图20

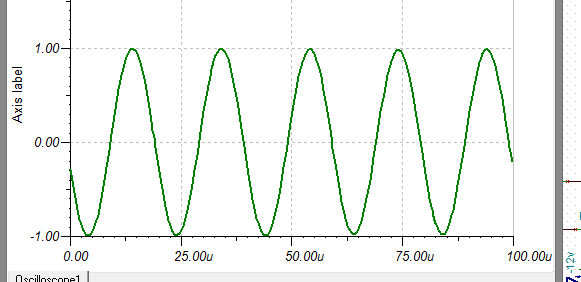


图21

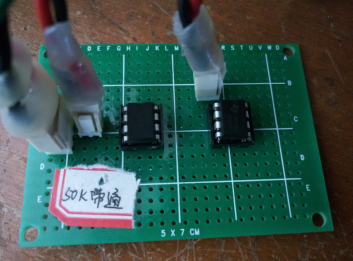


图21

**3.5、移相器**

由于方波信号经由滤波器滤波处理后其相位会发生改变并且不同的频率

经过滤波器后的相位移动不同而题目要求合成的方波和三角波的谐波信号与基

波信号皆同相位故要求制作的移相器的作用是使滤波后的三路信号移至同相

位。本次设计的移相电路采用的是全通滤波器能改变即能改变相位也可以不改变

信号的幅值的原理

经测量只需对30khz进行移动相位

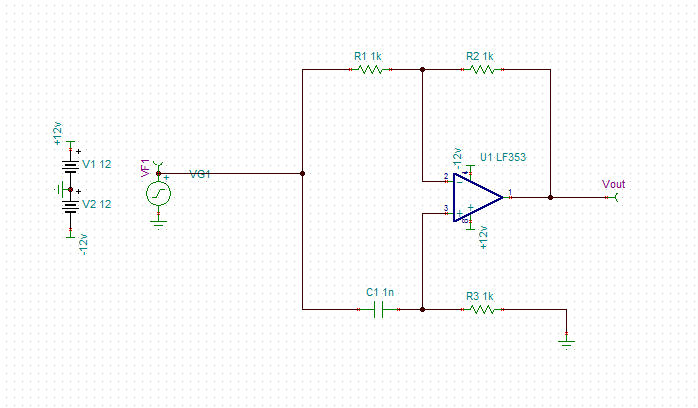


图22

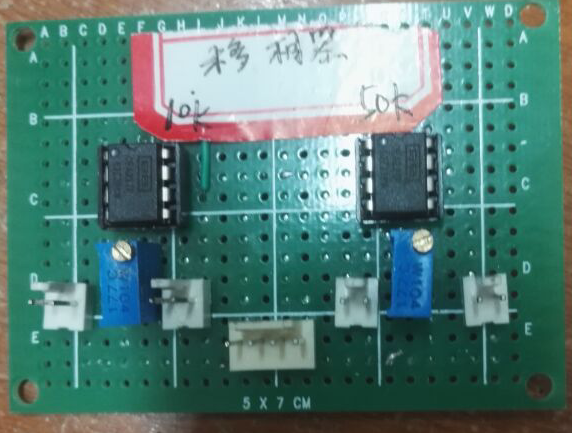


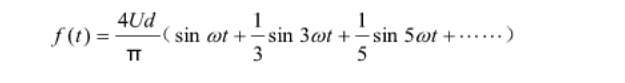
图23

**3.6、加法器**

任何电信号都是由各种不同频率、幅度和初相的正弦波迭加而成的。对周期

信号由它的傅里叶级数展开式可知各次谐波为基波频率的整数倍。数学上可以

证明方波可表示为

 通过一个选频网络可以将电信号中所包含的某一频率成份提取出来。将被测方波信号加到分别调谐于其基波和各次奇谐波频率的一系列有源带通滤波器电路上。从每一有源带通滤波器的输出端可以用示波器观察到相应频率的正弦波。本实验所用的信号是300KHz的方波，而用作选频网络的3种带通滤波器的输出频率分别是10KHz、30KHz、50KHz。在理想情况下，偶次谐波应该无输出信号，始终为零电平，而奇次谐波则具有很好的幅度收敛性，理想情况下奇次谐波中一、三、五次谐波的幅度比应为1:1/3:1/5。

F(t)=3sin(2π\*10\*10^3t)+ sin(2π\*30\*10^3t)+0.6sin(2π\*50\*10^3t)+......

但实际上因输入方波的占空比较难控制在50%，且方波可能有少量失真以及滤波器本身滤波特性的有限性都会使得偶次谐波分量不能达到理想零的情况。

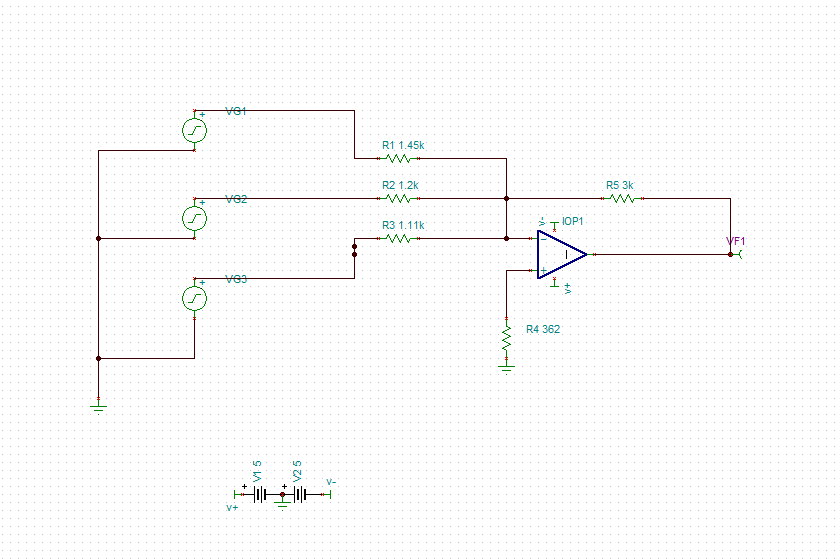


图24

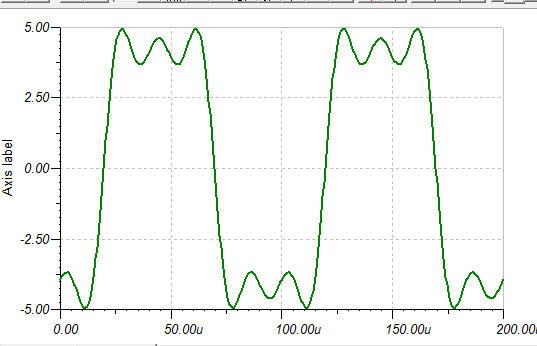


图25

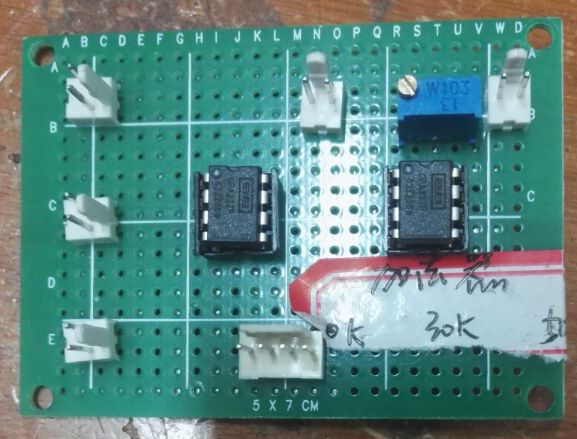
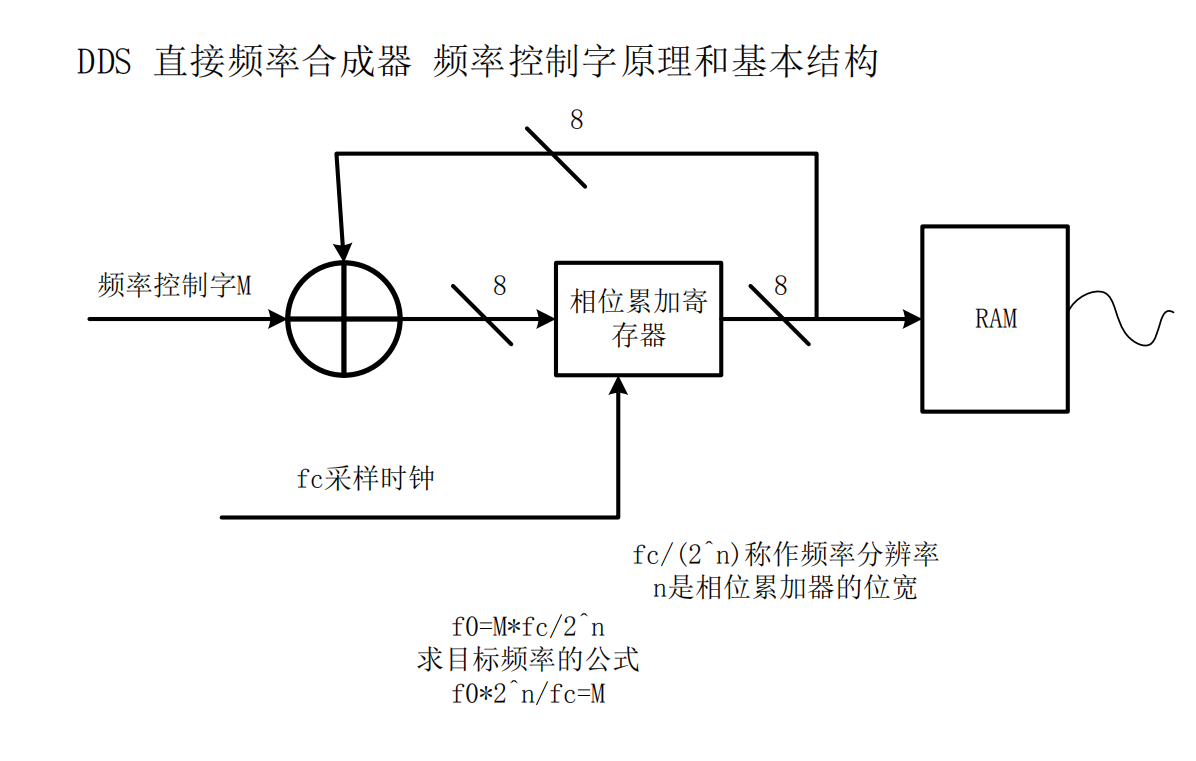


图26

1. **软件设计**

**4.1、DDS框图**



**4.2、程序**

**module ex\_dds(**

**input wire sclk,**

**input wire rst\_n,**

**input wire work\_en,**

**output wire work\_led,**

**output wire dcs\_n,**

**output wire drw\_n,**

**output wire dload\_n,**

**output wire dclear\_n,**

**output reg [11:0] dac\_data**

**);**

**wire [11:0] addr;**

**wire [11:0] owave;**

**reg [31:0] phase\_sum;**

**// reg cs\_n;**

**// reg rw\_n;**

**// reg load\_n;**

**parameter FQR\_W = 32'd858993;**

**// parameter IDLE = 3'b001;**

**// parameter WRITE\_DAC = 3'b010;**

**// parameter DAC\_READ = 3'b100;**

**/\***

**reg [2:0] state;**

**reg [2:0] dac\_wcnt;**

**reg [3:0] dac\_rcnt;**

**reg write\_done;**

**reg write\_done1;**

**reg read\_done;**

**//DAC驱动状态机**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**state <= IDLE;**

**else**

**case(state)**

**IDLE: if(!work\_en)**

**state <= WRITE\_DAC;**

**WRITE\_DAC: if(write\_done)**

**state <= DAC\_READ;**

**DAC\_READ: if(read\_done)**

**state <= WRITE\_DAC;**

**default: state <= IDLE;**

**endcase**

**//写DAC延时计数器**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**dac\_wcnt <= 3'd0;**

**else if(write\_done == 1'b1)**

**dac\_wcnt <=3'd0;**

**else if(state == WRITE\_DAC)**

**dac\_wcnt <= dac\_wcnt + 1;**

**//DAC写状态完成标志位**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**write\_done <= 1'b0;**

**else if(dac\_wcnt == 3'd5)**

**write\_done <= 1'b1;**

**else**

**write\_done <= 1'b0;**

**//DAC\_READ延时计数器**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**dac\_rcnt <= 4'd0;**

**else if(read\_done == 1'b1)**

**dac\_rcnt <=4'd0;**

**else if(state == DAC\_READ)**

**dac\_rcnt <= dac\_rcnt + 1;**

**//DAC读状态标志位**

**always @(posedge sclk or negedge rst\_n)**

**if(!rst\_n)**

**read\_done <= 1'b0;**

**else if(dac\_rcnt == 4'd11)**

**read\_done <= 1'b1;**

**else**

**read\_done <= 1'b0;**

**//DAC写入数据**

**always @(posedge sclk or negedge rst\_n)**

**if(!rst\_n)**

**dac\_data <= 12'd0;**

**else if (state == WRITE\_DAC)**

**dac\_data <= owave;**

**//cs\_n位**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**cs\_n <= 1'b1;**

**else if(state == WRITE\_DAC)**

**begin**

**cs\_n <= 1'b0;**

**if(dac\_wcnt >= 3'd3)**

**cs\_n <= 1'b1;**

**end**

**else if(state == DAC\_READ)**

**cs\_n <= 1'b0;**

**//load\_n位**

**always @(posedge sclk or negedge rst\_n)**

**if(!rst\_n)**

**load\_n <= 1'b1;**

**else if(state == WRITE\_DAC)**

**begin**

**if(dac\_wcnt == 3'd3)**

**load\_n <= 1'b0;**

**else if(write\_done)**

**load\_n <= 1'b1;**

**end**

**else if(state == DAC\_READ)**

**begin**

**load\_n <= 1'b1;**

**end**

**//rw\_n位**

**always @(posedge sclk or negedge rst\_n)**

**if(!rst\_n)**

**rw\_n <= 1'b0;**

**else if(state == WRITE\_DAC)**

**begin**

**rw\_n <= 0;**

**if(dac\_wcnt >= 3'd3)**

**rw\_n <= 1'b1;**

**end**

**//DAC工作指示灯 \*/**

**// assign work\_led = work\_en;**

**// assign dclear\_n = ~work\_en;**

**// assign dcs\_n = cs\_n;**

**// assign drw\_n = rw\_n;**

**// assign dload\_n = load\_n;**

**assign work\_led = work\_en;**

**assign dclear\_n = ~work\_en;**

**assign dcs\_n = 0;**

**assign drw\_n = 0;**

**assign dload\_n = 0;**

**always @(posedge sclk or negedge rst\_n)**

**if(!rst\_n)**

**dac\_data <= 12'd0;**

**else**

**dac\_data <= owave;**

**//DDS信号发生**

**always @(posedge sclk or negedge rst\_n)**

**if(rst\_n == 1'b0)**

**phase\_sum <= 32'd0;**

**else**

**phase\_sum <= phase\_sum + FQR\_W;**

**assign addr = phase\_sum[31:20];**

**sp\_rom\_12x4096 sp\_rom\_12x4096\_inst (**

**.address ( addr ),**

**.clock ( sclk ),**

**.q ( owave )**

**);**

**endmodule**

1. **实验结果**

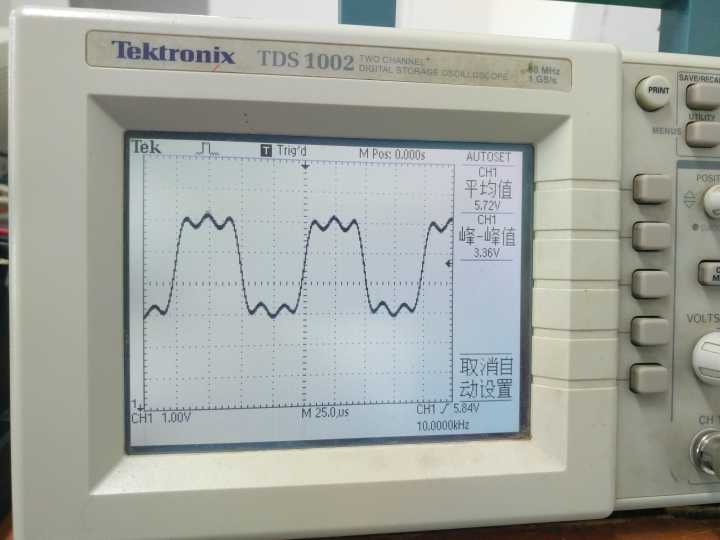


图27

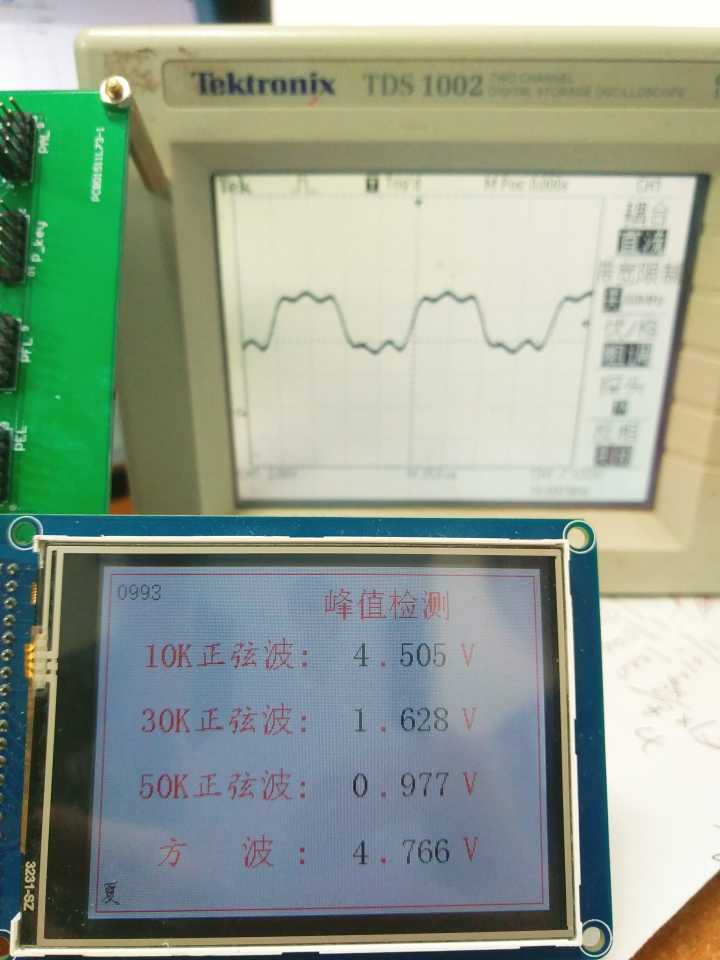


图28

1. **误差分析**

因为仿真环境与实际电路不一样，实践中常常需要按照调整电阻电容等，频率在50khz波形的波动很大容易受噪声感染，用测试仪器示波器也有一定的测量误差，以及模拟电路本来就存在不稳定，最终对实验结果造成了误差，经过检验这些误差在允许的范围之内。

1. **总结、**

本次设计成功实现了对方波的合成，设计中用fpga用过dds产生数字方波信号源，输出了10kHz方波信号。再通过DAC把数字信号转换为模拟信号，方波信号再经滤波器处理同时产生频率为 10KHz和 30KHz、50khz的正弦波信号，幅度峰峰值分别为 6V和2V。经过一个移相器、加法器，合成一个近似方波，波形幅度大约为5V，产生的波形无明显失真。

本设计及主要讲述了合成信号发生器的工作原理及工作过程。在说明工作

原理的过程中，突出了合成信号发生器设计中基本电路的组成单元以及这些单元如何实现信号合成的。结合本设计的内容，指出了个单元电路的设计方法和意义。

在这次设计中遇到了很多实际的问题。在实际设计中才发现，书本上的理论性的东西与实际还是有一定出入的，如一直困扰我的加法器电路输出方波的幅值问题，通过傅里叶方波分解公式和加法电路公式联立配出来的电阻用tina模拟都是不对的。所以有些问题不但要深入地理解，而且要不断更正以前的错误思维。这才是一个设计的灵魂所在。 很多电路可以借鉴课本上的但怎么衔接这些模块是问题的关键。

参考文献

（1）童诗白 模拟电子技术基础 高等教育出版社 第四版

（2）程佩青 数字信号处理教程（简明版） 清华大学出版社 第四版

（3）潘松 EDA技术实用教程(Verilog HDL版) 科学出版社 第四版

（4）赛尔吉欧·佛朗哥 基于运算放大器和模拟集成电路的电路设计西安交通大学出版社 第三版