

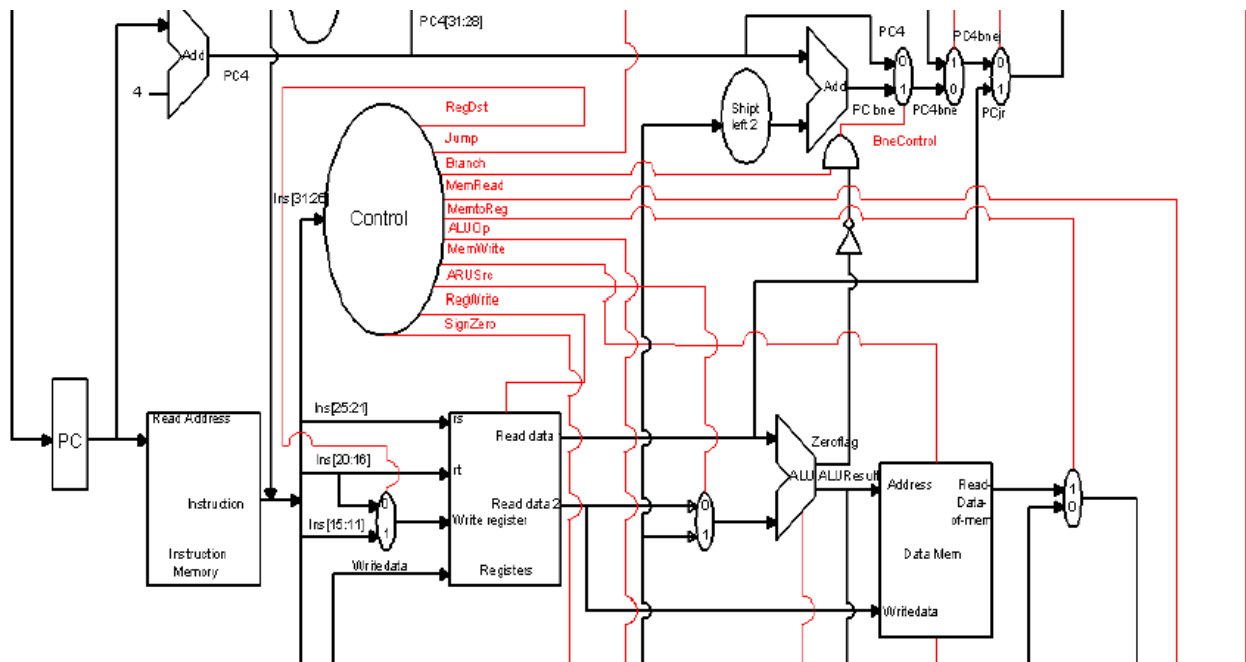
به نام خدا

برنامه زیر، فقط به صورت کامل تحویل گرفته میشود . یعنی تمامی قسمت ها و عملیات های خواسته شده باید در کد برنامه لحاظ شده باشد.

ضمناً همه افراد گروه در روز تحویل باید حضور داشته باشد.

با تشکر

در این پروژه، مطلوب است طراحی و پیاده سازی واحد کنترل و واحد محاسبه منطق پردازنده 16 بیتی زیر در Verilog HDL.



مجموعه دستورالعمل برای پردازنده مذکور به شرح زیر است:

1. Add : $R[rd] = R[rs] + R[rt]$
2. Subtract : $R[rd] = R[rs] - R[rt]$
3. And: $R[rd] = R[rs] \& R[rt]$
4. Or : $R[rd] = R[rs] | R[rt]$
5. SLT: $R[rd] = 1$ if $R[rs] < R[rt]$ else 0
6. Jr: $PC=R[rs]$
7. Lw: $R[rt] = M[R[rs]+SignExtImm]$
8. Sw : $M[R[rs]+SignExtImm] = R[rt]$
9. Beq : if($R[rs]==R[rt]$) $PC=PC+1+BranchAddr$
10. Addi: $R[rt] = R[rs] + SignExtImm$

11. J : $PC = \text{JumpAddr}$
12. Jal : $R[7] = PC + 2; PC = \text{JumpAddr}$
13. SLTI: $R[rt] = 1$ if $R[rs] < \text{imm}$ else 0

$\text{SignExtImm} = \{ 9\{\text{immediate}[6]\}, \text{imm} \}$

$\text{JumpAddr} = \{ (PC+1)[15:13], \text{address} \}$

$\text{BranchAddr} = \{ 7\{\text{immediate}[6]\}, \text{immediate}, 1'b0 \}$

بر اساس مجموعه دستورالعمل ارائه شده، مسیر داده و واحد کنترل طراحی و پیاده سازی می شود.

سیگنال های کنترلی که باید به ترتیب برای واحد کنترل و واحد ALU در نظر بگیرید به شرح زیر است:

Control signals									
Instruction	Reg Dst	ALUSrc	Memto Reg	Reg Write	MemRead	Mem Write	Branch	ALUOp	Jump
R-type	1	0	0	1	0	0	0	00	0
LW	0	1	1	1	1	0	0	11	0
SW	0	1	0	0	0	1	0	11	0
addi	0	1	0	1	0	0	0	11	0
beq	0	0	0	0	0	0	1	01	0
j	0	0	0	0	0	0	0	00	1
jal	2	0	2	1	0	0	0	00	1
slti	0	1	0	1	0	0	0	10	0

ALU Control				
ALU op	Function	ALUcnt	ALU Operation	Instruction
11	xxxx	000	ADD	Addi,lw,sw
01	xxxx	001	SUB	BEQ
00	00	000	ADD	R-type: ADD
00	01	001	SUB	R-type: sub

00	02	010	AND	R-type: AND
00	03	011	OR	R-type: OR
00	04	100	slt	R-type: slt
10	xxxxxx	100	slt	i-type: slti

نکته: در فایل نهایی پروژه شما باید یک قسمت شماتیک RTL از مدار و حتما مازول testbench و waveform برای بررسی سریع و دقیقتر مدار باشد.