

به نام خدا

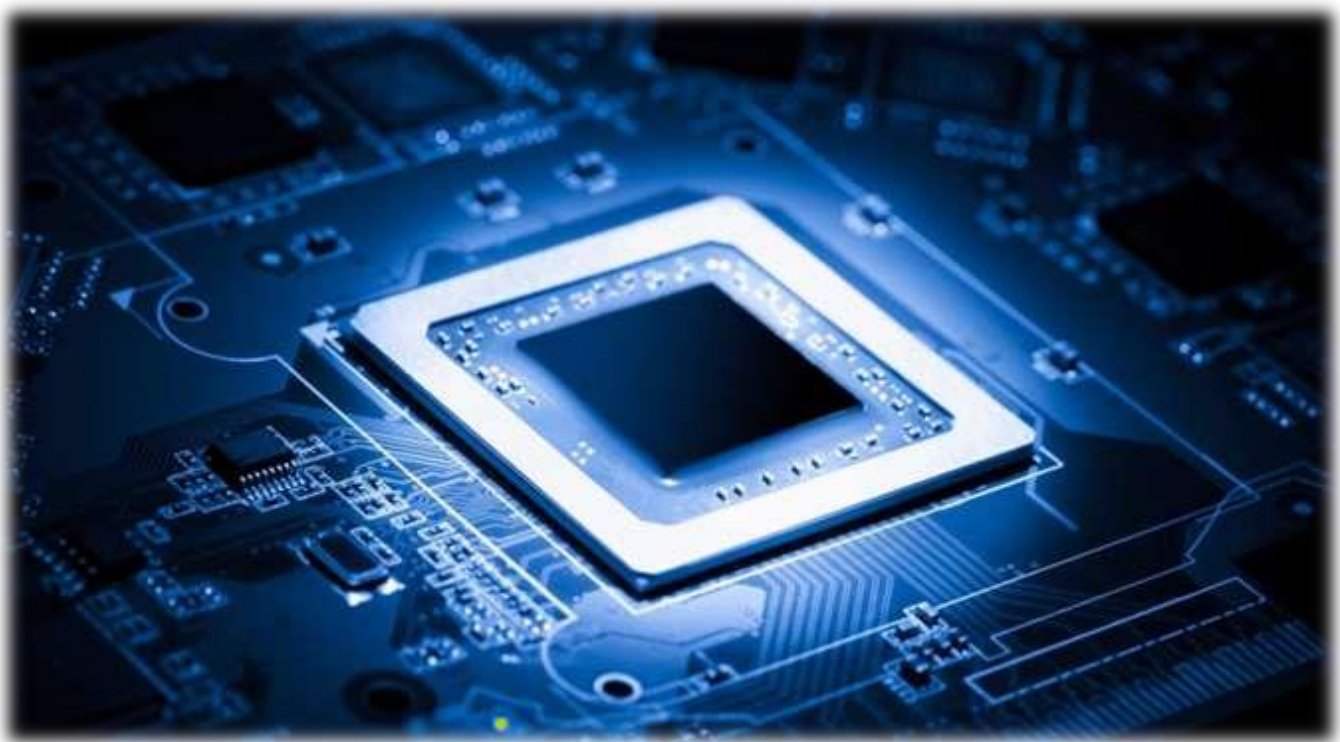
تکلیف عملی اول

اعضای گروه : حسنا شاه حیدری – 402106094

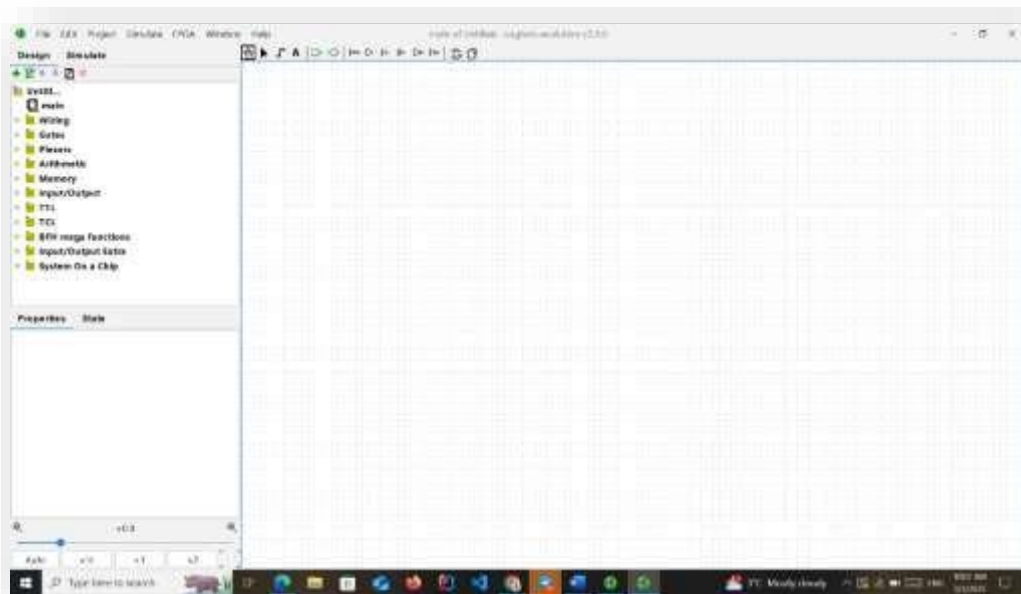
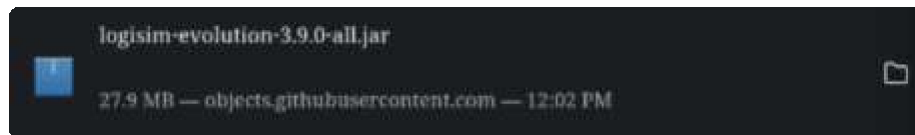
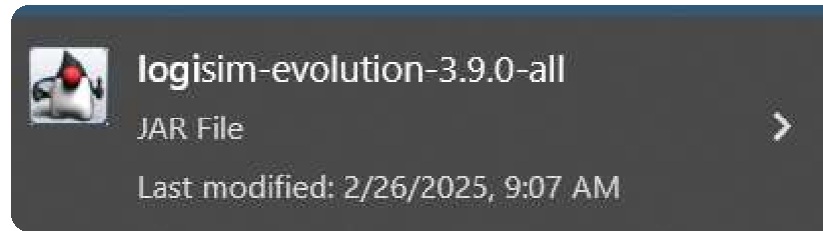
نرگس کاری دولت آبادی – 402110821

دکتر اسدی

معماری کامپیوتر

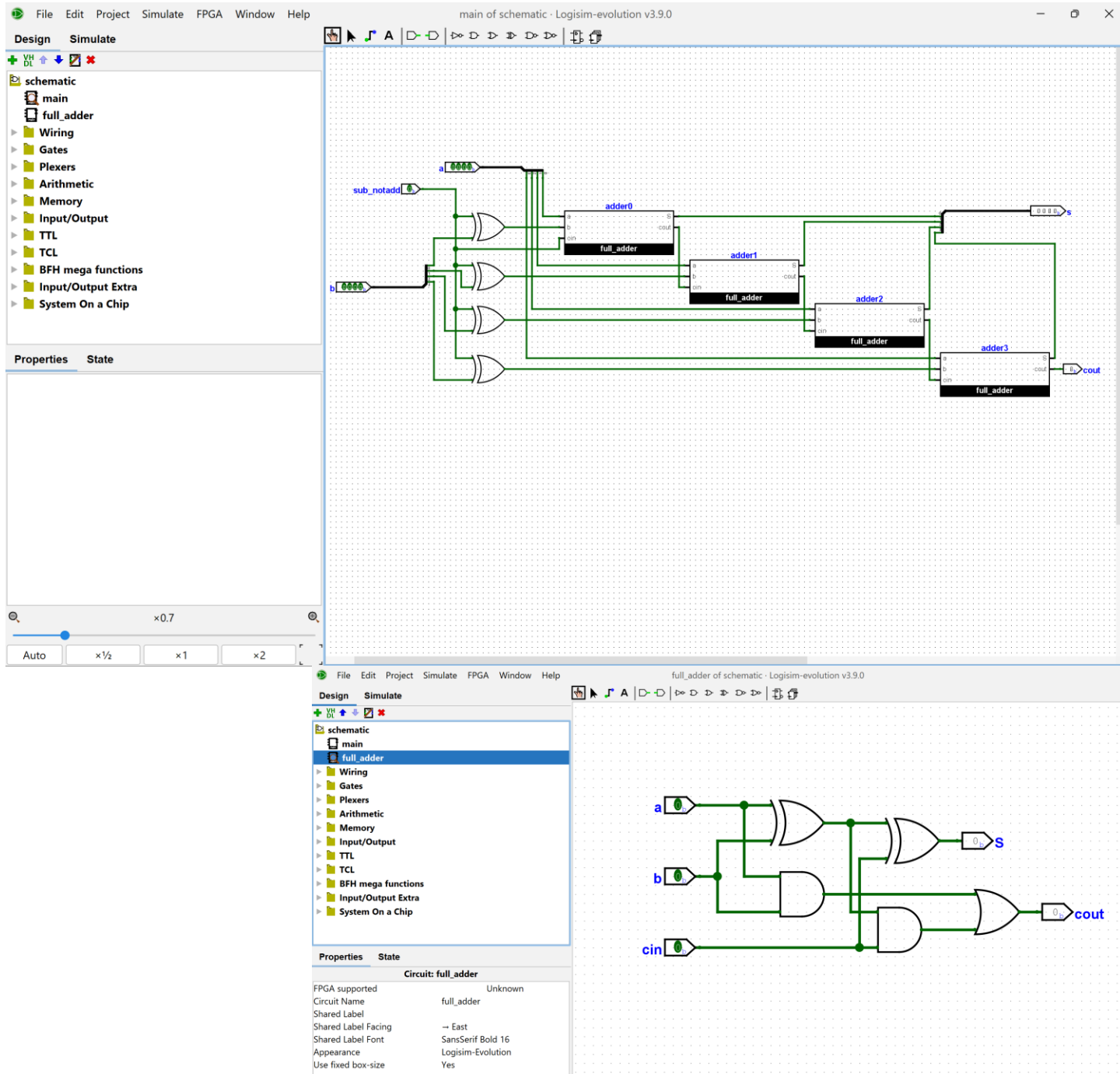


گزارشکار فرآیند عملی تمرین اول :
ابتدا از لینک قرار داده شده ابزار Logisim را دانلود کرده :

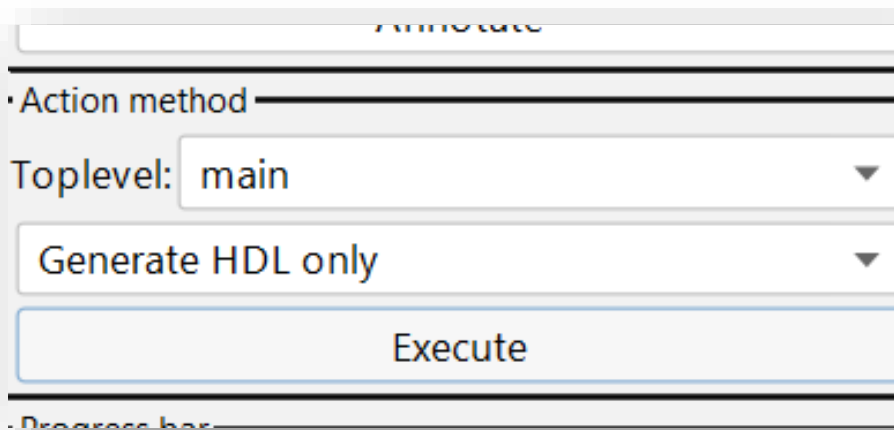
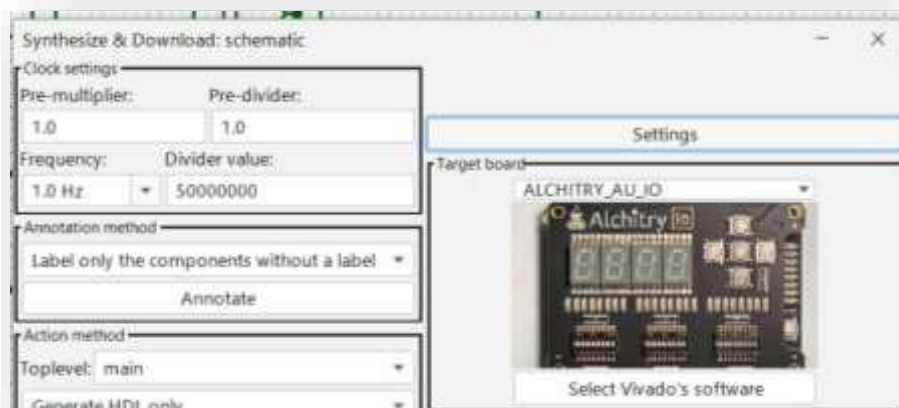


سپس به محیط آن وارد میشویم که همانگونه که در آزمایشگاه مدار منطقی نیز تا حدی با این ابزار آشنا شدیم
این ابزار برای شبیه سازی مدارهای منطقی به کار میرود :

طبق توضیحات داده شده در داک نیاز است تا یک adder را شبیه سازی کنیم که مدار آن را مطابق شکل زیر شبیه سازی کردیم. بدین منظور خودمان یک full_adder یک بیتی هم طراحی کردیم. سپس فایل آن را در بخش مورد نیاز نیز قرار دادیم :



حال نیاز است تا خروجی وریلاگ از آن بگیریم، از نوار بالای صفحه کمک میگیریم :



در مقصدی که تعیین کردیم پوشه ای با محتوای مورد نیازمان تولید میشود.
کامندهای مورد نظر را در ترمینال پیاده سازی میکنیم :

```
[narges@narges SUT_CA_4032_ProfAsadi_Judgement_System-master]$ ./synth_valid.sh HW1/schematic.circ HW1/tb0.v
logisim workspace : /home/narges/logisim_evolution_workspace
inpins : ['b', 'sub_notadd', 'a']
outpins : ['s', 'cout']
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "full_adder"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "full_adder" has 8 nets and 0 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "full_adder" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "main"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "main" has 9 nets and 3 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "main" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - The Board ALCHITRY_AU_IO has:
[main] INFO com.cburch.logisim.fpga.gui.Reporter - 6 Button(s)
[main] INFO com.cburch.logisim.fpga.gui.Reporter - 3 DIPSwitch(s)
[main] INFO com.cburch.logisim.fpga.gui.Reporter - 32 Led(s)
[main] INFO com.cburch.logisim.fpga.gui.Reporter - 1 SevenSegmentScanning(s)
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/gates/XOR_GATE_ONEHOT.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/gates/AND_GATE.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/gates/OR_GATE.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/circuit/full_adder.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/circuit/main.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/toplevel/logisimTopLevelShell.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoCreateProject.tcl
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/xdc/vivadoConstraints.xdc
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoGenerateBitStream.tcl
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoLoadBitStream.tcl

HW1/tb0.v /home/narges/logisim_evolution_workspace/schematic.circ.tmp
ACCEPTED
200 / 200
```

همانطور که قابل مشاهده است، کلمه ACCEPTED در نتیجه داوری مدار به آن داده شد و کار به پایان رسید.