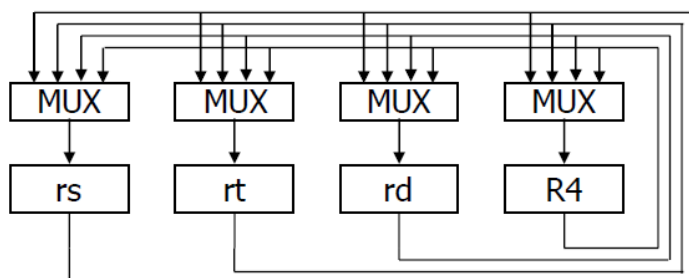


1. (آ) نقطه به نقطه: با توجه به اسلاید های درس میدانیم اتصال *point to point* مشابه تصویر زیر به ازای هر رجیستر به تعداد بیت

های ورودی اش یک مالتی پلکسر که به تعداد رجیستر ها ورودی میگیرد نیاز دارد. همچنین برای کدگذاری 32 ثبات در مینای 2 به 5 بیت نیاز داریم. بنابراین تعداد سیگنال کنترلی لازم برای هر مالتی پلکستر 5 تاست. بنابراین ما به :



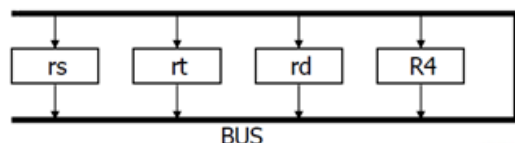
- $1024 = 32 * 32$ عدد مالتی پلکسر 32 به 1

- $160 = 5 * 32$ سیگنال کنترلی

نیاز داریم.

ارتباط با *common bus* : مجددا میدانیم در این نوع اتصال برای هر ثبات به دو سیگنال *output enables and load*

enables نیاز داریم تا مشخص کنیم کدام ثبات روی *bus* قرار گیرد و کدام ثبات ها مقدار موجود روی *bus* را بخوانند. بنابراین:



- *Bus* عدد 1

- $64 = 32 * 2$ عدد سیگنال کنترلی

(ب) با توجه به توضیحات قسمت الف با 64 رجیستر قطعات و

سیگنال های مورد نیاز به شرح زیر است:

نقطه به نقطه:

- $2048 = 64 * 32$ عدد مالتی پلکسر 32 به 1

- $384 = 6 * 64$ سیگنال کنترلی

common bus :

- *Bus* عدد 1

- $128 = 64 * 2$ عدد سیگنال کنترلی

(ج) مجددا با توجه به توضیحات داده شده، برای 32 ثبات 64 بیتی داریم:

نقطه به نقطه:

- $2048 = 32 * 64$ عدد مالتی پلکسر 32 به 1

- $160 = 5 * 32$ سیگنال کنترلی

common bus :

- *Bus* عدد 1

- $64 = 32 * 2$ عدد سیگنال کنترلی



2. (آ)

reset: $R1 \leftarrow 0$

$(\overline{\text{reset}} \& B): R1 \leftarrow A$

C: $E \leftarrow R2 + 2$

$\bar{C}: E \leftarrow R1$

reset: $R2 \leftarrow 0$

$\overline{\text{reset}} : R2 \leftarrow E$

(ب)

| | $0 \leq$ | $10 \leq$ | $20 \leq$ | $30 \leq$ | $40 \leq$ | $50 \leq$ |
|----|----------|-----------|-----------|-----------|-----------|-----------|
| A | 4 | 5 | 19 | 17 | 11 | 3 |
| B | 0 | 1 | 1 | 0 | 1 | 0 |
| C | 1 | 1 | 0 | 1 | 0 | 1 |
| R1 | 0 | 5 | 19 | 19 | 11 | 11 |
| E | 4 | 6 | 19 | 9 | 11 | 23 |
| R2 | 2 | 4 | 5 | 7 | 19 | 21 |

3. (آ)

A: $R_0 \leftarrow R_0 + 1$

B: $R_2 \leftarrow R_2 \oplus R_0, \quad R_0 \leftarrow R_0 + 1$

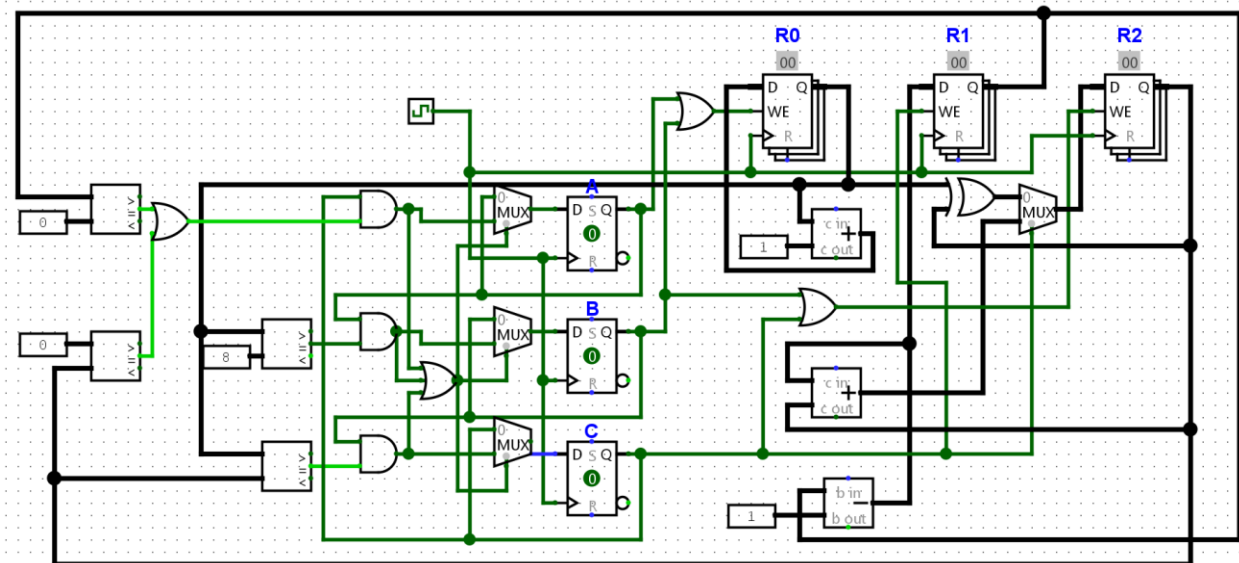
C: $R_1 = R_1 - 1, \quad R_2 = R_1 + R_2$ (sequential)

$(A \& R_0 = 8): B \leftarrow 1, \quad A \leftarrow 0, \quad C \leftarrow 0$

$(B \& R_0 = R_2): C \leftarrow 1, \quad A \leftarrow 0, \quad B \leftarrow 0$

$(C \& (R_1 = 0 \mid R_2 = 0)): A \leftarrow 1, \quad B \leftarrow 0, \quad C \leftarrow 0$

(ب)



4. ابتدا مقدار ثبات ها بعد هر کلاک را محاسبه می کنیم:

| شماره کلاک | خط های اجرا شده | R0 | R1 | R2 |
|------------|-----------------|----|----|----|
| 1 | 1 | 1 | 5 | 6 |
| 2 | 2 | 2 | 4 | 6 |
| 3 | 3 | 3 | 4 | 12 |
| 4 | 4 | 4 | 4 | 0 |
| 5 | 5 | 0 | 4 | 0 |
| 6 | 1 | 1 | 4 | 4 |
| 7 | 2 | 2 | 3 | 4 |
| 8 | 3 | 3 | 3 | 8 |
| 9 | 4 | 4 | 3 | 2 |
| 10 | 5 | 0 | 3 | 2 |
| 11 | 1 | 1 | 3 | 5 |
| 12 | 2 | 2 | 2 | 5 |
| 13 | 3 | 3 | 2 | 10 |
| 14 | 4 | 4 | 2 | 0 |
| 15 | 5 | 0 | 2 | 0 |
| 16 | 1 | 1 | 2 | 2 |
| 17 | 2 | 2 | 1 | 2 |
| 18 | 3 | 3 | 1 | 4 |



| | | | | |
|----|---|---|---|---|
| 19 | 4 | 4 | 1 | 0 |
| 20 | 5 | 0 | 1 | 0 |
| 21 | 1 | 1 | 1 | 1 |
| 22 | 2 | 2 | 0 | 1 |
| 23 | 6 | 2 | 0 | 1 |

(1) همانطور که در سطر آخر جدول نوشته ام در نهایت $R0 = 2, R1 = 0, R2 = 1$ می شود.

(2) همچنان مطابق جدول 32 سیکل میگذرد.

(3) در ستون دوم جدول نوشته شده است.

(4) حالت های $R0 = 0, 1, 2$ هر کدام 5 بار و حالت های $R0 = 3, 4$ هر کدام 4 بار تکرار شده اند.

5. با استفاده از روش "الگوریتم اقلیدسی بر پایه تفریق (Subtractive Euclidean Algorithm)" طراحی می کنیم:

$$(R1 > R2): R1 \leftarrow R1 - R2$$

$$(R1 < R2): R2 \leftarrow R2 - R1$$

$$(R1 = R2): R3 \leftarrow R1$$

6. این مجموعه RTL یک تقسیم عددی بر پایه تفریق متوالی را انجام می دهد. این کد معادل $R3 = R2 / R0$ و $R2 = R2 \% R0$ است!

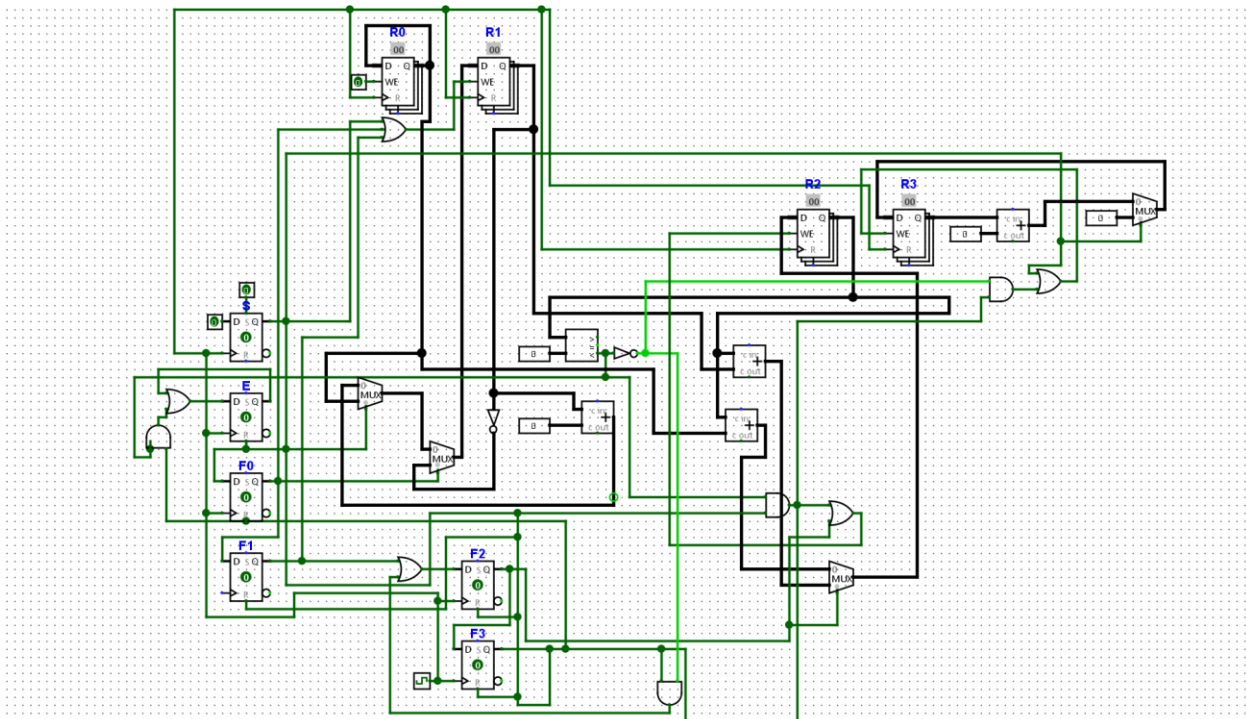
ابتدا خارج قسمت را صفر و مقدار $R0$ را در $R1$ ذخیره می کنیم سپس با 2 مرحله مقدار $R1$ را قرینه می کنیم (در مبنای مکمل 2). سپس از $R2$ مقدار $R0$ را کم می کنیم (در اصل آن را با $R1$ جمع می کنیم) و تا زمانی که $R2$ منفی نشود، این کار را تکرار می کنیم، در هر مرحله خارج قسمت را یک واحد افزایش می دهیم. در نهایت، وقتی $R2$ منفی شد، مقدار $R0$ را به آن اضافه کرده و مقدار نهایی $R3$ را به عنوان خارج قسمت و $R2$ را به عنوان باقی مانده در نظر می گیریم.



مثال عددی:

| | E | F0 | F1 | F2 | F3 | R0 | R1 | R2 | R3 |
|---|---|----|----|----|----|----|----|----|----|
| 1 | 0 | 1 | 0 | 0 | 0 | 3 | 3 | 7 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 3 | -4 | 7 | 0 |
| 3 | 0 | 0 | 0 | 1 | 0 | 3 | -3 | 7 | 0 |
| 4 | 0 | 0 | 0 | 0 | 1 | 3 | -3 | 4 | 0 |
| 5 | 0 | 0 | 0 | 1 | 0 | 3 | -3 | 4 | 1 |
| 6 | 0 | 0 | 0 | 0 | 1 | 3 | -3 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 3 | -3 | 1 | 2 |
| 8 | 0 | 0 | 0 | 0 | 1 | 3 | -3 | -2 | 2 |
| 9 | 1 | 0 | 0 | 0 | 0 | 3 | -3 | 1 | 2 |

مدار توصیف شده به شرح زیر است:



7. مطابق شکل زیر با سیگنال های کنترلی ورودی و خروجی های گذرگاه را مشخص میکنیم. خط آبی در اصل همان *bus* ماست

