

به نام خدا

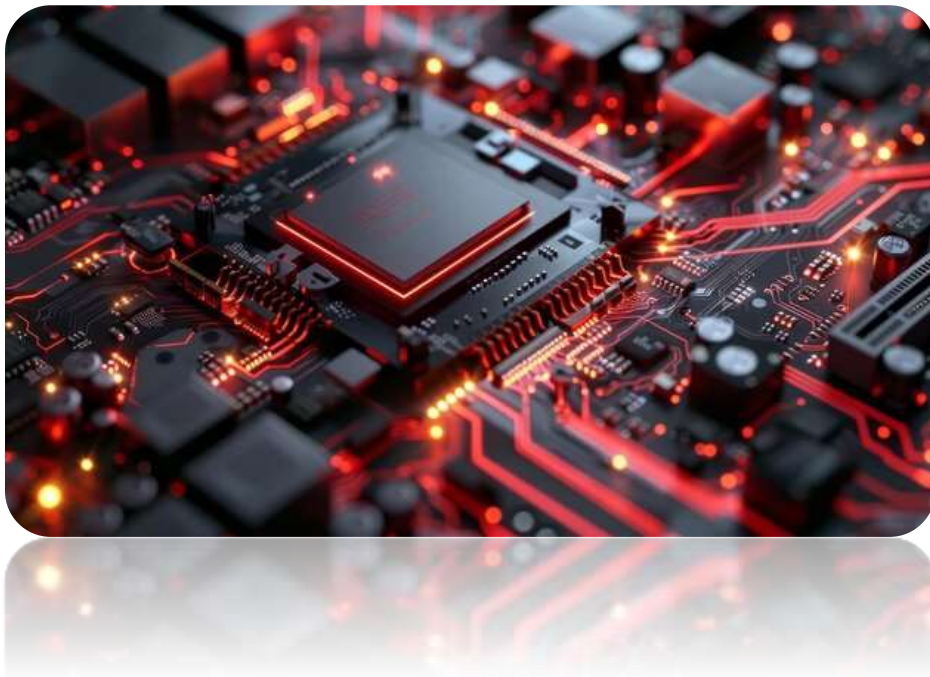
گزارش تکلیف عملی دوم

اعضای گروه : نرگس کاری دولت آبادی – حسنا شاه حیدری

استاد اسدی

درس معماری کامپیوتر

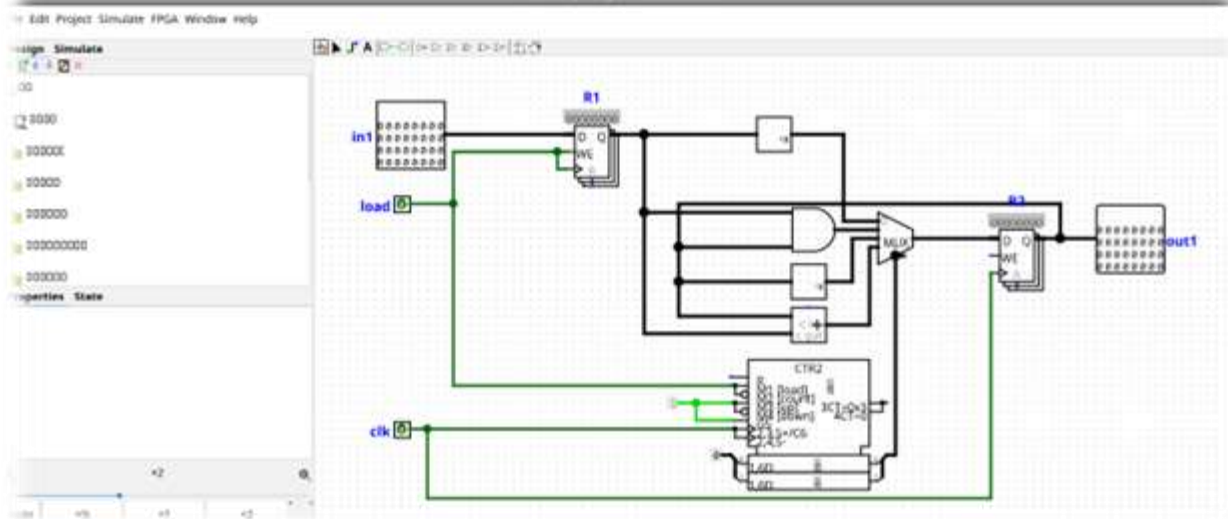
سال 402-403



## سوال اول :

باید به ترتیب عملیات ها را انجام داده و حاصل اعمال را در رجیستر R2 بریزیم. بدین ترتیب با استفاده از یک شمارنده و همچنین یک MUX میتوانیم این مدار را طراحی کنیم. همانطور که در شکل قابل مشاهده است اینکار را انجام داده ایم. البته با توجه به اینکه جاج به کلاک ها بسیار حساس است باید حواسمان باشد کلاک ها را به درستی مدیریت کرده باشیم تا مدار جواب اکسپت را بگیرد.

عکس مدار و نتیجه داوری آن را میتوانید در زیر مشاهده کنید :

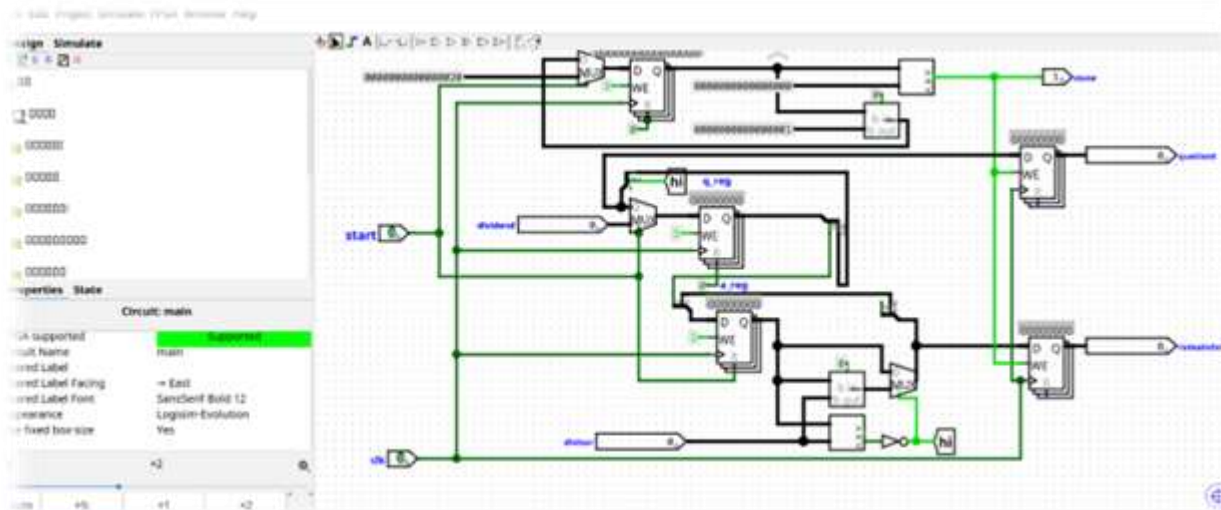


```
[narges@narges MIT_IC_4031_ProfAsadi_Judgement_System-master]$ ./synth_valid.sh q1.circ ./HW2/tb1.v
logsim_workspace : /home/narges/logsim_evolution_workspace
logsim : ['load', 'clk', 'in1']
outputs : ['out1']
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Building netlist for sheet "main"
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Circuit "main" has 3 nets and 18 buses.
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Circuit "main" passed SRC check.
[main] INFO com.cburch.logsim.fpga.gui.Reporter - The Board ACHITRY_A0 ID has:
[main] INFO com.cburch.logsim.fpga.gui.Reporter - 8 Button(s)
[main] INFO com.cburch.logsim.fpga.gui.Reporter - 2 DIPswitch(s)
[main] INFO com.cburch.logsim.fpga.gui.Reporter - 22 Led(s)
[main] INFO com.cburch.logsim.fpga.gui.Reporter - 3 SevenSegmentScanning(s)
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/gates/AND_GATE_BUS.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/muxers/Multiplexer_bus_4.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/arithmetic/Regater.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/arithmetic/Arith.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/memory/REGISTER_Flip_Flop.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/memory/LogisimCounter.v
[main] WARN com.cburch.logsim.fpga.gui.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] WARN com.cburch.logsim.fpga.gui.Reporter - Component "Counter" in circuit "main" has a gated clock connection!
[main] WARN com.cburch.logsim.fpga.gui.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/circuit/main.a
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating HDL file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/verilog/toplevel/logsimTopLevelShell.v
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating script file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/scripts/vivadoCreateProject.tcl
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating script file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/scripts/vivadoConstraints.tcl
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating script file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/scripts/vivadoGenerateBitstream.tcl
[main] INFO com.cburch.logsim.fpga.gui.Reporter - Creating script file: /home/narges/logsim_evolution_workspace/q1.circ.tmp/main/scripts/vivadoLoadBitstream.tcl

./HW2/tb1.v /home/narges/logsim_evolution_workspace/q1.circ.tmp
ACCEPTED 200 200
```

سوال دوم : عملکرد یک تقسیم گر را انجام میدهد که به وسیله یک شمارنده که از 32 شروع میشود مطابق دستور شروع میکنیم و تمام رجیسترها نیز 32 بیتی هستند و با جداکننده عملیات شیفتر را در  $q$  ,  $a$  انجام میدهیم تا خواست سوال اجرا شود در نهایت جواب های باقیمانده و خارج قسمت را در رجیستر هایی با همین نامها میریزیم و داوری را روی آن انجام میدهیم. نکته حائز اهمیت در اجرای این کد این است که باید از  $gate$  clocking پرهیزیم چراکه باعث جواب اشتباه در داوری میشود.

در قسمت زیر عکس مدار و عکس نتیجه داوری قابل مشاهده است :



```
[narges@narges: $ cd /home/narges/logisim_evolution_workspace; ./synth_valid.sh q2.circ ./HW2/tb2.v]
logisim workspace : /home/narges/logisim_evolution_workspace
inputs : ["start", "clk", "dividend", "divisor"]
outputs : ["done", "quotient", "remainder"]
[main] INFO com.church.logisim.fpga.gul.Reporter - Building netlist for sheet "main"
[main] INFO com.church.logisim.fpga.gul.Reporter - Circuit "main" has 32 nets and 10 buses.
[main] INFO com.church.logisim.fpga.gul.Reporter - Circuit "main" passed DRC check.
[main] INFO com.church.logisim.fpga.gul.Reporter - The Board ALCHITRY_AU_10 has:
[main] INFO com.church.logisim.fpga.gul.Reporter - 6 Button(s)
[main] INFO com.church.logisim.fpga.gul.Reporter - 3 DIPSwitch(s)
[main] INFO com.church.logisim.fpga.gul.Reporter - 32 Leds(s)
[main] INFO com.church.logisim.fpga.gul.Reporter - 1 SevenSegmentScanning(s)
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/verilog/players/Multiplexer_Bus_2.v
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/verilog/arith/Subtractor.v
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/verilog/arith/Comparator.v
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/verilog/memory/REGISTER_FLIP_FLOP.v
[main] WARN com.church.logisim.fpga.gul.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] WARN com.church.logisim.fpga.gul.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] WARN com.church.logisim.fpga.gul.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] WARN com.church.logisim.fpga.gul.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/verilog/circuit/main.v
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/scripts/vivado/mainProject.tcl
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/scripts/vivadoConstraints.sdc
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/scripts/vivadoGenerateBitStream.tcl
[main] INFO com.church.logisim.fpga.gul.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/q2.circ.tmp/main/scripts/vivadoLoadBitStream.tcl

./HW2/tb2.v /home/narges/logisim_evolution_workspace/q2.circ.tmp
ACCEPTED
238 / 200
```

