



در این تمرین، هدف پیاده‌سازی یک پردازنده MIPS به صورت Single Cycle بود. برای این منظور، از ALU ساخته‌شده در تمرین سوم استفاده گردید که به صورت کاملاً ترکیبی (Combinational) باطراحی شد تا نیاز به کلاک نداشته باشد. پشتیبانی از دستورات ضرب و تقسیم در این ALU لازم نبود.

پردازنده طراحی‌شده شامل پنج مرحله اصلی پردازش دستور بود که به صورت یکپارچه در یک سیکل زمانی اجرا می‌شوند:

1. Instruction Fetch

2. Instruction Decode

3. Execution

4. Memory Access

5. Write Back

در طراحی مدار، از قطعات موجود در فایل schematic.circ مانند Instruction Memory، Data Memory، Register File و Clock Generator استفاده شد. البته برخی از اجزا بسته به نیاز، تغییر یافته یا جایگزین شدند.

پردازنده طراحی‌شده قادر به اجرای مجموعه‌ای از دستورات پایه‌ای MIPS بود، از جمله:

- add, addi, sub
- and, or, xor
- sll, srl, sra



برای تست عملکرد صحیح پردازنده، از مکانیزم JTAG جهت مقداردهی اولیه به حافظه برنامه و داده استفاده شد. این روش امکان بارگذاری آسان وضعیت حافظه و مشاهده نتایج را فراهم کرد.

عملکرد پردازنده با موفقیت تست و تأیید شد. در تصویر زیر نمای کلی مدار و نتیجه اجرای صحیح دستورات در محیط شبیه‌سازی قابل مشاهده است.

```
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/regfile.v
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "jtag_ram8" has a gated clock connection!
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/jtag_ram8.v
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/jtag_ram64.v
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/jtag_ram512.v
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/inc_dec.v
[main] WARN com.cburch.logisim.fpga.gut.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/circuit/main.v
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating HDL file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/verilog/topLevel/LogisimTopLevelShell.v
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/scripts/vivadoCreateProject.tcl
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/xdc/vivadoConstraints.xdc
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/scripts/vivadoGenerateBitStream.tcl
[main] INFO com.cburch.logisim.fpga.gut.Reporter - Creating script file: /home/narges/logisim_evolution_workspace/mainn.circ.tmp/main/scripts/vivadoLoadBitStream.tcl

./HW4/tb.v /home/narges/logisim_evolution_workspace/mainn.circ.tmp
ACCEPTED
21 / 21
```